



**UNIVERSITAT POLITÈCNICA DE CATALUNYA  
BARCELONATECH**

---

**Departament d'Enginyeria Electrònica**

***“ESTUDIO DE LA EFICIENCIA ENERGÉTICA EN CONVERTIDORES CC/CA UTILIZANDO MULTIPLEXADO DE INTERRUPTORES Y TÉCNICAS DE CONTROL ADAPTATIVAS”***

Tesi doctoral presentada per a l'obtenció del títol de Doctor per la Universitat Politècnica de Catalunya, dins el Programa de Doctorat en Enginyeria Electrònica

*Raúl Pérez Delgado*

Directors: *Manuel Román Lumbreras,  
Guillermo Velasco Quesada*



# CONTENIDOS

---

SÍMBOLOS Y DEFINICIONES.....	xi
------------------------------	----

## CAPÍTULO 1

<b>Introducción y objetivos.....</b>	<b>1.1</b>
1.1 Introducción.....	1.1
1.2 Objetivos.....	1.5

## CAPÍTULO 2

<b>Configuración dinámica en sistemas de procesamiento de energía.....</b>	<b>2.1</b>
2.1 Introducción.....	2.1
2.2 Gestión de sistemas de generación fotovoltaica.....	2.1
2.3 Configuración dinámica en sistemas de procesamiento de energía.....	2.4
2.3.1 Conexión en paralelo de convertidores.....	2.5
2.3.2 Conexión en paralelo de semipuentes.....	2.5
2.3.3 Conexión en paralelo de transistores.....	2.6
2.3.3.1 Conmutación simultánea.....	2.7
2.3.3.2 Conmutación multiplexada.....	2.7
2.3.3.3 Control de conmutación mediante múltiples portadoras.....	2.10
2.3.3.4 Ejemplo de configuración dinámica de transistores en paralelo.....	2.11
2.4 Conclusiones.....	2.14

## CAPÍTULO 3

<b>Conexión de transistores en paralelo.....</b>	<b>3.1</b>
3.1 Introducción.....	3.1
3.2 Tecnología de semiconductores de potencia.....	3.3
3.3 Reparto de corriente.....	3.6
3.3.1 Introducción.....	3.6
3.3.2 Reparto estático.....	3.8
3.3.3 Reparto dinámico.....	3.11
3.4 Técnicas de equilibrado de corriente.....	3.13
3.4.1 Técnicas pasivas de equilibrado de corriente.....	3.13
3.4.2 Técnicas activas de equilibrado de corriente.....	3.15
3.4.2.1 Estrategia de control de reparto equilibrado de corriente.....	3.17
3.4.2.1.1 Simulación del control de reparto de corriente.....	3.19
3.4.2.1.2 Implementación del control de reparto de corriente.....	3.20
3.4.2.1.3 Resultados experimentales.....	3.21
3.5 Conclusiones.....	3.25

## CAPÍTULO 4

<b>Estimación de pérdidas en transistores</b> .....	4.1
4.1 Introducción.....	4.1
4.2 Pérdidas en interruptores de potencia .....	4.1
4.2.1 Pérdidas de conducción.....	4.3
4.2.1.1 Introducción .....	4.3
4.2.1.2 Característica de salida del transistor ( $v_{ce}/i_c$ ).....	4.3
4.2.1.3 Corriente de colector.....	4.4
4.2.1.4 Corriente por el diodo.....	4.5
4.2.2 Pérdidas de conmutación.....	4.5
4.2.2.1 Introducción .....	4.5
4.2.2.2 Pérdidas en transistor .....	4.6
4.2.2.3 Pérdidas en diodo en anti-paralelo .....	4.7
4.3 Estimación de pérdidas en transistores IGBT.....	4.7
4.3.1 Introducción .....	4.7
4.3.2 Interruptores basados en un transistor .....	4.9
4.3.2.1 Pérdidas de conducción en el transistor.....	4.9
4.3.2.2 Pérdidas de conducción en el diodo .....	4.10
4.3.2.3 Pérdidas de conmutación en el transistor.....	4.10
4.3.2.4 Pérdidas de conmutación en el diodo .....	4.11
4.3.3 Interruptores basados en transistores en paralelo.....	4.11
4.3.3.1 Introducción .....	4.11
4.3.3.2 Determinación de los ángulos de entrada/salida de conducción.....	4.12
4.3.3.3 Pérdidas de conducción en el transistor.....	4.15
4.3.3.4 Pérdidas de conducción en el diodo .....	4.16
4.3.3.5 Pérdidas de conmutación en el transistor.....	4.17
4.3.3.6 Pérdidas de conmutación en el diodo .....	4.19
4.4 Aplicación del modelo de estimación de pérdidas.....	4.19
4.4.1 Frecuencia de conmutación constante .....	4.19
4.4.1.1 Interruptor basado en cuatro transistores en paralelo y conmutación adaptativa.....	4.20
4.4.1.2 Interruptor basado en un único transistor .....	4.22
4.4.1.3 Interruptor basado en cuatro transistores en paralelo y conmutación simultánea.....	4.23
4.4.2 Frecuencia de conmutación variable.....	4.26
4.5 Conclusiones.....	4.27

## CAPÍTULO 5

<b>Estimación de pérdidas del filtro de acoplamiento a red</b> .....	5.1
5.1 Introducción.....	5.1
5.2 Estimación de pérdidas en componentes magnéticos.....	5.3

5.2.1	Pérdidas en el núcleo .....	5.3
5.2.2	Modelos de estimación de pérdidas en el núcleo magnético .....	5.6
5.2.2.1	Introducción .....	5.6
5.2.2.2	Métodos basados en fuentes de excitación no sinusoidal.....	5.8
5.2.3	Pérdidas en el cobre .....	5.10
5.2.3.1	Pérdidas por efecto Skin .....	5.11
5.2.3.2	Pérdidas por efecto de proximidad.....	5.12
5.3	Filtro L.....	5.13
5.3.1	Introducción .....	5.13
5.3.2	Estimación de pérdidas en filtros L .....	5.13
5.3.2.1	Pérdidas en el núcleo (modelo iGSE) .....	5.14
5.3.2.2	Pérdidas en el núcleo (modelo CWH) .....	5.16
5.3.3	Estimación de pérdidas en modulaciones basada en una portadora multifrecuencia.....	5.17
5.4	Filtro LCL.....	5.20
5.5	Conclusiones.....	5.21

## CAPÍTULO 6

<b>Resultados experimentales.....</b>	<b>6.1</b>	
6.1	Introducción.....	6.1
6.2	Plataforma de ensayo .....	6.2
6.2.1	Inversor monofásico .....	6.3
6.2.2	Circuito de disparo o <i>driver</i> .....	6.3
6.2.3	Sensado y acondicionamiento.....	6.6
6.2.4	Circuito de control .....	6.8
6.3	Control de la plataforma de ensayo.....	6.9
6.3.1	Introducción .....	6.9
6.3.2	Descripción del control de corriente.....	6.10
6.3.3	Cancelación activa de distorsión en la corriente de salida.....	6.11
6.3.4	Implementación del control.....	6.12
6.3.5	Control adaptativo .....	6.13
6.3.5.1	Frecuencia de conmutación del convertidor constante .....	6.18
6.3.5.2	Frecuencia de conmutación de transistores constante .....	6.19
6.4	Metodología y análisis de datos.....	6.20
6.4.1	Medida de potencia debida a la corriente de baja frecuencia.....	6.21
6.4.2	Medida de potencia de entrada .....	6.22
6.4.3	Medida de distorsión armónica total .....	6.23
6.5	Ensayos.....	6.24
6.5.1	Potencia de pérdidas en inductancia de acoplamiento .....	6.25
6.5.2	Potencia de pérdidas en inversor monofásico .....	6.27

6.5.2.1	Pérdidas en interruptores de un transistor.....	6.27
6.5.2.2	Pérdidas en interruptores de cuatro transistores y conmutación simultánea .....	6.28
6.5.2.3	Pérdidas en interruptores de cuatro transistores y conmutación adaptativa .....	6.30
6.5.2.4	Pérdidas en modulación basada en portadora multifrecuencia .....	6.33
6.5.3	Distorsión armónica total (THD) .....	6.36
6.6	Conclusiones.....	6.40

## CAPÍTULO 7

<b>Conclusiones y futuras líneas de investigación .....</b>	<b>7.1</b>
7.1 Conclusiones .....	7.1
7.2 Aportaciones .....	7.4
7.3 Futuras líneas de investigación.....	7.5

## ANEXO

A.1	Comparativa de transistores IGBT.....	A.1
A.2	Estimación de pérdidas en transistor.....	A.5
A.2.1	Interruptor basado en cuatro transistores en paralelo y conmutación adaptativa.....	A.5
A.2.2	Interruptor basado en un único transistor.....	A.8
A.2.3	Interruptor basado en cuatro transistores en paralelo conmutación simultánea .....	A.9
A.3	Resultado de ensayos .....	A.11
A.3.1	Potencia de pérdidas en inductancia debida a la corriente fundamental.....	A.11
A.3.2	Pérdidas en interruptores.....	A.12
A.3.2.1	Pérdidas en interruptores de un transistor .....	A.12
A.3.2.2	Pérdidas en interruptores de cuatro transistores y conmutación simultánea .....	A.13
A.3.3	Distorsión armónica total (THD) .....	A.16

## BIBLIOGRAFÍA

## LISTA DE FIGURAS

Figura 1.1 – Generación eléctrica a partir de fuentes de energía renovables distribuida por regiones. Fuente: International Energy Agency.

Figura 1.2 – Variación de producción eléctrica fotovoltaica según horario y condiciones climatológicas. Fuente: Chubu Electric Power.

Figura 1.3 – Variación en la demanda de energía eléctrica diaria y semanal en España (semana del 27 de Julio de 2015). Fuente: Red Eléctrica de España.

Figura 1.4 – Aplicación fotovoltaica en diferentes condiciones de trabajo.

Figura 2.1 – Configuraciones del generador fotovoltaico.

Figura 2.2 – Topologías de inversores.

Figura 2.3 – Sistemas de generación fotovoltaica.

Figura 2.4 – Comparativa de métodos de reparto de corriente en convertidores CC/CA, a) conexión en paralelo de convertidores, b) conexión en paralelo de semipuentes.

Figura 2.5 – Conexión en paralelo de transistores.

Figura 2.6 – Conmutación simultánea con 4 transistores en paralelo.

Figura 2.7 – Conmutación multiplexada con 4 transistores en paralelo. La frecuencia de conmutación de cada transistor depende del número de transistores que conmutan de forma simultánea. En promedio las frecuencias de conmutación es a)  $f_{eq} = f_{sw}/4$ , b)  $f_{eq} = f_{sw}/2$ , c)  $f_{eq} = 3f_{sw}/4$ , d)  $f_{eq} = f_{sw}$ .

Figura 2.8 – Aumento de la frecuencia de conmutación de cada transistor para mantener constante la frecuencia de conmutación promedio a)  $4f_{sw}$ , b)  $2f_{sw}$ , c)  $4f_{sw}/3$ , d)  $f_{sw}$ .

Figura 2.9 – Reducción del tiempo de activación en un conjunto de cuatro transistores.

Figura 2.10 – Esquema *Simulink* de un inversor monofásico con gestión de transistores en paralelo basado en el valor instantáneo de la corriente de salida del convertidor.

Figura 2.11 – Bloque interruptor basado en 4 transistores IGBT en paralelo.

Figura 2.12 – Bloque de gestión de conexión de transistores en paralelo en función de la corriente de salida del convertidor.

Figura 2.13 – a) Corriente de salida del inversor, b) reparto de corriente entre transistores.

Figura 2.14 – a) Valor absoluto de la corriente de salida, b) índice de selección del número de transistores operando en paralelo.

Figura 3.1 – Comparativa de precios en transistores IGBT (1200V) en función de la corriente máxima.

Figura 3.2 – Comparativa de precios en transistores IGBT discretos y en módulos IGBT duales. En los dos casos la tensión máxima es de 1200 V.

Figura 3.3 – Rango de aplicación en semiconductores de potencia.

Figura 3.4 – Transistor IGBT a) circuito equivalente y b) modelo simplificado.

Figura 3.5 – Clasificación de tecnologías de fabricación de transistores IGBT según el coeficiente de temperatura de la resistencia equivalente de conducción. La tecnología de construcción de puerta denominada trinchera (*trench*) permite incrementar la corriente del dispositivo al aprovechar mejor la superficie del transistor.

Figura 3.6 – Reparto de corriente en transistores en aplicaciones de conmutación a) estático y b) dinámico.

Figura 3.7 – Modelo estático en conducción y circuito equivalente de dos transistores a) MOSFET y b) IGBT. En los modelos de la Figura no se contemplan la existencia del diodo en antiparalelo.

Figura 3.8 – El reparto estático es sensible a la tensión colector-emisor ( $V_{CE}$ ) y a la transconductancia ( $g_{fs}$ ).

Figura 3.9 – Circuito de simulación de un convertidor elevador.

Figura 3.10 – Resultados de simulación del circuito de la Figura 1.5, a) Curva  $I_C$ - $V_{GE}$  en transistores iguales, b) Corriente por transistores iguales, c) Curva  $I_C$ - $V_{GE}$  en transistores modificados según Tabla 3.1, b) Corriente por transistores modificados.

Figura 3.11 – Corrección del desequilibrio por variación de la tensión puerta-emisor  $V_{GE}$ .

Figura 3.12 – El reparto dinámico es sensible a la tensión umbral ( $V_{Geth}$ ) y a la transconductancia ( $g_{fs}$ ).

Figura 3.13 – Formas de onda de corriente en las condiciones de la Tabla 3.1 variando el valor de la resistencia de puerta a)  $R_{G1} = 150 \Omega$  y  $R_{G2} = 22 \Omega$ , b)  $R_{G1} = 22 \Omega$  y  $R_{G2} = 150 \Omega$ .

Figura 3.14 – Punto isotérmico en la característica de transconductancia en un transistor IGBT.

Figura 3.15 – Distribución del circuito de conexión para 4 transistores en paralelo a) distribución lineal, b) distribución circular. En los dos casos existe acoplamiento térmico entre transistores.

Figura 3.16 – Técnicas para mejorar el equilibrio en el reparto de corriente en IGBT conectados en paralelo.

Figura 3.17 – Técnica activa de reparto de corriente. Estrategia de control de tensión de disparo de los transistores a) diagrama de bloques del lazo de control, b) diagrama de control para tres transistores en paralelo.

Figura 3.18 – Técnica de reparto dinámico de corriente.

Figura 3.19 – Estrategia de control de reparto equilibrado de dos transistores basado en el cálculo del valor medio de corriente (Método I).

Figura 3.20 – Estrategia de control de reparto equilibrado de dos transistores basado en referencias de corriente cruzadas (Método II).

Figura 3.21 – a) Esquema del convertidor elevador con conmutador basado en dos transistores IGBT conectados en paralelo (Z1: IXGH10N100 y Z2: IXGH17N100) y b) reparto de corriente sin control de reparto.

Figura 3.22 – Resultado de simulación de técnicas de reparto de corriente, a) control basado en método I y b) control basado en método II.

Figura 3.23 – Esquema del circuito de *driver*: a) basado en amplificador sumador (versión a), b) basado en un convertidor reductor (*buck*) síncrono (versión b).

Figura 3.24 – Plataforma de ensayo de la versión a del *driver*.

Figura 3.25 – Esquema del circuito de ensayo con carga resistiva.

Figura 3.26 – Resultados del ensayo con carga resistiva sin control de reparto: a) señal de puerta, b) medida de corriente en transistores. Resultados con control de reparto: c) medida de corriente en transistores con método I, b) medida de corriente en transistores con método II.

Figura 3.27 – Esquema del circuito de ensayo con carga resistiva.

Figura 3.28 – Resultados del ensayo con carga inductiva sin control de reparto: a) medida de corriente. Resultados con control de reparto: b) señal de puerta, c) medida de corriente en transistor con método I, b) medida de corriente en transistor con método II.

Figura 3.29 – Evolución de la tensión de salida del convertidor en función de la corriente de carga sin control de reparto de corriente (trazo continuo) y sin control de reparto de corriente (trazo discontinuo).

Figura 4.1 – Comparativa potencia de pérdidas en interruptores a) ideal, b) real.



- Figura 4.2 – Característica de salida de un transistor IGBT y cálculo de la resistencia  $r_{ce}$  equivalente.
- Figura 4.3 – Modelado del transistor IGBT en conducción.
- Figura 4.4 – Característica de salida del diodo en anti-paralelo y cálculo de la resistencia  $r_d$  equivalente.
- Figura 4.5 – Modelado del diodo en anti-paralelo.
- Figura 4.6 – Pérdidas de conmutación en a) cierre del transistor y b) apertura del transistor.
- Figura 4.7 – Inversor monofásico para estudio de pérdidas de conducción.
- Figura 4.8 – Tensión y corriente de salida del inversor monofásico para una modulación SPWM bipolar.
- Figura 4.9 – Corriente en transistor y diodo en semipunto controlado por moduladora sinusoidal.
- Figura 4.10 – Corriente en transistor  $T_{11}$  y diodo en anti-paralelo  $D_{12}$  del transistor  $T_{12}$ .
- Figura 4.11 – Umbrales de entrada y salida de conducción en interruptor basado en 2, 3 y 4 transistores en paralelo.
- Figura 4.12 – Patrón de conmutación y perfil de corriente por transistor en interruptores de a) 2 transistores en paralelo, b) 3 transistores en paralelo y c) 4 transistores en paralelo.
- Figura 4.13 – Error relativo entre área rectangular y área sinusoidal equivalente en función del número de transistores en paralelo.
- Figura 4.14 – Áreas de cálculo de potencia limitadas por los ángulos de entrada en conmutación.
- Figura 4.15 – Áreas de delimitación de entrada y salida de activación de transistores.
- Figura 4.16 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz), a) Pérdidas de conducción en transistor y diodos, b) Pérdidas de conmutación.
- Figura 4.17 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz), a) Pérdidas de conducción en transistor y diodos, b) Pérdidas de conmutación.
- Figura 4.18 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz), a) Pérdidas de conducción en transistor y diodos, b) Pérdidas de conmutación.
- Figura 4.19 – Comparativa de estimación de pérdidas de conducción en transistor ( $P_{ci}$ ) y diodo ( $P_{cd}$ ) y pérdidas de conmutación totales ( $P_{sw}$ ), a) Cuatro transistores en conmutación adaptativa vs un transistor, b) Cuatro transistores en conmutación adaptativa vs cuatro transistores en conmutación simultánea.
- Figura 4.20 – Estimación de pérdidas en transistores de un inversor monofásico con portador multifrecuencia. Selección en función de la amplitud de corriente (20, 15, 10, 5) kHz.
- Figura 4.21 – Estimación de pérdidas en transistores de un inversor monofásico con portador multifrecuencia. Selección en función de la amplitud de corriente (40, 30, 20, 10) kHz.
- Figura 5.1 – Filtros L y LCL de acoplamiento a red en inversor monofásico.
- Figura 5.2 – a) Control SPWM basado en portadora triangular y curva de magnetización, b) umbrales de selección de frecuencia de portadora en función de la amplitud de corriente y curva de magnetización equivalente.
- Figura 5.3 – Dominios magnéticos e influencia en los dominios sometidos al efecto de un campo magnético.
- Figura 5.4 – Transferencia de energía y pérdidas por histéresis, a) energía de entrada y b) energía de salida.
- Figura 5.5 – Pérdidas en el núcleo en un periodo de conmutación como suma de pulsos.

Figura 5.6 – Distribución de corriente en un conductor circular.

Figura 5.7 – Relación entre las pérdidas en el núcleo por periodo de conmutación.

Figura 5.8 – Estimación de pérdidas en el núcleo en función de la frecuencia de conmutación.

Figura 5.9 – Pérdidas en el núcleo en un periodo de la señal de salida con modulación SPWM

Figura 5.10 – Comparativa de estimación de pérdidas en el núcleo de la Figura 5.7 y resultados aplicando una modulación basada en una portadora multifrecuencia.

Figura 5.11 – Técnicas de atenuación de oscilaciones resonantes a) *passive damping* y b) *active damping*.

Figura 6.1 – Vista general de la plataforma de ensayo.

Figura 6.2 – Esquema del inversor monofásico con interruptores basados en la conexión de cuatro transistores en paralelo.

Figura 6.3 – Esquema del circuito de driver de control de transistores.

Figura 6.4 – Esquema de la fuente de alimentación aislada basada en un circuito oscilador: a) Salida positiva con rectificación de media onda doblador de tensión, b) Salida negativa con rectificación de onda completa.

Figura 6.5 – *Drivers* adaptativos de 4 transistores en paralelo.

Figura 6.6 – Esquema y descripción del circuito de adquisición. Amplificador diferencial de aislamiento para ensayo de pérdidas a baja frecuencia en inductancia de acoplamiento: a) medida de tensión en inductancia, b) medida de corriente en inductancia y c) Transductor de corriente para implementar el lazo de control y medida en ensayo de distorsión armónica.

Figura 6.7 – Placa de sensores y acondicionamiento del sistema de adquisición.

Figura 6.8 – Diagrama de conexiones de la plataforma de control.

Figura 6.9 – Diagrama de control vectorial *PI-SRF* (*Proportional Integral - Synchronous Reference Frame*) en inversor monofásico.

Figura 6.10 – Distorsión de la forma de onda de corriente de salida del convertidor en ensayo en cortocircuito y contenido armónico de baja frecuencia.

Figura 6.11 – Diagrama de control *PI-SRF* en inversor monofásico con cancelación activa de distorsión.

Figura 6.12 – Diagrama de bloques del algoritmo de selección de transistores implementad en el control adaptativo.

Figura 6.13 – Respuesta de componentes *d* y *q*.

Figura 6.14 – La señal *display[0]* muestra la evolución del índice de selección de transistor y la señal *display[1]* la medida adquirida por el conversor analógico digital.

Figura 6.15 – Detalle de las señales de la Figura 6.14.

Figura 6.16 – Señal PWM multiplexada para el control de un interruptor de cuatro transistores.

Figura 6.17 – Evolución del índice de control de multiplexado en interruptor de tres transistores.

Figura 6.18 – Señal PWM multiplexada en interruptor de tres transistores sin rotación. La señal sinusoidal (CH4) es la entrada de sincronización del control de multiplexado.

Figura 6.19 – Tensión  $V_{ce}$  en dos periodos de la señal de salida. Las capturas muestran el comportamiento del interruptor equivalente a medida que la amplitud de la corriente de salida aumenta.

Figura 6.20 – Señal de salida de la placa de drivers en control de multiplexado en interruptor de tres transistores con rotación. La señal sinusoidal es la entrada de sincronización del control de multiplexado.

Figura 6.21 – Señal de salida de la placa de drivers en control de multiplexado en interruptor de tres transistores con rotación y portador multifrecuencia.

Figura 6.22 – Circuito de ensayo para la obtención de pérdidas debidas a la corriente fundamental en la inductancia de acoplamiento.

Figura 6.23 – Circuito de ensayo e instrumentación para la adquisición de datos.

Figura 6.24 – Diagrama del método de análisis de distorsión armónica total en la corriente de salida del convertidor.

Figura 6.25 – Pérdidas en las inductancias en función de la amplitud de corriente de 50 Hz y  $L1 = 5,23$  mH.

Figura 6.26 – Pérdidas en las inductancias en función de la amplitud de corriente de 50 Hz y  $L2 = 1615$   $\mu$ H.

Figura 6.27 – Pérdidas en las inductancias en función de la amplitud de corriente de 50 Hz y  $L3 = 161,5$   $\mu$ H.

Figura 6.28 – Potencia de entrada en función de la corriente de salida del inversor a distintas frecuencias de conmutación. Cada interruptor está constituido por un transistor SKW07N120.

Figura 6.29 – Comparativa de resultados de simulación y ensayo con transistor SKW07N120.

Figura 6.30 – Potencia de entrada en función de la corriente de salida del inversor a distintas frecuencias de conmutación. Cada interruptor integra cuatro transistores SKP02N120.

Figura 6.31 – Comparativa de resultados de simulación y ensayo con transistor SKP02N120.

Figura 6.32 – Potencia de entrada en función de la corriente de salida y la frecuencia de conmutación (Inductancia de ensayo  $L2$ ).

Figura 6.33 – Potencia de entrada en función de la corriente de salida del inversor con interruptores formados por cuatro transistores conectados en paralelo y frecuencia de conmutación de 10 kHz.

Figura 6.34 – Potencia de pérdidas en transistores a)  $f_s = 10$  kHz, b)  $f_s = 40$  kHz.

Figura 6.35 – Potencia de entrada en inversor monofásico con modulación basada en portadora multifrecuencia. Inductancia de ensayo  $L2$ : a) frecuencia de conmutación (20, 15, 10, 5) kHz y b) frecuencia de conmutación (40, 30, 20, 10) kHz.

Figura 6.36 – Potencia de entrada en inversor monofásico con modulación basada en portadora multifrecuencia. Inductancia de ensayo  $L3$ : a) frecuencia de conmutación (20, 15, 10, 5) kHz y b) frecuencia de conmutación (40, 30, 20, 10) kHz.

Figura 6.37 – Forma de onda de corriente de salida de 2 A y 10 A con modulación basada en portadora multifrecuencia (izquierda) y con frecuencia de conmutación constante de 10 kHz (derecha).

Figura 6.38 – Índice de distorsión armónica total de la corriente de salida del inversor monofásico con frecuencia de conmutación fija y con portadora multifrecuencia (5, 10, 15 y 20) kHz.

Figura 6.39 – Resultado de ensayo para una corriente de 10 A y 5 kHz de frecuencia de conmutación.

Figura 6.40 – Resultado de ensayo para una corriente de 10 A y 10 kHz de frecuencia de conmutación.

Figura 6.41 – Resultado de ensayo para una corriente de 10 A y 15 kHz de frecuencia de conmutación.

Figura 6.42 – Resultado de ensayo para una corriente de 10 A y 20 kHz de frecuencia de conmutación.

Figura 6.43 – Resultado de ensayo para una corriente de 10 A y frecuencia de conmutación variable.

## LISTA DE TABLAS

Tabla 2.1 – Estimación de reducción de conmutaciones por interruptor basado en la conexión en paralelo de cuatro transistores. Inversor funcionando durante 14 h al día y frecuencia de conmutación de 10 kHz.

Tabla 3.1 – Parámetros de simulación del convertidor elevador de la Figura 3.9.

Tabla 3.2 – Condiciones del ensayo.

Tabla 4.1 – Relación de los ángulos de entrada/salida de conducción y tiempo de conducción de cada transistor y el porcentaje de conducción de una señal de 50 Hz (tiempo máximo de conducción 10 ms).

Tabla 4.2 – Comparativa de áreas rectangular y sinusoidal de amplitud unitaria con reparto en interruptores con  $n$  transistores en paralelo.

Tabla 4.3 – Parámetros de simulación.

Tabla 4.4 – Parámetros de simulación del transistor SKP02N120.

Tabla 4.5 – Parámetros de simulación del transistor SKW07N120.

Tabla 5.1 – Evolución del flujo magnético en el núcleo en aplicaciones de electrónica de potencia.

Tabla 5.2 – Estimación de pérdidas en el núcleo magnético de un filtro de acoplamiento a red en un inversor con modulación sinusoidal SPWM.

Tabla 5.3 – Estimación de pérdidas en el núcleo magnético de un filtro de acoplamiento a red en un inversor con modulación sinusoidal SPWM y control de conmutación mediante portadora multifrecuencia.

Tabla 5.4 – Asignación de frecuencias y número de transistores en conmutación simultánea en función de la forma de onda de corriente.

Tabla 6.1 – Especificaciones de la placa de *drivers*.

Tabla 6.2 – Especificaciones de la placa de adquisición.

Tabla 6.3 – Parámetros utilizados en la implementación del control.

Tabla 6.4 – Descripción de ensayos y obtención de datos.

Tabla 6.5 – Características del sistema de adquisición para la medida de potencia de pérdidas en inductancia debida a la corriente de baja frecuencia.

Tabla 6.6 – Especificaciones de la plataforma de ensayo.

Tabla 6.7 – Condiciones de ensayo.

Tabla 6.8 – Características de las inductancias de acoplamiento utilizadas en los ensayos.

# SÍMBOLOS Y DEFINICIONES

---

<i>Símbolo</i>	<i>Descripción</i>	<i>Unidades</i>
$\alpha$	Coeficiente de <i>Steinmetz</i> para el cálculo de pérdidas magnéticas	-
$\alpha_i, \alpha_f$	Ángulos inicial y final de conexión y desconexión de transistores	rad
$\alpha_{PNP}$	Ganancia de corriente en transistor bipolar PNP	-
$\beta$	Coeficiente de <i>Steinmetz</i> para el cálculo de pérdidas magnéticas	-
$\mu_n$	Movilidad de los electrons en el silicio	m <sup>2</sup> /Vs
$\sigma$	Conductividad eléctrica	S/m
$\omega$	Frecuencia angular	rad/s
$A_n$	Amplitud de las componentes frecuenciales de la corriente	A
$B$	Inducción del campo magnético	T, Wb/m <sup>2</sup>
$C_{GS}$	Capacidad de puerta-surtidor	F
$C_{GE}$	Capacidad de puerta-emisor	F
$C_{ox}$	Capacidad de puerta	F/m
$E_{off}$	Energía de pérdidas por apertura del transistor	J
$E_{on}$	Energía de pérdidas por cierre del transistor	J
$E_{rr}$	Energía de pérdidas debidas a la conmutación del diodo	J
$f_{eq}$	Frecuencia de conmutación equivalente	Hz
$f_{sw}$	Frecuencia de conmutación	Hz
$g_{fs}$	Transconductancia (IGBT)	$\Omega^{-1}$ , S
$g_m$	Transconductancia (MOSFET)	$\Omega^{-1}$ , S

<b><math>H</math></b>	Excitación magnética o intensidad de campo	A/m
<b><math>I_C, i_c</math></b>	Corriente de colector	A
<b><math>I_D</math></b>	Corriente de drenador	A
<b><math>I_E, i_f</math></b>	Corriente directa en diodo	A
<b><math>L</math></b>	Longitud de la puerta en transistores MOSFET	m
<b><math>L_e</math></b>	Inductancia parásita de emisor	H
<b><math>k</math></b>	Coefficiente de <i>Steinmetz</i> para el cálculo de pérdidas magnéticas	-
<b><math>k_h, k_c, k_a</math></b>	Coefficientes para el cálculo de pérdidas magnéticas	-
<b><math>k_p, k_i</math></b>	Constante proporcional e integral en control PI	-
<b><math>K_P</math></b>	Transconductancia del MOSFET	A/V <sup>2</sup>
<b><math>m_a</math></b>	Índice de modulación de amplitud	-
<b><math>m_f</math></b>	Índice de modulación de frecuencia	-
<b><math>P_{cn}</math></b>	Potencia de pérdidas de conducción	W
<b><math>P_a</math></b>	Potencia de pérdidas adicionales	W
<b><math>P_e</math></b>	Potencia de pérdidas de Foucault o corrientes torbellino	W
<b><math>P_h</math></b>	Potencia de pérdidas de histéresis	W
<b><math>P_{inv}</math></b>	Potencia de pérdidas en inversor	W
<b><math>P_{Lhf}</math></b>	Potencia de pérdidas en inductancia debidas a corrientes de alta frecuencia	W
<b><math>P_{Llf}</math></b>	Potencia de pérdidas en inductancia debidas a corrientes de baja frecuencia	W
<b><math>P_{sw}</math></b>	Potencia de pérdidas de conmutación	W
<b><math>P_v</math></b>	Potencia de pérdidas en material magnético por unidad de volumen	W/cm <sup>3</sup>
<b><math>r_{ce}</math></b>	Resistencia equivalente colector-emisor	$\Omega$
<b><math>r_d</math></b>	Resistencia equivalente en diodo	$\Omega$
<b><math>R_{Dson}</math></b>	Resistencia drenador-surtidor en conducción en transistor MOSFET	$\Omega$
<b><math>R_G</math></b>	Resistencia de puerta	$\Omega$
<b><math>S</math></b>	Área de la sección del núcleo magnético	
<b><math>T_j</math></b>	Temperatura de unión en un semiconductor	°C
<b><math>t_r</math></b>	Tiempo de subida de la corriente por el transistor en la conexión	s
<b><math>t_f</math></b>	Tiempo de bajada de la corriente por el transistor en la desconexión	s
<b><math>t_d</math></b>	Retardo en conexión o desconexión en transistores	s
<b><math>t_{sw}</math></b>	Periodo de conmutación	s
<b><math>t_s</math></b>	Periodo de muestreo	s
<b><math>u_{DC}</math></b>	Tensión del bus de continua o <i>dclink</i>	V
<b><math>u_{RED}</math></b>	Tensión sinusoidal de la red eléctrica	V

$V_{ce0}$	Tensión umbral colector-emisor	V
$V_{ce}, V_{ce}$	Tensión colector-emisor	V
$V_{CEsat}$	Tensión colector-emisor de saturación	V
$V_{ctrl}, V_{driver}$	Señal de activación de los interruptores	V
$V_{DS}$	Tensión drenador-surtidor	V
$v_{f0}$	Tensión umbral en diodo	V
$V_F, V_f$	Tensión en diodo	V
$V_{GE}, V_{GEth}$	Tensión puerta-emisor, tensión umbral puerta-emisor	V
$V_{GS}, V_{GSth}$	Tensión puerta-surtidor, tensión umbral puerta-surtidor	V
$v_{Le}$	Tensión en inductancia parásita de emisor	V
$W$	Ancho de puerta en transistores MOSFET	m

<i><b>Acrónimos</b></i>	<i><b>Descripción</b></i>
<b>CS</b>	Carrier Storage
<b>FE</b>	Factor de Escalado
<b>FS</b>	Field Stop
<b>IGBT</b>	Insulated Gate Bipolar Transistor
<b>LPT</b>	Light Punch-Through
<b><math>\mu C</math></b>	Microcontrolador
<b>MOSFET</b>	Metal Oxide Semiconductor Field Effect Transistor
<b>NPT</b>	Non Punch-Through
<b>PLL</b>	Phase-Locked Loop
<b>PT</b>	Punch-Through
<b>PWM</b>	Pulse Width Modulation
<b>RMS</b>	Root Mean Square
<b>SPT</b>	Soft Punch-Through
<b>THD</b>	Total Harmonic Distortion
<b>XPT</b>	Extra-light Punch-Through





# CAPÍTULO 1

## Introducción y objetivos

### 1.1 Introducción

En los últimos años se ha promovido la implantación de sistemas de generación eléctrica a partir de energías renovables. La introducción de estos sistemas ha cambiado el modelo de generación centralizado, dando paso a un modelo de generación distribuido. Una muestra de ello son los ratios de crecimiento anual de las últimas dos décadas en la producción de energía eléctrica a partir de fuentes de energía renovables de diversos orígenes. Los datos recopilados por la Agencia Internacional de Energía (AIE) muestran, en la Figura 1.1, el crecimiento, predicción y objetivos en las cuotas de generación eléctrica a partir de energías renovables [IEA15].

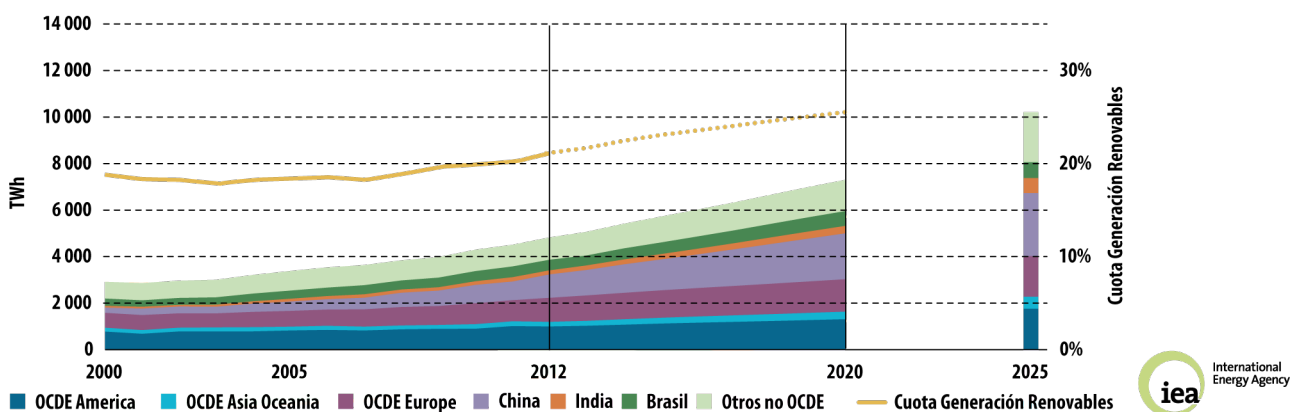


Figura 1.1 – Generación eléctrica a partir de fuentes de energía renovables distribuida por regiones. Fuente: International Energy Agency.

El crecimiento global en generación eléctrica procedente de renovables se situó en torno al 7 % (350 TWh) en 2014, representando una cuota superior al 22 % de la generación eléctrica total. En la actualidad China posee la mayor cuota de producción eléctrica a partir de fuentes de energía renovables al situarse en un 23 %.

Tal y como indican los datos mencionados anteriormente, el incremento en la generación eléctrica a partir de energías no gestionables constituyen ya una parte significativa de la producción eléctrica total. Una de las características de los sistemas de generación distribuida es el uso de dispositivos de electrónica de potencia, concretamente el uso de convertidores estáticos para conversión de energía CA/CC, CC/CC y CC/CA.

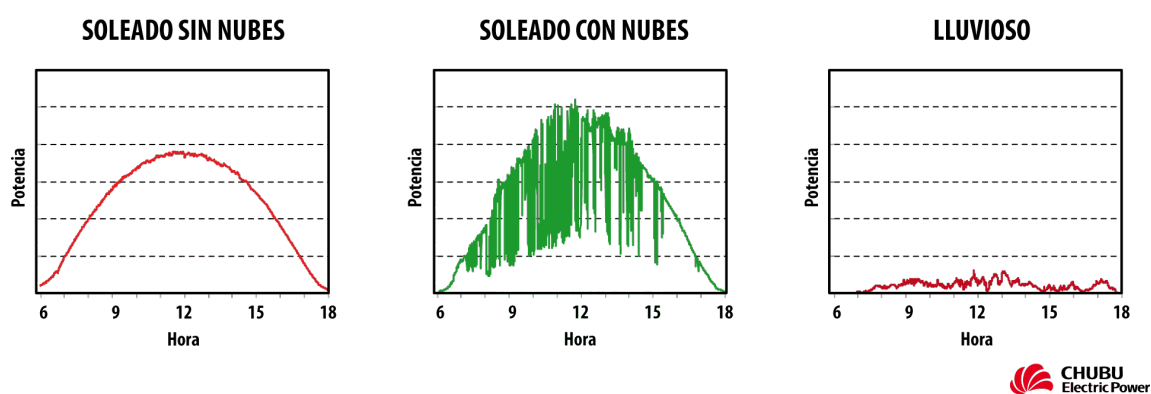


Figura 1.2 – Variación de producción eléctrica fotovoltaica según horario y condiciones climatológicas.

Fuente: Chubu Electric Power.

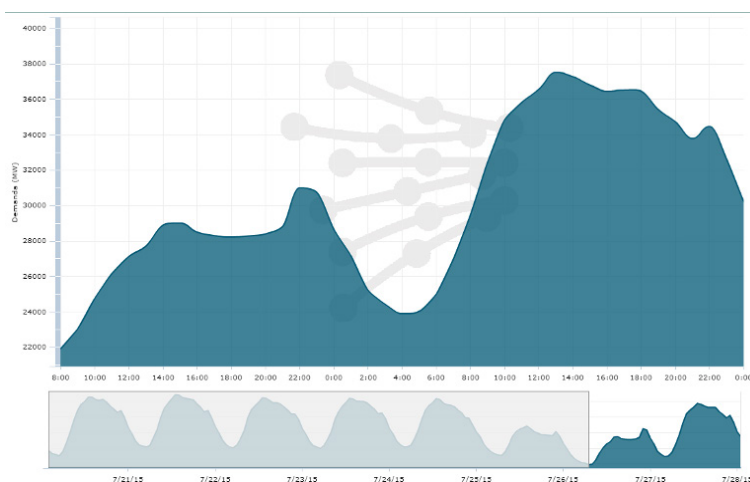


Figura 1.3 – Variación en la demanda de energía eléctrica diaria y semanal en España (semana del 27 de Julio de 2015). Fuente: Red Eléctrica de España.

Un aspecto particular de algunos sistemas de energía distribuidos basados en energías renovables es la variabilidad, más o menos previsible, de la producción de energía eléctrica [WAZ12]. Estas variaciones se deben a la propia naturaleza de la fuente de energía, situación que

se ve aún más perjudicada si se considera la variabilidad en la demanda de energía (Figura 1.2 y Figura 1.3). Las fluctuaciones entre la energía generada y la energía demandada hacen necesario el incremento de sistemas de electrónica de potencia para gestionar la energía, almacenando en momentos de baja demanda e inyectando a red cuando la demanda así lo requiere.

Debido a la variabilidad en la producción y demanda de energía eléctrica, los sistemas de interfaz con la red requieren un carácter flexible y escalable. Esta filosofía puede aplicarse a sistemas de alimentación distribuidos, segmentando la complejidad propia de estos sistemas en subsistemas más simples basados en funcionalidades básicas.

Desde el punto de vista económico el coste de una instalación con capacidad de procesar una determinada cantidad de energía se reduce al segmentarla en unidades más pequeñas, de este modo, la ampliación se llevaría a cabo añadiendo los nuevos equipos y dispositivos a la instalación existente, evitando la necesidad de rediseñar completamente la instalación para adaptarla a las nuevas condiciones. Otra de las razones es la fiabilidad de la instalación a mantener el suministro de energía en caso de producirse un fallo en alguno de los convertidores conectados a red [ORT08].

Algunos sistemas de generación eléctrica no pueden gestionar la variabilidad en el tráfico energético, por este motivo, resulta conveniente considerar la eficiencia de los sistemas de procesamiento de energía y el impacto que pueden ejercer sobre la red eléctrica los sistemas de alimentación cuyo régimen de funcionamiento es variable.

La influencia que sobre la red eléctrica tienen los sistemas de generación eléctrica distribuidos se puede cuantificar determinando la calidad de la energía eléctrica suministrada. La calidad de la energía eléctrica se mide utilizando un conjunto de características representativas de las magnitudes eléctricas implicadas en su suministro, debiéndose definir el conjunto de valores exigibles que han de tomar estas características para considerar adecuada la calidad de la energía suministrada. Las posibles variaciones en los valores de estas características pueden significar una pérdida de calidad en la energía eléctrica. Estas variaciones suelen ser leves y de corta duración en el tiempo, manifestándose en las formas de onda de la tensión y de la corriente de red.

El contenido armónico de la corriente de red es una de las características contempladas en las normas EN50160 e IEEE 1159 y ofrece datos objetivos acerca de la calidad de la red. El parámetro que permite medir la calidad de la corriente respecto al contenido armónico de ésta

es el índice de distorsión armónica total ( $THD_i$ ) definido en la ecuación 1.1, donde  $I_n$  es el valor eficaz ( $RMS$ ) del armónico  $n$ ésimo de la corriente e  $I_1$  ( $n = 1$ ) corresponde al valor eficaz la componente fundamental cuyo valor dependerá del nivel de potencia que procese el convertidor. De esta forma, la expresión del numerador corresponde a todo el contenido frecuencial excepto la fundamental en la corriente de salida del convertidor ( $n \geq 2$ ).

$$THD_i = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1} \quad (1.1)$$

En electrónica de potencia, el diseño de aplicaciones y la elección de componentes parten de unas especificaciones basadas en unas condiciones de trabajo nominales y, por tanto, la variación de estas condiciones implica un funcionamiento no óptimo de los equipos. La principal consecuencia de la operación de un convertidor por debajo de las condiciones nominales se manifiesta en la degradación en la calidad de la energía que se suministra.

#### APLICACIÓN FOTOVOLTAICA

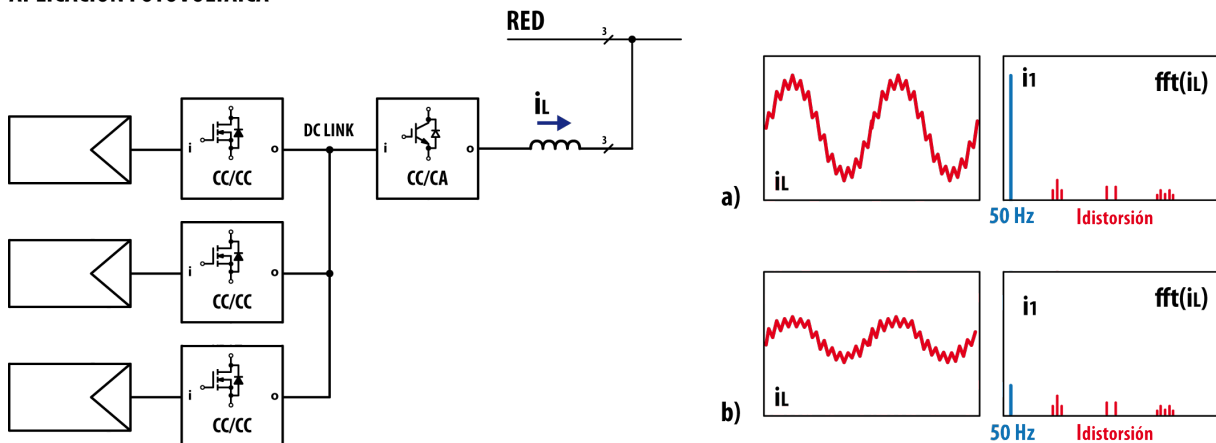


Figura 1.4 – Aplicación fotovoltaica en diferentes condiciones de trabajo.

Un ejemplo de este tipo de situaciones se ilustra en la Figura 1.4, en ella se muestra la corriente de salida de un convertidor utilizado en una aplicación fotovoltaica en dos condiciones de funcionamiento distintas. En el caso *a* las condiciones de trabajo son las nominales, de modo que la relación entre el nivel de rizado y el valor eficaz de la corriente introducida en la red eléctrica definen un determinado  $THD_i$ . En este caso el funcionamiento del equipo es óptimo al trabajar en las condiciones para las cuales ha sido diseñado. En el caso *b* la potencia obtenida de los paneles fotovoltaicos es inferior a los niveles especificados como nominales de modo que la amplitud de corriente fundamental es inferior también. En estas condiciones, el índice  $THD_i$  será mayor poniendo de manifiesto el impacto negativo del funcionamiento del convertidor en condiciones de trabajo inferiores a las nominales. También es importante destacar que un mayor

rizado de la corriente de salida del convertidor puede provocar una mayor distorsión en la tensión de red.

Considerando las situaciones descritas anteriormente, pueden destacarse los siguientes aspectos:

- Los convertidores estáticos se ven sometidos a condiciones de funcionamiento que, a menudo, no representan las condiciones de funcionamiento óptimas.
- La conexión en paralelo de sistemas de procesamiento de energía proporciona un mayor rendimiento del conjunto, mejorando la eficiencia global de la instalación.

## 1.2 Objetivos

El objetivo principal de esta tesis consiste en el estudio del comportamiento e influencia que tiene en un convertidor cuando sus interruptores están constituidos por conjuntos de transistores conectados en paralelo. Se estudiarán las siguientes características:

- Efecto que tiene en el rendimiento de un convertidor la aplicación de distintas estrategias de conmutación.
- Efecto en la distorsión de la corriente de salida basada en la medida del índice THD.
- Estudio y desarrollo de modelos de estimación de pérdidas en transistores conectados en paralelo e inductancia de acoplamiento a red.

Para evaluar estas dos características, se desarrollará una estrategia de conmutación basada en la gestión de los interruptores del convertidor contemplando los siguientes criterios:

- Sistema adaptativo: define la capacidad de configuración del conjunto de transistores que conforman los interruptores del convertidor en función de las condiciones de funcionamiento en las que se ve sometido.
- Técnicas de control multiplexadas: método de gestión del conjunto de transistores que determina el número e instante en el que deben conmutar.

La memoria de esta tesis se ha estructurado en 7 capítulos que pueden dividirse en tres partes. La primera parte, descrita a lo largo de este capítulo y en el Capítulo 2, muestra el ámbito en el que se enmarca esta tesis y se desarrolla un análisis comparativo de los diferentes métodos utilizados en los sistemas de procesamiento de energía. En ellos se destaca su capacidad de

configuración dinámica basada en la conexión en paralelo de dichos sistemas. El Capítulo 2 finaliza con la propuesta de un método de control adaptativo cuya gestión del conjunto de transistores queda definido por la cantidad de energía a procesar por el convertidor. El conjunto de técnicas propuestas muestran que el interruptor equivalente del convertidor varía tanto el número de transistores que conmutan de forma simultánea, como su frecuencia de conmutación. Como resultado, el uso de estas técnicas afecta a todos aquellos componentes que son sensibles a la variación del valor de la frecuencia de conmutación.

La segunda parte, desarrollada en los Capítulos 3 a 5, describe los mecanismos que influyen en el funcionamiento y eficiencia de los componentes del convertidor. Así, en el Capítulo 3 se analiza el comportamiento de los transistores cuando operan en paralelo, destacando los factores que influyen en el reparto de corriente. En este capítulo se examinan las técnicas existentes de reparto de corriente y se analiza su impacto en la eficiencia del interruptor.

En los Capítulos 4 y 5 se realiza un estudio basado en modelos de estimación de pérdidas que permiten cuantificar el efecto que las técnicas de conmutación adaptativas tienen sobre dos de los componentes fundamentales del convertidor, los transistores y la inductancia de acoplamiento a red.

La tercera parte, desarrollada en los Capítulos 6 y 7 describe los resultados experimentales y las conclusiones de esta tesis. En el Capítulo 6, se presentan los resultados de la investigación obtenidos a partir de una plataforma de ensayo basada en un inversor monofásico con interruptores que integran cuatro transistores en paralelo. El conjunto de ensayos muestra las pérdidas del convertidor en distintas condiciones de funcionamiento, distinguiendo las pérdidas de conducción y conmutación en transistores y las pérdidas que se producen en la inductancia de acoplamiento a red.

Finalmente, el Capítulo 7 muestra las conclusiones del trabajo desarrollado a lo largo de esta tesis, las aportaciones realizadas y líneas futuras de investigación.

# CAPÍTULO 2

---

## Configuración dinámica en sistemas de procesamiento de energía

### 2.1 Introducción

Los convertidores CC/CA constituyen un elemento indispensable en cualquier sistema de transferencia de energía a la red. No es extraño que algunos autores consideren como futuras líneas de investigación el estudio de la mejora del rendimiento energético y económico de estos convertidores y la mejora de la calidad de la energía que transfieren a la red [CAR06].

En este capítulo se realiza un breve estudio de las topologías utilizadas en sistemas de transferencia de energía en el ámbito de la generación fotovoltaica, y se describen las técnicas utilizadas para optimizar la eficiencia global de la instalación. Posteriormente el estudio se centra en las topologías y configuraciones aplicadas en inversores conectados en paralelo.

El objetivo del estudio propuesto en este capítulo consiste en utilizar el principio en el que se basan las técnicas de configuración dinámica de sistemas y aplicarlas a los interruptores de un inversor cuando están constituidos por conexiones en paralelo de transistores. Como regla general, cuando se habla de interruptor se hace referencia a un transistor o a un conjunto de  $n$  transistores conectados en paralelo.

### 2.2 Gestión de sistemas de generación fotovoltaica

Un ejemplo de la importancia en el tratamiento de una adecuada gestión de la energía son los métodos utilizados en sistemas de generación eléctrica fotovoltaica [VEL08]. Estos sistemas se

ven sometidos a variaciones de sus condiciones de trabajo y se les ha dotado de una gran capacidad de reconfiguración con el objetivo de obtener la máxima eficiencia energética de la instalación. Las configuraciones de los sistemas fotovoltaicos conectados a red pueden clasificarse en tres grupos:

- Integrada en Módulo: Cada panel fotovoltaico cuenta con un convertidor CC/CA.
- Orientada a Módulo: Cada convertidor cuenta con un conjunto de paneles conectados en serie entre ellos.
- Orientada a Planta: Un único convertidor cuenta con un conjunto de paneles conectados en una combinación serie-paralelo.

Dentro de los dos primeros grupos existe una variante denominada *multistring*, y está constituida por un panel fotovoltaico conectado a un convertidor CC/CC. La salida de los convertidores CC/CC configuran un bus de continua donde se conecta el convertidor CC/CA como interfaz de conexión a red.

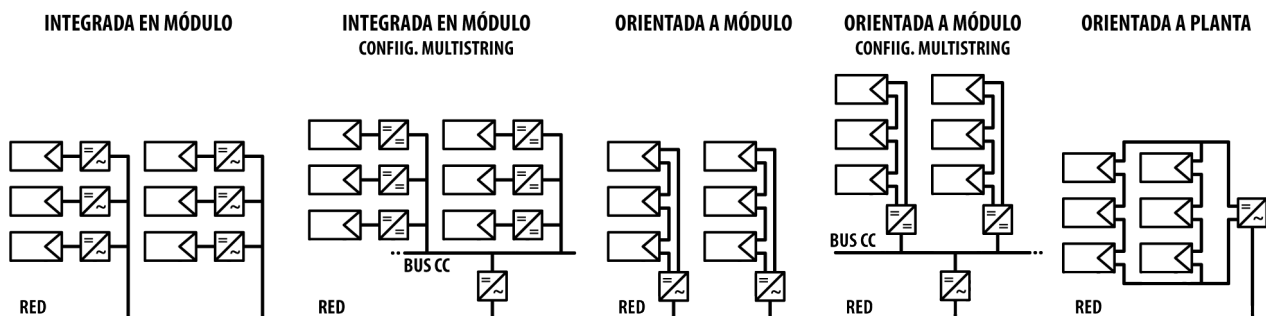


Figura 2.1 – Configuraciones del generador fotovoltaico.

Respecto al número de etapas en el proceso de conversión de energía pueden distinguirse varias configuraciones:

- De una etapa: El panel fotovoltaico está unido a la red a través de una única etapa de conversión eléctrica basada en un convertidor CC/CA. La conexión a red puede ser directa o mediante un transformador para dotar a la topología de aislamiento galvánico.
- De dos etapas: La etapa de conversión está formada por un convertidor CC/CC y una segunda etapa basada en un convertidor CC/CA. La etapa CC/CC puede incluir aislamiento galvánico basado en un transformador de alta frecuencia.
- Multietapa: Dentro de este grupo se encuentran las topologías basadas en un mayor número de convertidores entre el panel fotovoltaico y el inversor de conexión a red.



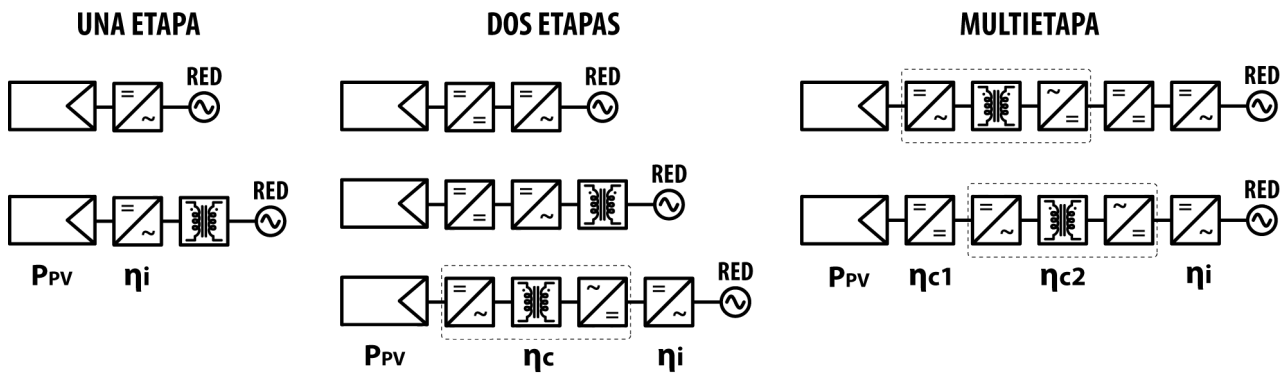


Figura 2.2 – Topologías de inversores.

Una de las propiedades que define a los sistemas de alimentación distribuidos es la escalabilidad. Esta característica define la capacidad de adaptación de un sistema según las necesidades o posibilidades en cuanto a la cantidad de energía que pueda transferir a la red y únicamente puede alcanzarse si la aplicación está formada por unidades más pequeñas.

La Ecuación 2.1 define la relación entre la potencia máxima del inversor y la potencia nominal del generador fotovoltaico, parámetro conocido como factor de escalado (FE).

$$FE = \frac{\sum_{i=1}^n P_{INV_i}}{P_{GF}} \tag{2.1}$$

En sistemas de generación fotovoltaica, el criterio seguido para determinar el reparto de energía entre convertidores depende del FE y lo que se denomina curva de eficiencia del convertidor. Esta curva relaciona la eficiencia del convertidor en función de la potencia entregada a la red, siendo deseable una respuesta plana y próxima al 100 %, independientemente del estado de carga del convertidor [MIN09, HU10].

A partir del FE, pueden identificarse las siguientes técnicas de asociación en sistemas de generación fotovoltaica (Figura 2.3):

- *MIX:* Técnica basada en el ajuste de la potencia del inversor. La estructura configura la conexión en paralelo de inversores de igual o distinta potencia trabajando en modo maestro/esclavo. Los inversores se conectan o desconectan para proporcionar la máxima energía a la red.
- *Team:* Técnica basada en el ajuste de la potencia del generador fotovoltaico. Se lleva a cabo mediante la configuración tanto del generador fotovoltaico como la del conjunto de convertidores. En este caso, al igual que en sistemas MIX, el número de convertidores que

se encuentren en funcionamiento dependerá de la potencia que pueda extraerse del generador fotovoltaico pero sin estar conectados en paralelo. Cada convertidor tendrá asignado el número de paneles que le permita extraer la energía en condiciones de máxima eficiencia.

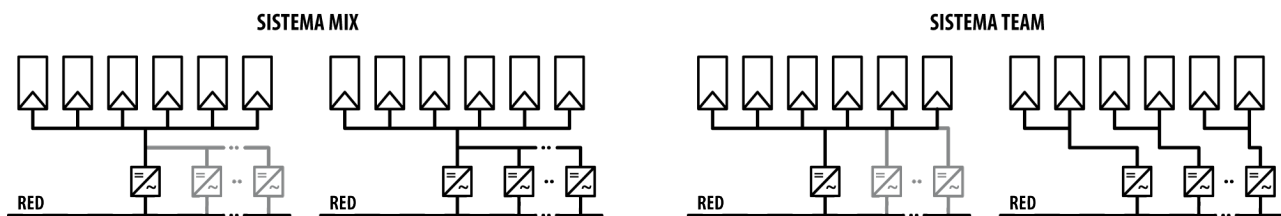


Figura 2.3 – Sistemas de generación fotovoltaica.

Considerando la eficiencia total de la instalación y debido a la variabilidad observada en el comportamiento de los sistemas de generación, han aparecido configuraciones basadas en *microinversores* capaces de transferir energía a red desde un reducido número de paneles [APS15]. El objetivo de estos sistemas es maximizar la eficiencia y el tiempo de funcionamiento de un número pequeño de paneles, permitiendo una mayor capacidad de adaptación a las condiciones del entorno.

### 2.3 Configuración dinámica en sistemas de procesamiento de energía

Existen una gran variedad de métodos de asociación de convertidores para transferir energía a la red a partir de una fuente de energía renovable [BLA06, CAR06]. Respecto a las topologías utilizadas para la conversión de energía, estas han sido analizadas y discutidas ampliamente en la literatura [ERI01, SKV02 y YAZ10] así como el estudio de los métodos más adecuados para controlar y transferir la energía en forma de corriente eléctrica alterna [BUS06 y KAZ02].

Pueden distinguirse tres modelos basados en el diseño modular y escalable respecto a la configuración de sistemas de procesamiento de energía:

- Conexión en paralelo de convertidores.
- Conexión en paralelo de semipuentes.
- Conexión en paralelo de transistores.

### 2.3.1 Conexión en paralelo de convertidores

La conexión en paralelo de convertidores tiene lugar cuando un conjunto de varios inversores comparten la misma de red. En estas condiciones, es necesario que un sistema de control garantice la estabilidad del sistema de procesado de energía. Cuando el conjunto de inversores comparten la misma fuente, puede aparecer una corriente que circula entre inversores, aumentando el estrés e incrementando las pérdidas en los semiconductores. Este efecto, conocido como corriente circulante, requiere la aplicación de un control adicional que permita cancelar la aparición de dichas corrientes [CHE06, JIA10].

La asociación de convertidores en paralelo permite la sincronización de los instantes de conmutación de los transistores del convertidor. Aplicando un cierto desfase entre las portadoras del modulador PWM, se consiguen frecuencias de conmutaciones aparentemente superiores a la conmutación real del convertidor. Esta técnica, conocida como *interleaving*, permite reducir o incluso cancelar los rizados mediante la suma de las corrientes procedentes de cada inversor, reduciendo el contenido armónico de la corriente inyectada a red.

El tiempo de respuesta del control que gestiona la conexión en paralelo de inversores es superior al tiempo de respuesta del control de corriente de cada inversor, puesto que actúa como referencia para el conjunto de inversores operando en paralelo.

### 2.3.2 Conexión en paralelo de semipuentes

Un concepto similar a la conexión en paralelo de inversores es la conexión en paralelo de semipuentes. Este método propone la conexión de un inversor para cada una de las fases de la red a la que está conectada [ABU10 y CAP11]. El número de semipuentes no se limita al número de fases del sistema de conexión, contribuyendo cada uno de ellos a la suma total de la corriente de una de las fases. La conexión en paralelo de semipuentes se ha utilizado también en inversores multinivel [POU13].

La Figura 2.4 muestra de forma comparativa la conexión en paralelo de inversores y la conexión en paralelo de semipuentes, cuyas características más destacables son:

- Reparto de la corriente: La corriente de inyección a red se reparte a través de los semipuentes, permitiendo de este modo el uso de transistores más pequeños pero con la posibilidad de operar a frecuencias de conmutación más elevadas.
- Reducción del tamaño de las inductancias de acoplamiento a red.

- Aumento de la fiabilidad del convertidor: En caso de fallo en alguno de los semipuentes existe la posibilidad de anular su funcionamiento y operar con el resto de semipuentes.
- Reducción de los armónicos de corriente inyectada a red aplicando técnicas de *interleaving* mediante la adecuada sincronización del conjunto de semipuentes [CAP14].

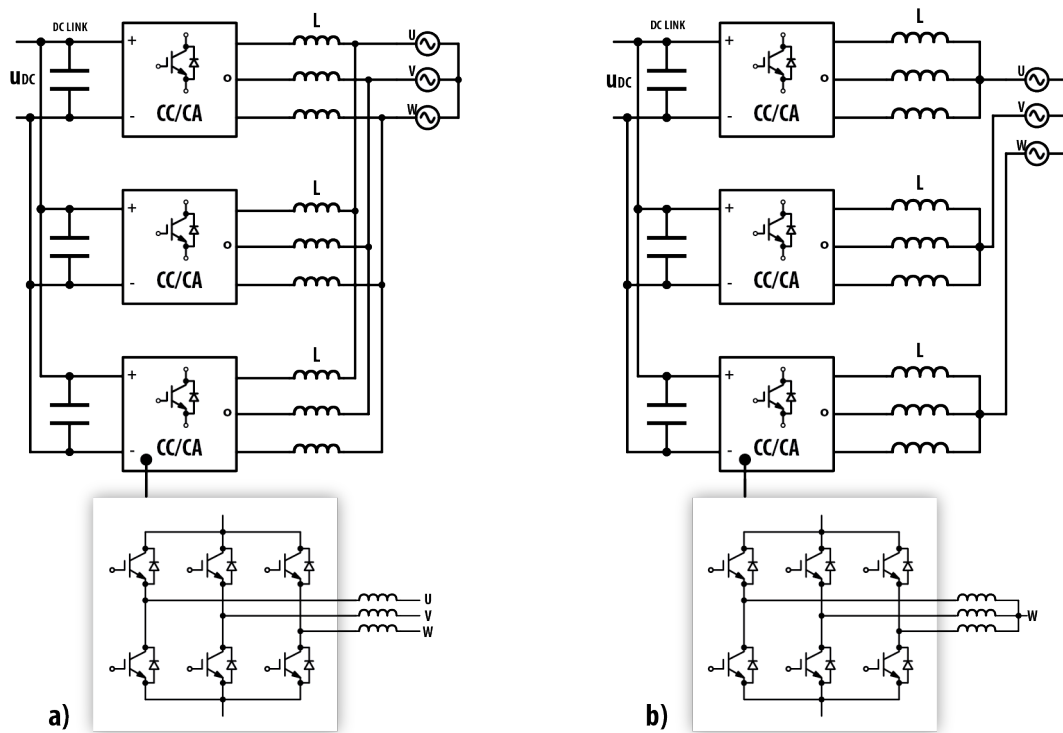


Figura 2.4 – Comparativa de métodos de reparto de corriente en convertidores CC/CA, a) conexión en paralelo de convertidores, b) conexión en paralelo de semipuentes.

### 2.3.3 Conexión en paralelo de transistores

La conexión en paralelo de transistores es un método utilizado para implementar interruptores con una mayor capacidad de conducción de corriente a partir de transistores más pequeños (Figura 2.5). Este método es utilizado por fabricantes de transistores para obtener módulos capaces de conducir corrientes elevadas.

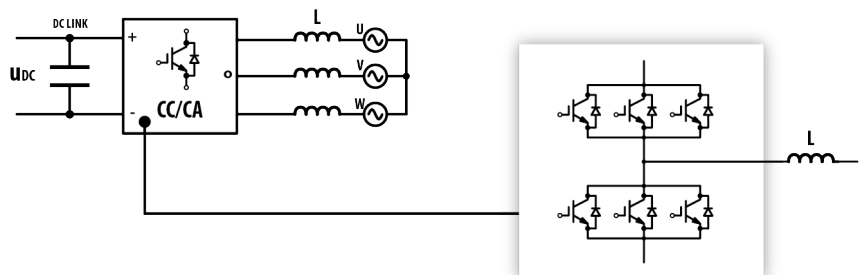


Figura 2.5 – Conexión en paralelo de transistores.

La capacidad de selección del número de transistores a activar y el instante de activación suponen el aumento del grado de libertad en el control del convertidor y puede exigir una mayor implicación del control y la adaptación de los algoritmos dedicados al control de corriente del convertidor.

Los aspectos que diferencian la conexión en paralelo de transistores tienen relación con la conmutación de los mismos. De la asociación en paralelo de transistores pueden distinguirse dos estrategias de conmutación:

- Conmutación simultánea.
- Conmutación multiplexada.

La estrategia de conmutación multiplexada permite introducir modulaciones PWM basadas en portadoras multifrecuencia.

### 2.3.3.1 Conmutación simultánea

El funcionamiento del convertidor es idéntico a un convertidor CC/CA convencional cuyos interruptores están formados por un único transistor. No obstante, un convertidor con interruptores basados en transistores discretos más pequeños y con menores pérdidas pueden operar a frecuencias de conmutación mayores que las utilizadas con transistores de mayor capacidad de conducción de corriente. La Figura 2.6 muestra un interruptor basado en la conexión de cuatro transistores IGBT en paralelo, el diagrama indica la conmutación simultánea de todos los transistores.

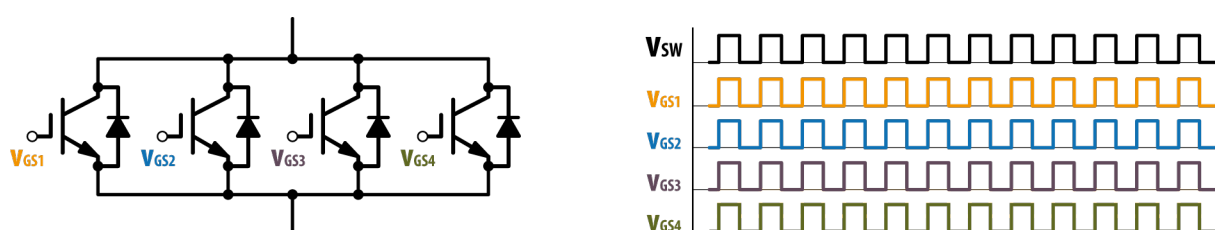


Figura 2.6 – Conmutación simultánea con 4 transistores en paralelo.

### 2.3.3.2 Conmutación multiplexada

El objetivo de la conmutación multiplexada es utilizar únicamente el número de transistores necesarios según la corriente de salida del convertidor. Las pérdidas derivadas de la conmutación pueden verse favorecidas al disminuir el tamaño del semiconductor, optimizándose no solo la relación coste-amperio del interruptor equivalente sino también la relación superficie de semiconductor por unidad de corriente [PEL94].

Para garantizar un envejecimiento homogéneo de todos los transistores, la señal de habilitación de los transistores debe rotar, distribuyendo de este modo el mismo número de conmutaciones en todos los transistores del interruptor equivalente.

Existen dos posibles métodos de control de la conmutación:

- **Frecuencia del convertidor constante:** La frecuencia de conmutación del convertidor se mantiene constante, consiguiéndose una reducción de la frecuencia de conmutación de cada transistor, dependiendo del número de transistores que conmuta de forma simultánea. Este sistema no requiere ninguna acción adicional por parte del control del convertidor, de modo que el sistema de gestión de conexión de transistores es totalmente transparente.

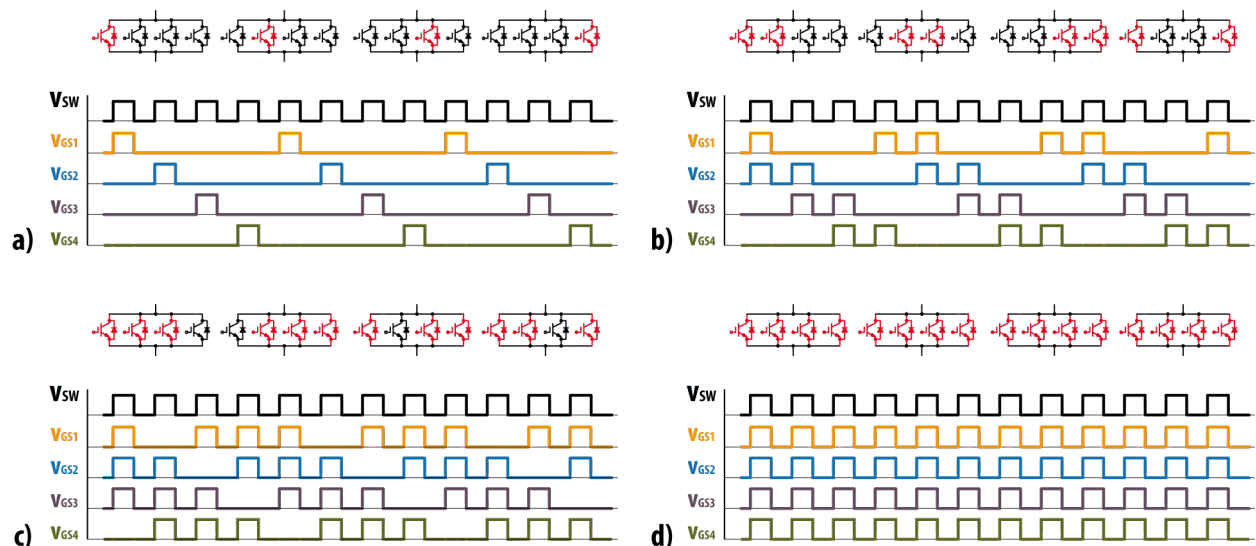


Figura 2.7 - Conmutación multiplexada con 4 transistores en paralelo. La frecuencia de conmutación de cada transistor depende del número de transistores que conmutan de forma simultánea. En promedio las frecuencias de conmutación es a)  $f_{eq} = f_{sw}/4$ , b)  $f_{eq} = f_{sw}/2$ , c)  $f_{eq} = 3f_{sw}/4$ , d)  $f_{eq} = f_{sw}$ .

La Figura 2.7 muestra cómo la frecuencia de conmutación de cada transistor puede reducirse hasta cuatro veces si la corriente de carga requiere únicamente la conducción simultánea de un transistor.

- **Frecuencia del transistor constante:** Mantener constante la frecuencia de conmutación de los transistores que integra el interruptor equivalente implica incrementar la frecuencia de conmutación del convertidor. Cuanto menor sea la energía transferida, mayor será la frecuencia de conmutación.

La Figura 2.8 muestra el aumento de la frecuencia de conmutación del convertidor con el objetivo de mantener constante el valor medio de la frecuencia de conmutación de los transistores integrados en el interruptor equivalente.

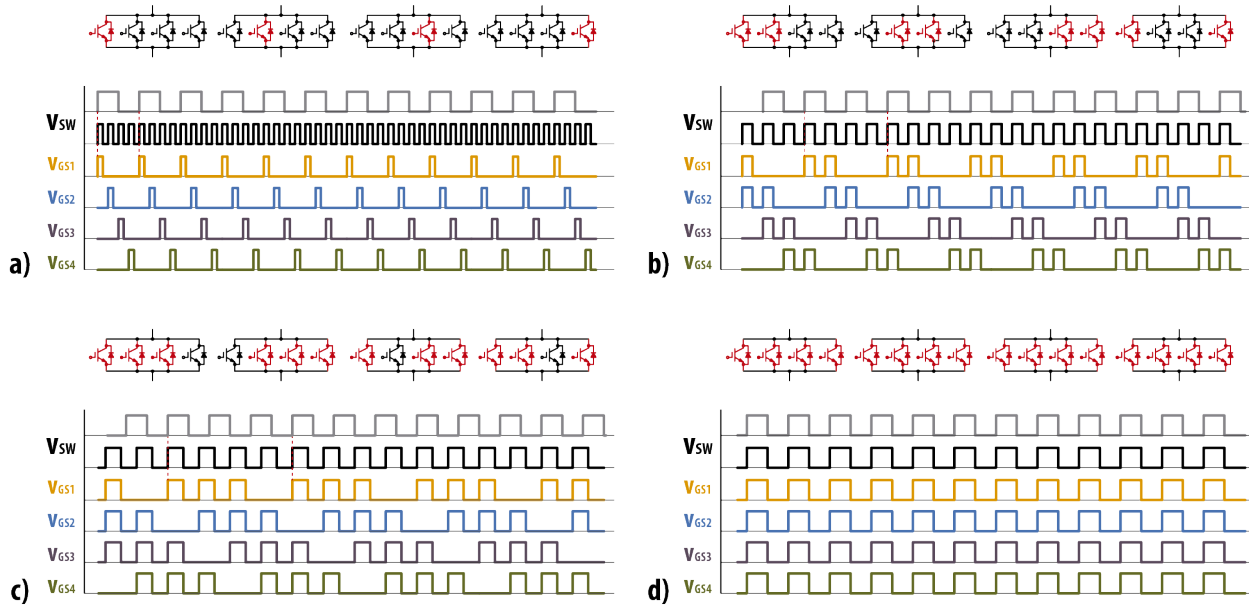


Figura 2.8 – Aumento de la frecuencia de conmutación de cada transistor para mantener constante la frecuencia de conmutación promedio a)  $4f_{sw}$ , b)  $2f_{sw}$ , c)  $4f_{sw}/3$ , d)  $f_{sw}$ .

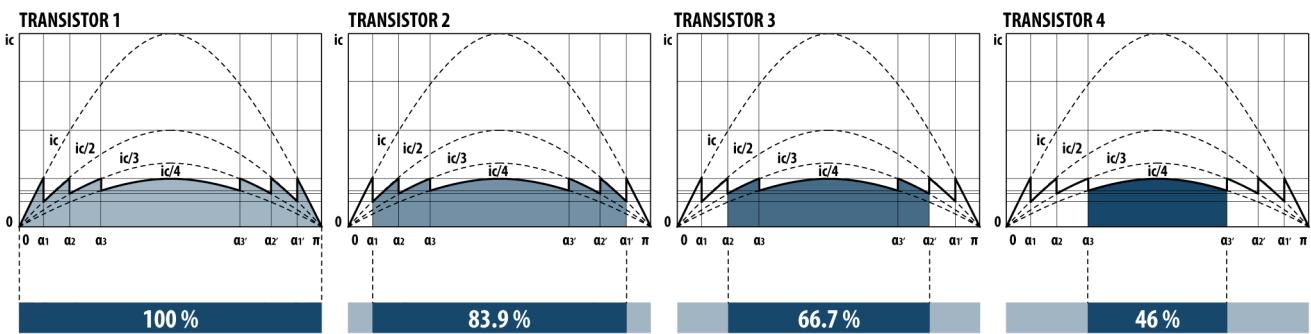


Figura 2.9– Reducción del tiempo de activación en un conjunto de cuatro transistores.

Las Figuras 2.7 y 2.8 muestran un ahorro significativo del número de conmutaciones en cada transistor. La Figura 2.9 muestra el tiempo de conducción de cada transistor si se considera el caso de un conjunto de cuatro transistores conectados en paralelo.

Suponiendo una aplicación en la que un inversor opera 14 horas al día y cuya amplitud de corriente de valor nominal se mantiene constante, la Tabla 2.1 indica la reducción del número de conmutaciones aplicando una estrategia de conmutación multiplexada en función de la energía transferida según el tiempo de conducción mostrado en la Figura 2.9.

Tabla 2.1 – Estimación de reducción de conmutaciones por interruptor basado en la conexión en paralelo de cuatro transistores. Inversor funcionando durante 14 h al día y frecuencia de conmutación de 10 kHz.

<i>Transistor</i>	<i>Tiempo de activación</i>	<i>Número de conmutaciones</i>	<i>Disminución de conmutaciones</i>
<b>Transistor 1</b>	100 %	$504,00 \cdot 10^6$	0
<b>Transistor 2</b>	83,9 %	$422,85 \cdot 10^6$	$81,14 \cdot 10^6$
<b>Transistor 3</b>	66,7 %	$336,16 \cdot 10^6$	$167,83 \cdot 10^6$
<b>Transistor 4</b>	46 %	$231,84 \cdot 10^6$	$272,16 \cdot 10^6$

Aplicando la rotación del patrón de conmutación, el número de conmutaciones se reparte entre el conjunto de transistores que constituyen el interruptor. En estas condiciones, el número de conmutaciones se obtiene mediante el cálculo del valor medio del número de conmutaciones de la Tabla 2.1 resultando un total de  $373,716 \cdot 10^6$  conmutaciones por transistor, es decir, un 25,85 % menor si se compara con un conjunto de transistores que conmutan simultáneamente, independientemente del valor de corriente que circula a través de ellos.

Existe una última estrategia de control multiplexado de conmutación de transistores. La estrategia se basa en repartir el tiempo de conducción en el mismo periodo de conmutación, no obstante, el estudio propuesto en esta tesis se centrará en los dos primeros métodos.

### 2.3.3.3 *Control de conmutación mediante múltiples portadoras*

La conmutación multiplexada muestra una reducción de la frecuencia de conmutación desde el punto de vista de cada transistor que configura el interruptor equivalente. Si se mantiene la frecuencia de conmutación implica un incremento de la frecuencia de conmutación del convertidor.

La conexión en paralelo de transistores permite gestionar la conexión y desconexión de transistores mediante el uso de múltiples portadoras. Si se quiere mantener constante la frecuencia de conmutación de cada transistor, supondría la introducción de tantas portadoras como transistores en paralelo contenga el interruptor equivalente. La Figura 2.7 muestra un ejemplo de funcionamiento de este método.

El uso de múltiples portadoras es una técnica de conmutación utilizada en convertidores multinivel [MCG02, PRA10]. En transistores en paralelo puede utilizarse para alcanzar frecuencias de conmutación superiores a las que se podría alcanzar con un único transistor de



corriente equivalente al conjunto, de este modo, el tamaño de las inductancias de acoplamiento pueden ser menores, tanto en tamaño como en coste.

La frecuencia de conmutación equivalente dependerá directamente del número de transistores en paralelo según la relación mostrada en la Ecuación 2.2.

$$f_{eq} = n \cdot f_{sw} \text{ donde } n: \text{número de interruptores en paralelo} \tag{2.2}$$

2.3.3.4 Ejemplo de configuración dinámica de transistores en paralelo

La conexión en paralelo de cualquier sistema de procesamiento de energía tiene un elemento en común, la conexión o desconexión de los sistemas se determina en función de la energía a transferir. Este mismo concepto es el propuesto para gestionar la conexión o desconexión de transistores en paralelo.

Considerando la corriente por el convertidor como la magnitud que define la energía procesada, los tiempos de conexión o desconexión pueden decidirse en función del valor instantáneo de la corriente, tal y como se mostraba en la Figura 2.9.

Las Figuras 2.10 a 2.12 muestran el diagrama de bloques del modelo en *Simulink* de un inversor monofásico con interruptores basados en 4 transistores IGBT en paralelo. La selección del número de transistores en paralelo se obtiene a partir del valor absoluto instantáneo de la señal filtrada de la corriente de salida del convertidor.

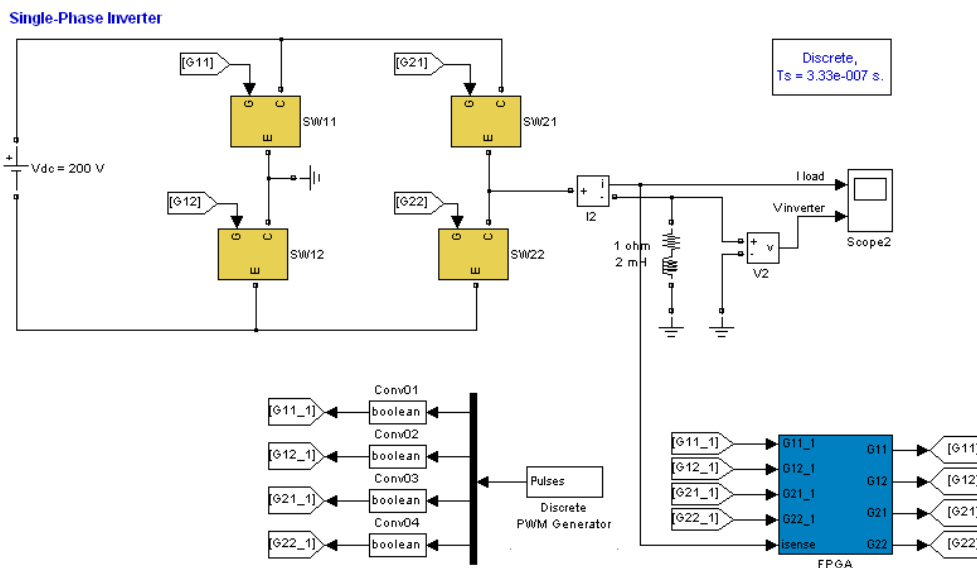


Figura 2.10 – Esquema *Simulink* de un inversor monofásico con gestión de transistores en paralelo basado en el valor instantáneo de la corriente de salida del convertidor.

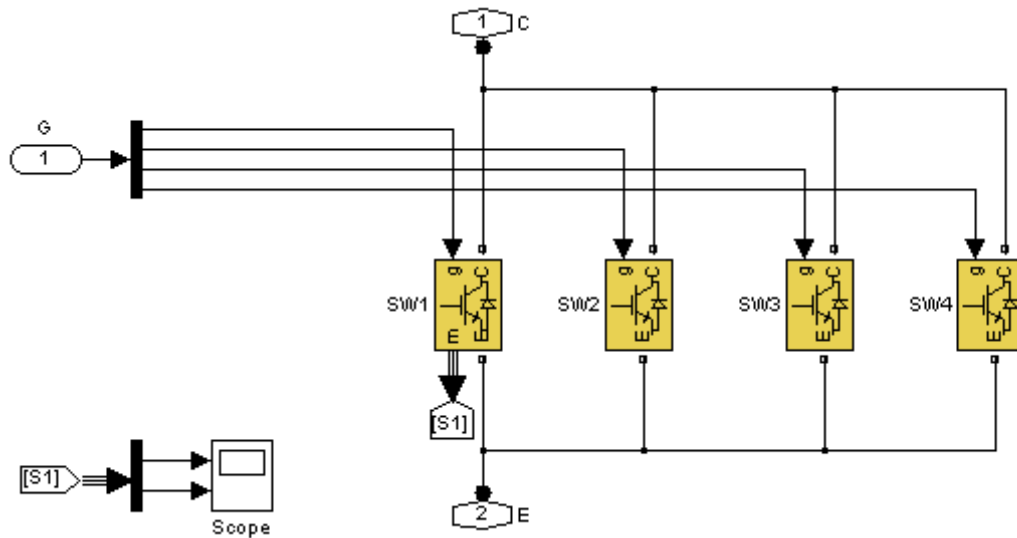


Figura 2.11 - Bloque interruptor basado en 4 transistores IGBT en paralelo.

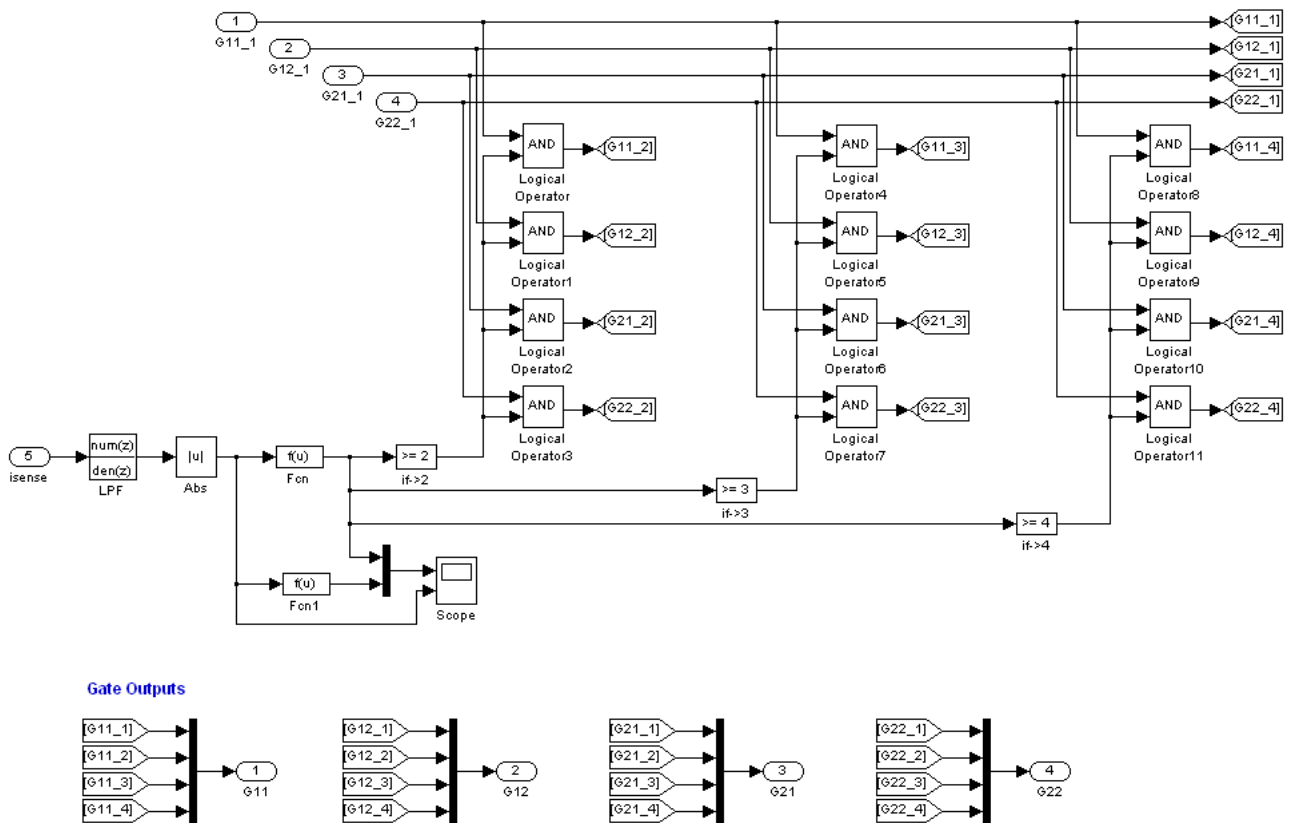


Figura 2.12 - Bloque de gestión de conexión de transistores en paralelo en función de la corriente de salida del convertidor.

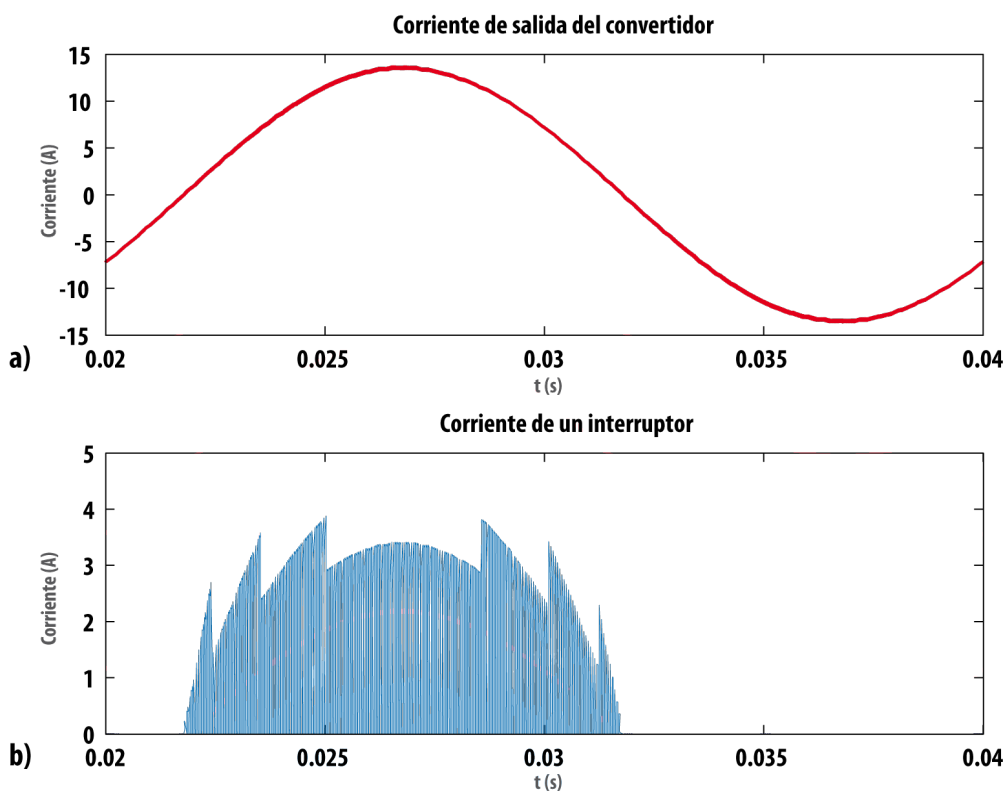


Figura 2.13 – a) Corriente de salida del inversor, b) reparto de corriente entre transistores.

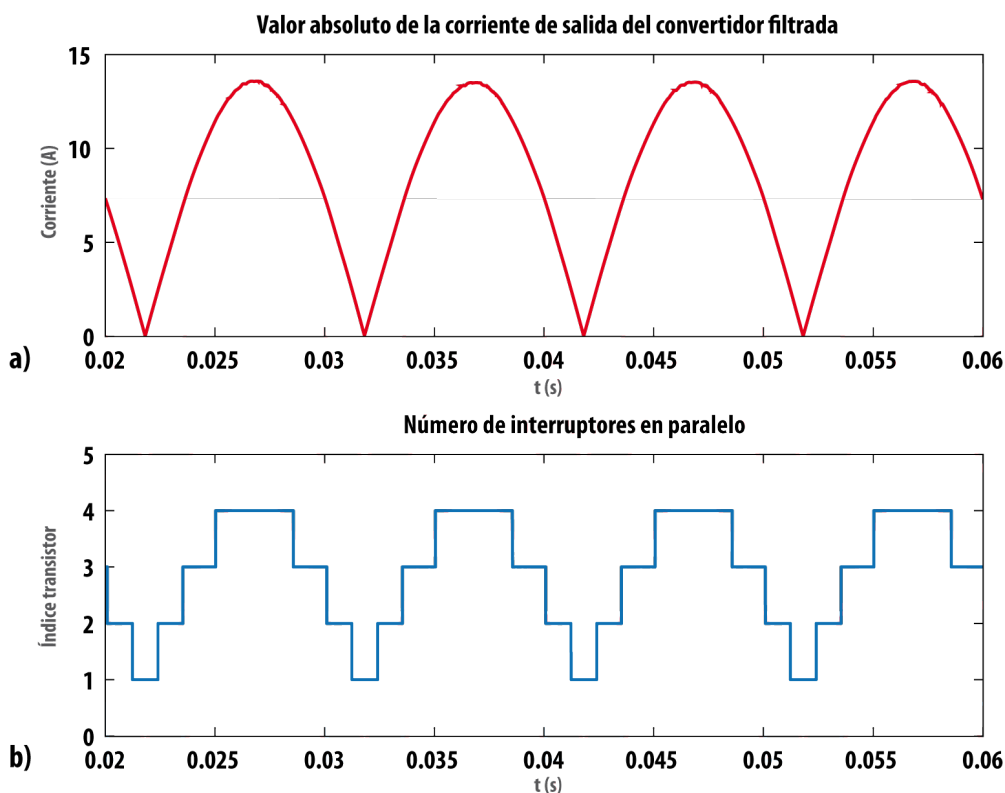


Figura 2.14 – a) Valor absoluto de la corriente de salida, b) índice de selección del número de transistores operando en paralelo.

La Figura 2.13 muestra la corriente de salida del convertidor y la corriente de colector a través de uno de los interruptores. El perfil de la forma de onda observado se debe a la evolución sinusoidal de la corriente de salida del convertidor y al método de activación de transistores. Se observa cómo el reparto a través de cada transistor depende del valor instantáneo de la corriente del convertidor.

La Figura 2.14 muestra las señales de control que gestionan la conexión y desconexión de transistores. El índice mostrado en la Figura 2.14b indica cuántos transistores actúan de forma simultánea.

## 2.4 Conclusiones

En este capítulo se han presentado diferentes métodos que permiten el procesado de energía mediante la conexión de elementos en paralelo a escalas muy distintas, desde la configuración de las conexiones que constituye un sistema fotovoltaico a la conexión en paralelo de transistores. De los métodos analizados pueden destacarse las siguientes características:

### 1. Conexión en paralelo de inversores:

- Cada inversor requiere su propio control.
- Es necesario un nivel de control adicional para gestionar la conexión y sincronización del grupo de inversores conectados en paralelo.
- Considerando la sincronización entre inversores pueden aplicarse técnicas de *interleaving* que permiten la reducción total o parcial del rizado de la corriente transferida a red, reduciendo el contenido armónico de la corriente de salida.
- La aparición de corrientes circulantes entre inversores incrementa la complejidad del control y puede aumentar el estrés y las pérdidas en los semiconductores.

### 2. Conexión en paralelo de semipuentes:

- Existen dos niveles en el control del inversor, el primero, encargado de la transferencia de corriente a red y el segundo del reparto y sincronización de la corriente de fase aportada por cada semipunto.
- Este método aporta una mayor robustez del convertidor puesto que el fallo de uno de los semipuntos no impide que el inversor siga procesando energía.

- Pueden aplicarse técnicas de *interleaving* mediante la estrategia de sincronización adecuada para cada grupo de semipuentes.
- Este método presenta una mayor inmunidad frente a la aparición de corrientes circulantes.

### 3. Conexión en paralelo de transistores:

- La distribución multiplexada de conmutaciones no requiere variación alguna de la estrategia de control del inversor.
- Reduce el número de componentes necesarios en un sistema de procesado de energía.
- El uso de múltiples portadoras permite incrementar la frecuencia de conmutación del inversor en condiciones de carga inferiores a la nominal, escalando el rizado en función de la amplitud de la corriente de salida. En estos casos la distribución multiplexada de conmutaciones deja de ser transparente para el control.
- Ofrece un tiempo de respuesta en un ciclo de conmutación puesto que depende del valor instantáneo de la corriente de salida del convertidor.
- Frente a variaciones de carga el sistema de control no requiere ningún método de sincronización.

Las técnicas de conmutación basadas en la conexión en paralelo de transistores constituyen la base sobre la que se desarrolla esta tesis, abordando la configuración dinámica del sistema de procesado de energía mediante la configuración adecuada de los transistores del convertidor. Para ello en el siguiente capítulo se analiza el comportamiento que tienen los transistores de potencia cuando operan en paralelo.



# CAPÍTULO 3

---

## Conexión de transistores en paralelo

### 3.1 Introducción

Cuando la potencia de un convertidor es elevada, la conexión en paralelo de transistores permite incrementar la capacidad de conducción de corriente del interruptor equivalente. Es un método dual a la asociación en serie de transistores, utilizado en aplicaciones donde la tensión de entrada del convertidor es superior a la máxima que pueden soportar los transistores [NGU10].

En aplicaciones donde se requiere el procesado de elevadas potencias, se tiende a recurrir a módulos basados en la integración de múltiples transistores en paralelo [MUS10]. No obstante, en aplicaciones donde el coste de los semiconductores puede resultar determinante, la asociación en paralelo de transistores discretos permite reducir la relación de *coste-Amperio* del interruptor equivalente [PEL94]. La mayor producción de transistores discretos garantiza un menor coste de producción si se compara con el coste de módulos de mayor corriente.

La Figura 3.1 muestra la relación entre el precio y la corriente máxima de transistores IGBT de 1200 V. La Figura 3.2 muestra una comparativa de los transistores de la Figura 3.1 con módulos IGBT de dos transistores. Las áreas sombreadas muestran el espacio que ocupa el 90 % de los transistores de la Figura 3.1 en conexiones en paralelo de dos y cuatro transistores. En el Anexo se incluyen las referencias de los dispositivos de las Figuras 3.1 y 3.2.

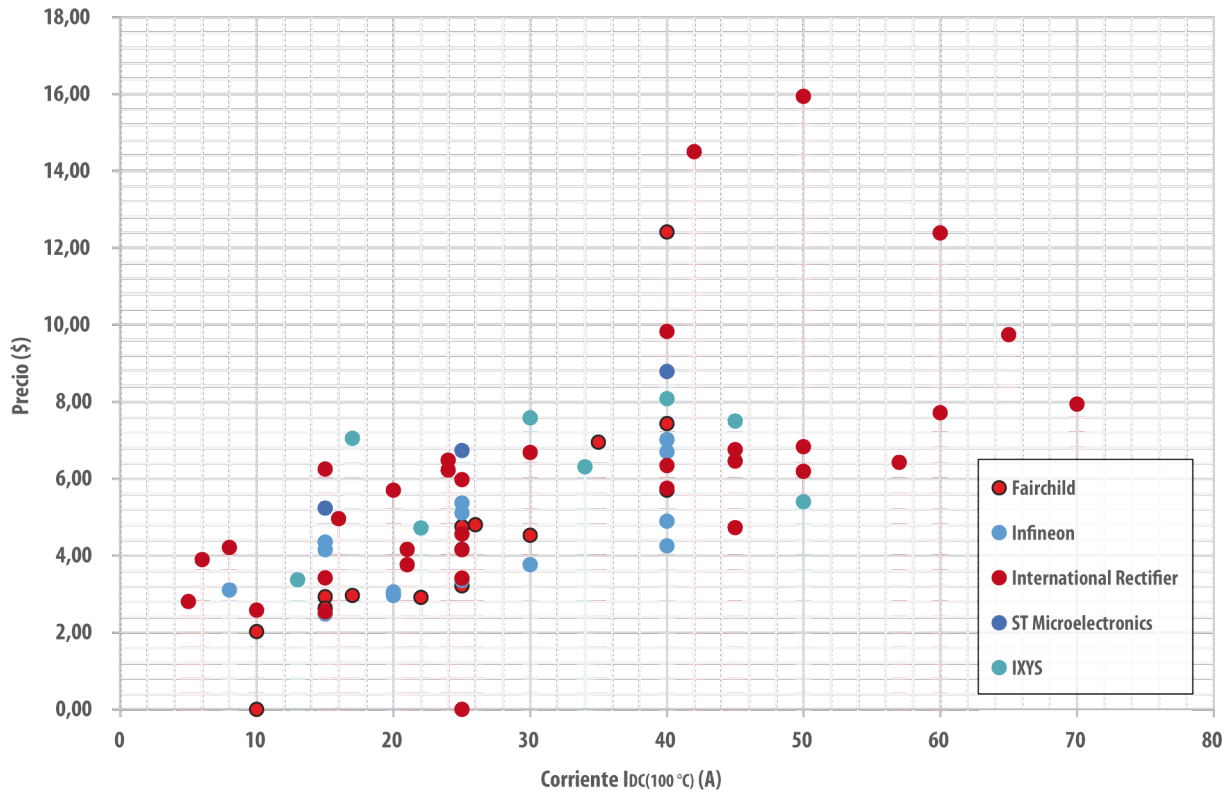


Figura 3.1 – Comparativa de precios en transistores IGBT (1200V) en función de la corriente máxima.

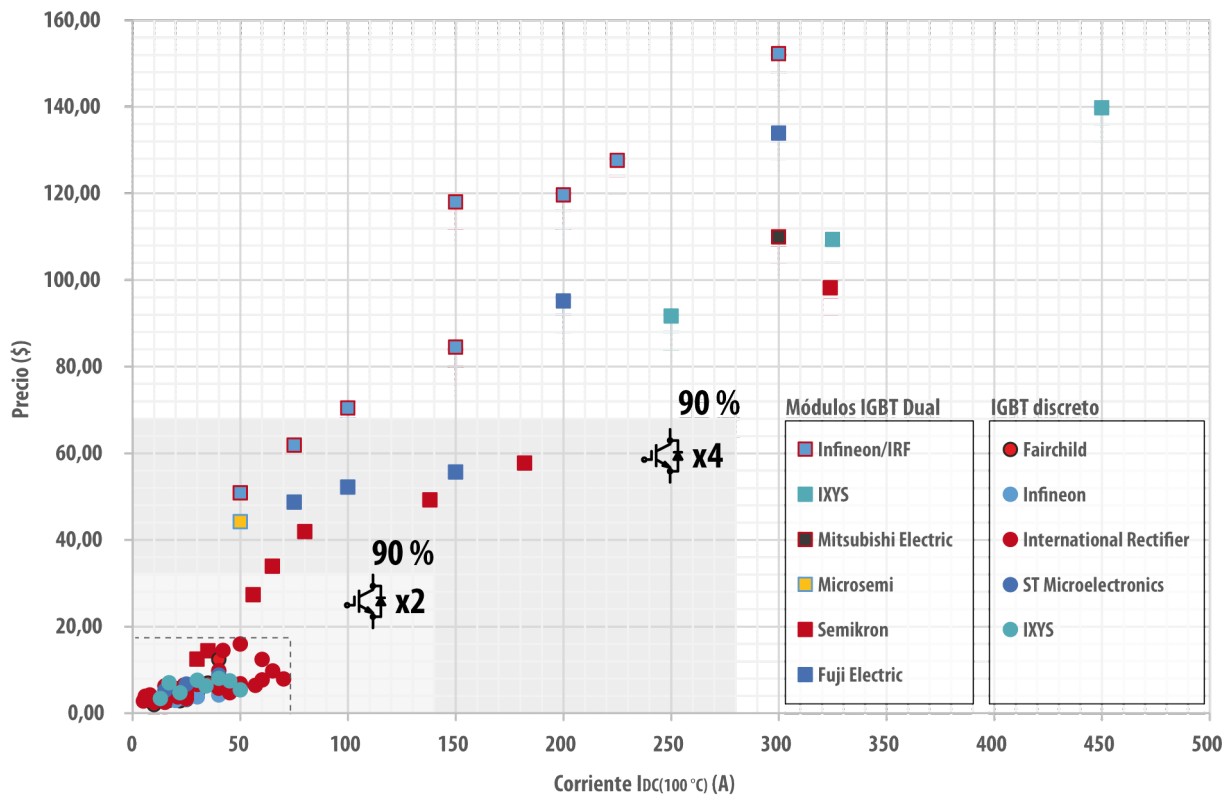


Figura 3.2 – Comparativa de precios en transistores IGBT discretos y en módulos IGBT duales. En los dos casos la tensión máxima es de 1200 V.



Conseguir un reparto de corriente equilibrado es un elemento clave y el principal inconveniente cuando se conectan transistores en paralelo. Las características tecnológicas de fabricación de transistores impiden que el comportamiento como interruptor sea ideal, además las tolerancias asociadas a las características tecnológicas imposibilitan un reparto de corriente equilibrado. En este sentido, tanto fabricantes como investigadores han tratado de aportar técnicas que solucionen o mitiguen el desequilibrio en el reparto de corriente.

En este capítulo se describen los factores más relevantes que determinan el reparto de corriente y se describen técnicas que favorecen dicho reparto. Finalmente se propone una estrategia de control que permite la obtención de un reparto equilibrado de corriente aplicable a transistores controlados por tensión.

### 3.2 Tecnología de semiconductores de potencia

Un aspecto importante a considerar con respecto a la asociación en paralelo de transistores, es la tecnología de fabricación utilizada. La Figura 3.3 muestra el espacio que ocupan las tecnologías de semiconductores de potencia en función de las características eléctricas y frecuencia de operación [LUT10].

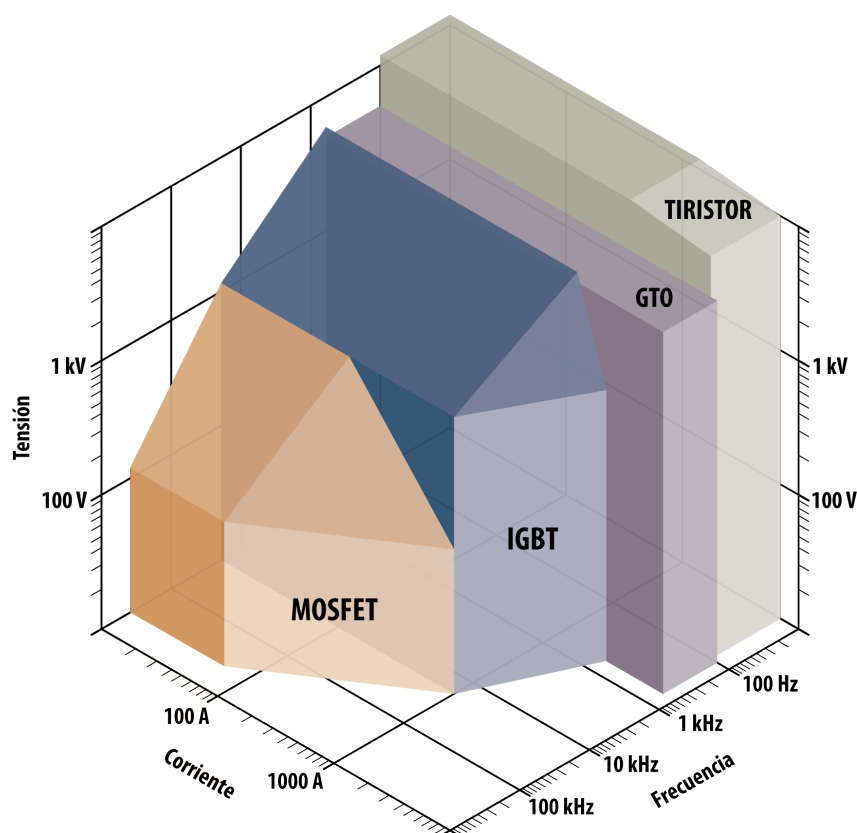


Figura 3.3 – Rango de aplicación en semiconductores de potencia.

En convertidores CC/CA las tecnologías de transistor dominantes son MOSFET e IGBT. El modelo de conducción de un transistor MOSFET se simplifica mediante una resistencia drenador-surtidor  $R_{DSon}$  de valor equivalente a la resistencia del canal formado en la puerta del transistor. Esta resistencia tiene un coeficiente de temperatura positivo así que en aplicaciones con múltiples transistores en paralelo, el transistor que más corriente conduce, por efecto térmico, aumenta el valor de la resistencia del canal, reduciendo la corriente que circula por el dispositivo. Este comportamiento tiende a equilibrar el reparto de corriente entre transistores MOSFET.

Un transistor IGBT está constituido por un transistor MOSFET de canal N y por un transistor bipolar PNP, dispositivo por el cual circula la corriente principal, la Figura 3.4 muestra el modelo equivalente de un transistor IGBT. La principal ventaja de los transistores IGBT son las menores pérdidas por conducción que se producen en estos dispositivos si se comparan con las pérdidas por conducción en un transistor MOSFET.

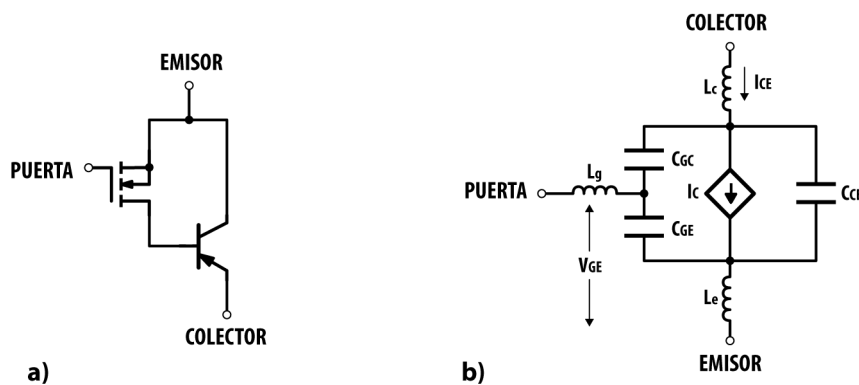


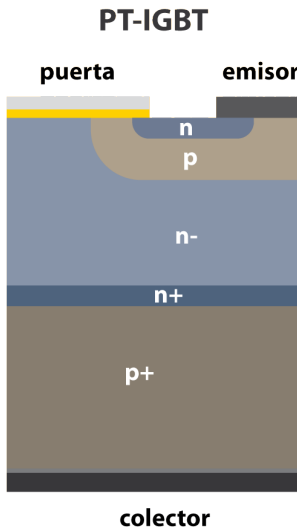
Figura 3.4 – Transistor IGBT a) circuito equivalente y b) modelo simplificado.

El coeficiente de temperatura de la resistencia equivalente de conducción en las primeras familias de transistores IGBT era negativo, este factor hacía que el funcionamiento en aplicaciones que pudieran requerir la conexión de múltiples transistores en paralelo estuviera en desventaja al compararse con las prestaciones que ofrecen los transistores MOSFET. La existencia de desequilibrio en el reparto de corriente entre transistores IGBT tiende a incrementarse puesto que el valor de la tensión colector-emisor de saturación  $V_{CEsat}$  se reduce en mayor medida en el transistor que más corriente conduce puesto que es el transistor que más estrés térmico recibe.

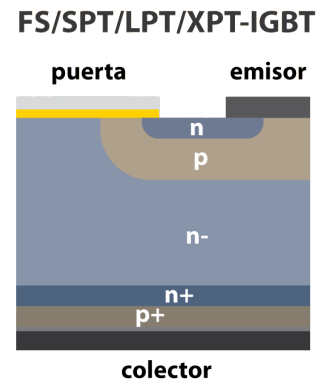
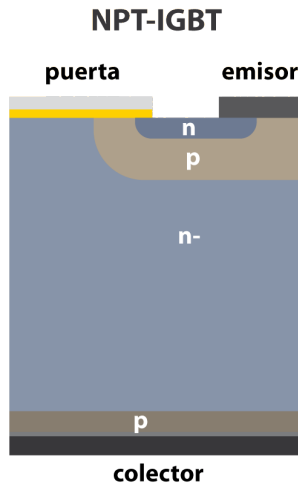
Sin embargo, el desarrollo de la tecnología de estos transistores ha propiciado la aparición de nuevas familias de transistores cuyo coeficiente de temperatura de la resistencia equivalente de conducción es positivo. Las principales familias tecnológicas en transistores IGBT son *Punch-*

*Through* IGBT (PT-IGBT) que tiene un coeficiente de temperatura negativo, *Non Punch-Through* (NPT) y *Field Stop* (FS) que tienen un coeficiente de temperatura positivo. Éstas últimas son recomendables en aplicaciones que requieran la conexión de transistores en paralelo.

**COEFICIENTE TEMP. NEGATIVO:**



**COEFICIENTE DE TEMPERATURA POSITIVO:**



**TECNOLOGÍA DE CONSTRUCCIÓN DE PUERTA TRENCH:**

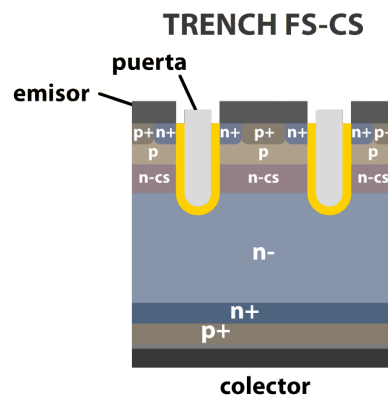
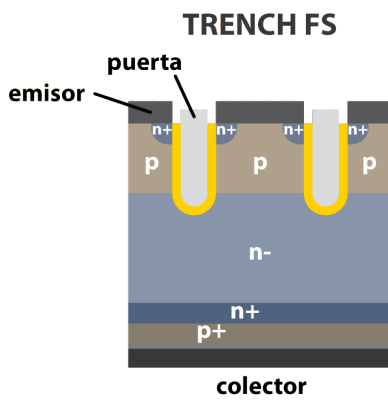


Figura 3.5 – Clasificación de tecnologías de fabricación de transistores IGBT según el coeficiente de temperatura de la resistencia equivalente de conducción. La tecnología de construcción de puerta denominada trinchera (*trench*) permite incrementar la corriente del dispositivo al aprovechar mejor la superficie del transistor.

La Figura 3.5 muestra de forma simplificada la composición interna de las principales familias tecnológicas de transistores IGBT. Dependiendo de variaciones en la construcción del transistor, la tecnología FS puede recibir otras denominaciones como *Soft Punch-Through* (SPT), *Light Punch-Through* (LPT), *eXtra-light Punch-Through* (XPT) o *Carrier Storage* (CS) [MIT14, WEI13, IXY13, INT12, JIN12, ONO11].

### 3.3 Reparto de corriente

#### 3.3.1 Introducción

Cuando se habla de reparto de corriente en transistores, resulta conveniente diferenciar entre reparto estático y reparto dinámico (Figura 3.6). Se considera reparto de corriente estático cuando el estado de conducción de los transistores se mantiene durante un cierto tiempo. En estas condiciones, la caída de tensión y la corriente que circula por el transistor permanecen aproximadamente constantes durante el tiempo de conducción.

El reparto de corriente dinámico no solo hace referencia a las transiciones de corte a conducción, también en aquellos casos en el que los periodos de conducción son pequeños debidos a una alta frecuencia de conmutación o cuando los ciclos de trabajo son pequeños. En estos casos los mecanismos de reparto de corriente estático puedan ser despreciados.

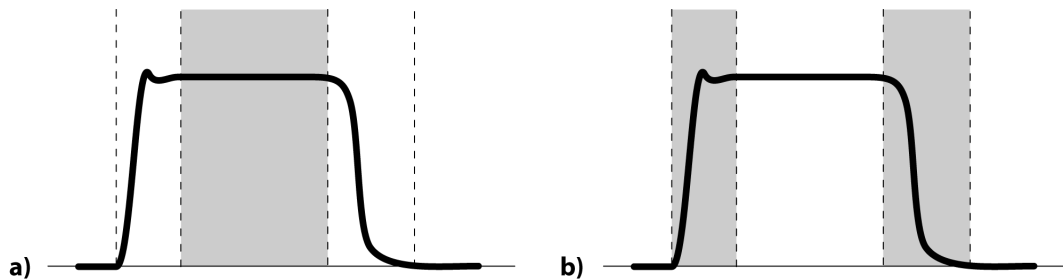


Figura 3.6 - Reparto de corriente en transistores en aplicaciones de conmutación a) estático y b) dinámico.

A continuación se definen algunos parámetros del transistor que determinan el comportamiento estático y dinámico en transistores IGBT:

- Tensión colector-emisor de saturación ( $V_{CEsat}$ ): Es la tensión en terminales del transistor cuando se encuentra en conducción. Esta tensión es equivalente a la caída de tensión que aparece en la  $R_{DSon}$  de un transistor MOSFET. El valor de la tensión  $V_{CEsat}$  depende de la corriente de colector y la temperatura.
- Tensión umbral puerta-emisor ( $V_{GEth}$ ): Establece el valor de tensión mínimo necesario para que el transistor entre en conducción. Como norma general, los fabricantes de transistores determinan el valor de tensión umbral cuando circula una cierta cantidad de corriente por el transistor, del orden de decenas de mA.
- Transconductancia: Define en qué medida varia la corriente del transistor en función de la variación de la tensión de puerta. Transistores con las mismas características

tecnológicas permiten repartos simétricos de corriente [SHE12]. La Ecuación 3.1 define la transconductancia en un transistor IGBT.

$$g_{fs} = \frac{\delta I_C}{\delta V_{GE}} \quad (3.1)$$

La Ecuación 3.2 muestra la corriente de colector en la región de saturación y la transconductancia en la Ecuación 3.3.

$$I_C = \frac{1}{1 - \alpha_{PNP}} \frac{W \mu_n C_{ox}}{2L} (V_{GE} - V_{GEth})^2 \quad (3.2)$$

$$g_{fs} = \frac{\delta I_C}{\delta V_{GE}} = \frac{1}{1 - \alpha_{PNP}} \frac{W \mu_n C_{ox}}{L} (V_{GE} - V_{GEth}) \quad (3.3)$$

Donde el ancho  $W$  y la longitud  $L$  del canal, la capacidad de puerta  $C_{ox}$  y la movilidad de los electrones  $\mu_n$  en el semiconductor dependen de la geometría, material y proceso de fabricación del semiconductor. La relación  $1/(1-\alpha_{PNP})$  define la ganancia de corriente del transistor bipolar. A partir de las Ecuaciones 3.2 y 3.3, se obtiene la Ecuación 3.4 donde se observa cómo la corriente del transistor depende de la tensión umbral, la tensión de puerta y la transconductancia.

$$I_C = \frac{g_{fs}}{2} (V_{GE} - V_{GEth}) \quad (3.4)$$

Teniendo en cuenta que la tensión de puerta viene determinada por el circuito de activación del transistor según la Ecuación 3.5, se deduce que la inductancia parásita de emisor juega un papel importante en el reparto de corriente dinámico, puesto que la variación rápida de corriente en el instante de conmutación modifica de forma transitoria la tensión aplicada a la puerta del transistor.

$$V_{GE} = V_{driver} + v_{LE} = V_{driver} + L_E \frac{dI_C(t)}{dt} \quad (3.5)$$

En este capítulo se analiza únicamente el reparto de corriente en el transistor puesto que es el único dispositivo sobre el que se ejerce algún control. Sin embargo, en transistores con el diodo en antiparalelo integrado, el reparto de corriente en el diodo es un factor importante a considerar. Una selección adecuada del dispositivo es la técnica más recomendada para obtener un reparto equilibrado cuando la corriente del convertidor circula a través de los diodos del

interruptor. En el apartado *A.1 Comparativa de transistores IGBT* se muestra una selección de transistores clasificados por corriente ( $I_D$ ) donde puede observarse los niveles de tensión directa  $V_F$  del diodo en antiparalelo.

En los siguientes apartados se analizan los factores que contribuyen al reparto de corriente estático y dinámico del transistor.

### 3.3.2 Reparto estático

En el caso de transistores MOSFET, el reparto estático de corriente depende principalmente de la resistencia de conducción  $R_{DSon}$ . Esta resistencia tiene un coeficiente de temperatura positivo y como consecuencia tiende a ecualizar las corrientes que circulan a través de los transistores. También deben tomarse en consideración otros factores tales como la temperatura de la unión  $T_j$  y la corriente de drenador  $I_D$ , puesto que de estos parámetros depende  $R_{DSon}$ . En el caso de transistores IGBT, el reparto de corriente estático depende también del coeficiente de temperatura, negativo en la tecnología *PT* y positivo en *NPT*, *FS*.

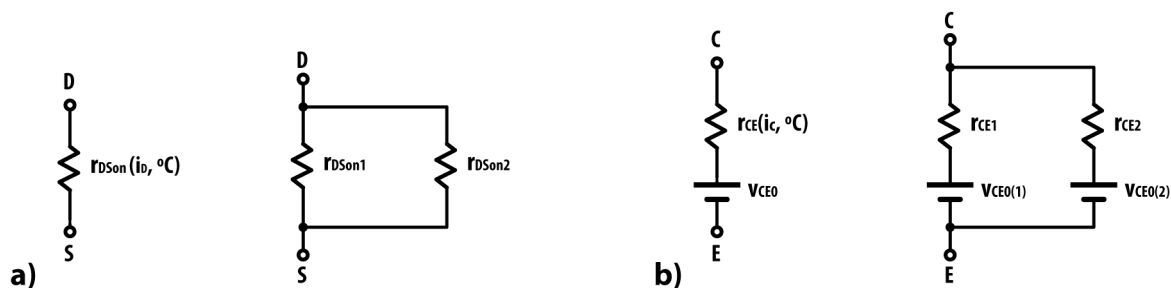


Figura 3.7 – Modelo estático en conducción y circuito equivalente de dos transistores a) MOSFET y b) IGBT. En los modelos de la Figura no se contemplan la existencia del diodo en antiparalelo.

En aquellas familias tecnológicas con un coeficiente de temperatura positivo, el comportamiento es similar al observado en un MOSFET aunque no equivalente puesto que sus modelos estáticos son distintos tal y como muestra la Figura 3.7.

La Figura 3.8 muestra cómo el calentamiento del semiconductor en transistores IGBT con coeficiente de temperatura negativo puede producir un desequilibrio mayor al aumentar las diferencias en las características del transistor.

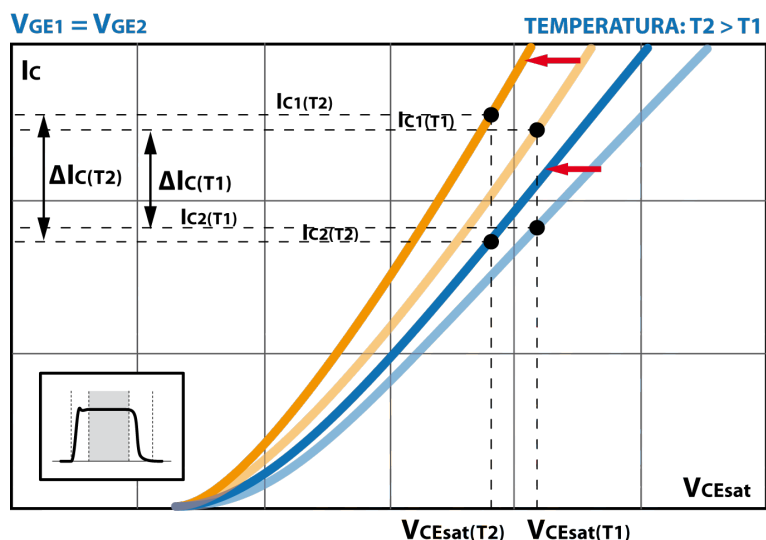


Figura 3.8 – El reparto estático es sensible a la tensión colector-emisor ( $V_{CE}$ ) y a la transconductancia ( $g_{fs}$ ).

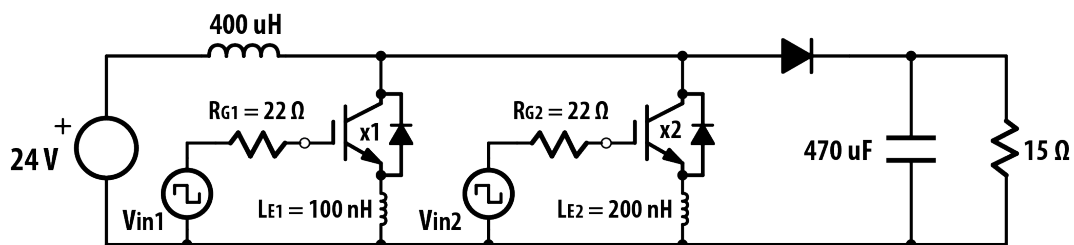


Figura 3.9 – Circuito de simulación de un convertidor elevador.

Para observar el efecto que ejercen en el reparto de corriente los parámetros  $g_{fs}$  y  $V_{CE}$  se ha simulado el circuito mostrado en la Figura 3.9. El esquema corresponde a un convertidor CC/CC elevador y los parámetros de simulación se muestran en la Tabla 3.1.

Tabla 3.1 – Parámetros de simulación del convertidor elevador de la Figura 3.9.

Símbolo	Descripción	Valor
$x1, x2$	IGBT: STGP7NC60HD (modelo de simulación de ST)	
$V_{GEth1}, V_{GEth2}$	Tensión umbral puerta emisor	6,955 V, 6,2595 V
$K_{P1}, K_{P2}$	Transconductancia del MOSFET del modelo de simulación	7,4778 A/V <sup>2</sup> , 6,798 A/V <sup>2</sup>
$R_{G1}, R_{G2}$	Resistencia de puerta en IGBT x1 y x2	22 $\Omega$
$L_{E1}, L_{E2}$	Inductancia parásita emisor de x1 y x2	100 nH, 200nH
$L$	Inductancia	400 $\mu$ H
$V_{in}$	Tensión de entrada	24 V
$DC$	Ciclo de trabajo	42 %
$C$	Capacidad de salida	470 $\mu$ F
$R_L$	Resistencia de carga	15 $\Omega$

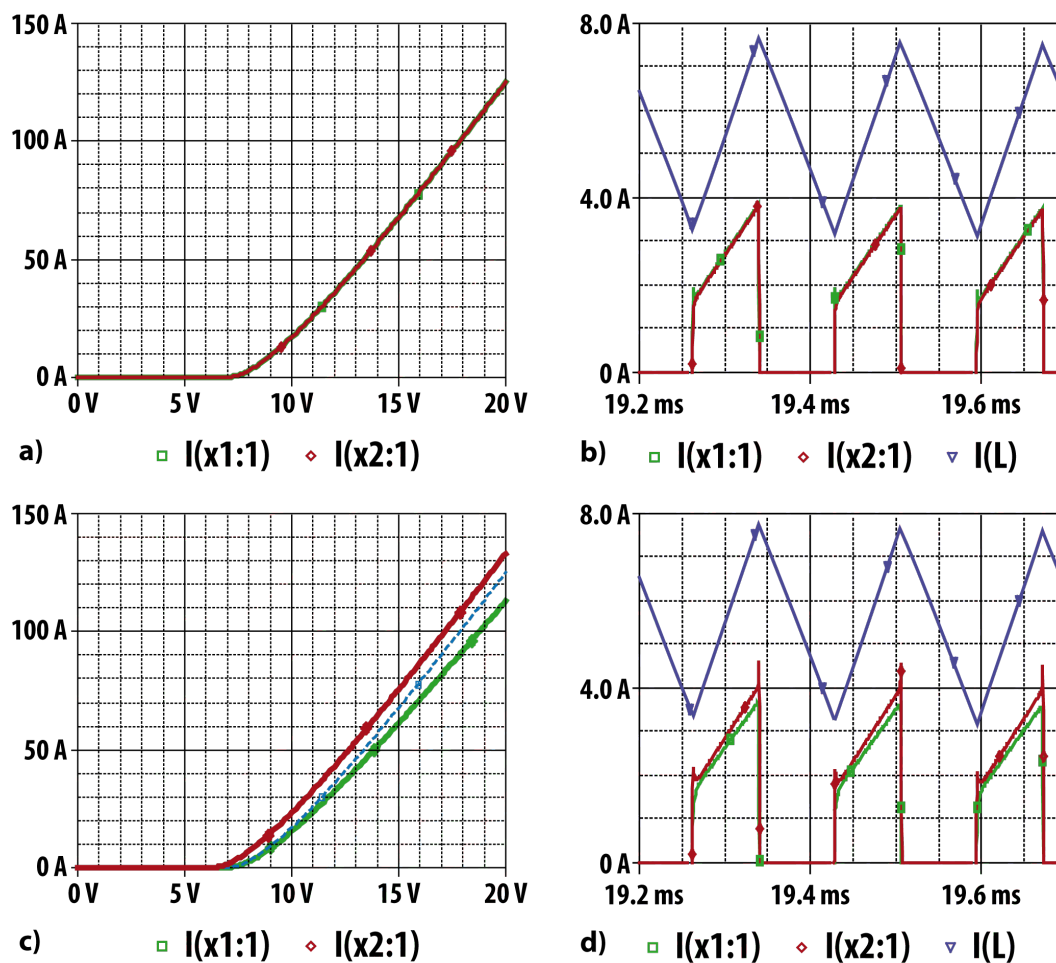


Figura 3.10 – Resultados de simulación del circuito de la Figura 1.5, a) Curva  $I_C$ - $V_{GE}$  en transistores iguales, b) Corriente por transistores iguales, c) Curva  $I_C$ - $V_{GE}$  en transistores modificados según Tabla 3.1, b) Corriente por transistores modificados.

La Figura 3.10 muestra como la variación del valor de tensión umbral y transconductancia en transistores conectados en paralelo provoca un desequilibrio del reparto de corrientes entre transistores. En este caso se ha modificado el valor del parámetro  $K_P$  del MOSFET en el modelo *Spice* del transistor IGBT. La transconductancia del MOSFET forma parte de la transconductancia del IGBT según la relación mostrada en la Ecuación 3.6.

$$K_P = \mu_n C_{ox} \quad (3.6)$$

En las simulaciones realizadas se observa como la variación de parámetros internos del transistor como son la tensión umbral y la transconductancia, y la variación de parámetros externos como es el nivel de tensión de puerta, modifican la respuesta estática y dinámica del transistor. En todos los casos, el transitorio varía debido a los cambios efectuados.



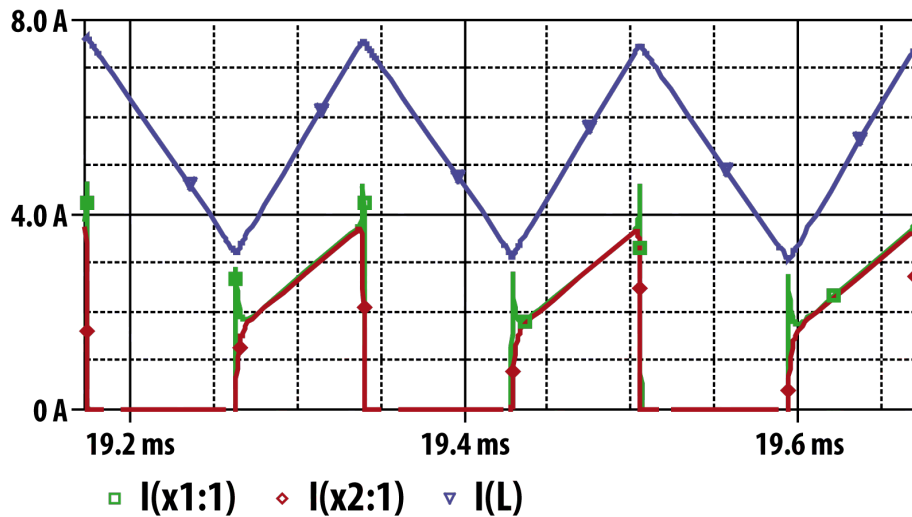


Figura 3.11 – Corrección del desequilibrio por variación de la tensión puerta-emisor  $V_{GE}$ .

La Figura 3.11 muestra como la variación del nivel de tensión de activación del transistor  $V_{GE}$  modifica también el reparto de corriente entre transistores. En este caso la variación de la tensión de puerta permite equilibrar el reparto de corrientes.

### 3.3.3 Reparto dinámico

El reparto de corriente dinámico es sensible a la transconductancia y a la tensión umbral. Otros factores como los valores de la resistencia y la capacidad de puerta contribuyen al reparto en transistores MOSFET e IGBT. Si existe desequilibrio en el reparto de corriente, cuando el coeficiente de temperatura de la resistencia de conducción es negativo, como ocurre en la tecnología PT-IGBT, el desequilibrio tiende a incrementarse.

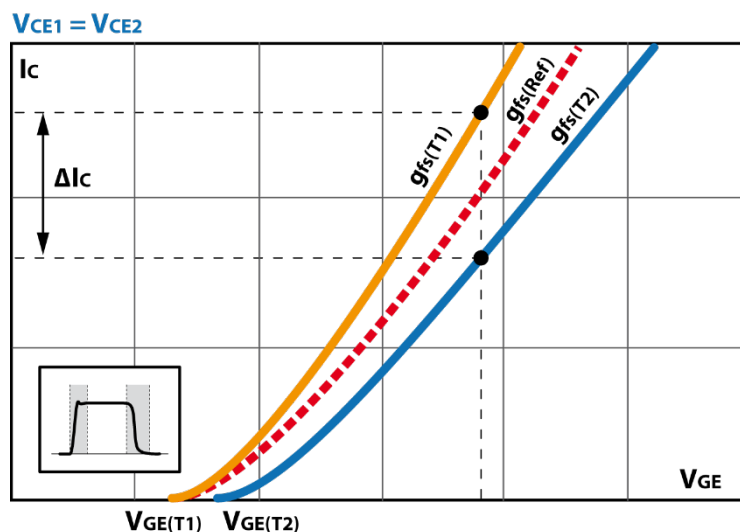


Figura 3.12 – El reparto dinámico es sensible a la tensión umbral ( $V_{GEth}$ ) y a la transconductancia ( $g_{fs}$ ).

La Figura 3.12 muestra las curvas de dos transistores cuya tensión umbral y transconductancia tienen un comportamiento diferente, estas diferencias contribuyen a un comportamiento distinto en los transitorios de conmutación del transistor.

En las simulaciones realizadas en el apartado anterior se ha observado como la variación de la tensión umbral, la transconductancia y la tensión de puerta controlada por el driver modifican la respuesta transitoria tanto estática como dinámica del transistor. Por lo tanto, si se quiere modificar únicamente la respuesta dinámica, deben efectuarse cambios en el circuito que solo afecten el transitorio de conmutación del transistor.

Para observar este efecto, se ha simulado el circuito mostrado en la Figura 3.9 modificando en este caso el valor de las resistencias de puerta  $R_G$ . La Figura 3.13 muestra como la variación del valor de  $R_G$  modifica el reparto dinámico visible en las transiciones de corte a conducción y de conducción a corte. El desequilibrio de corriente no se ve alterado puesto que el efecto de las resistencias en la tensión de puerta solo incide en los tiempos de carga y descarga de la capacidad de puerta del transistor.

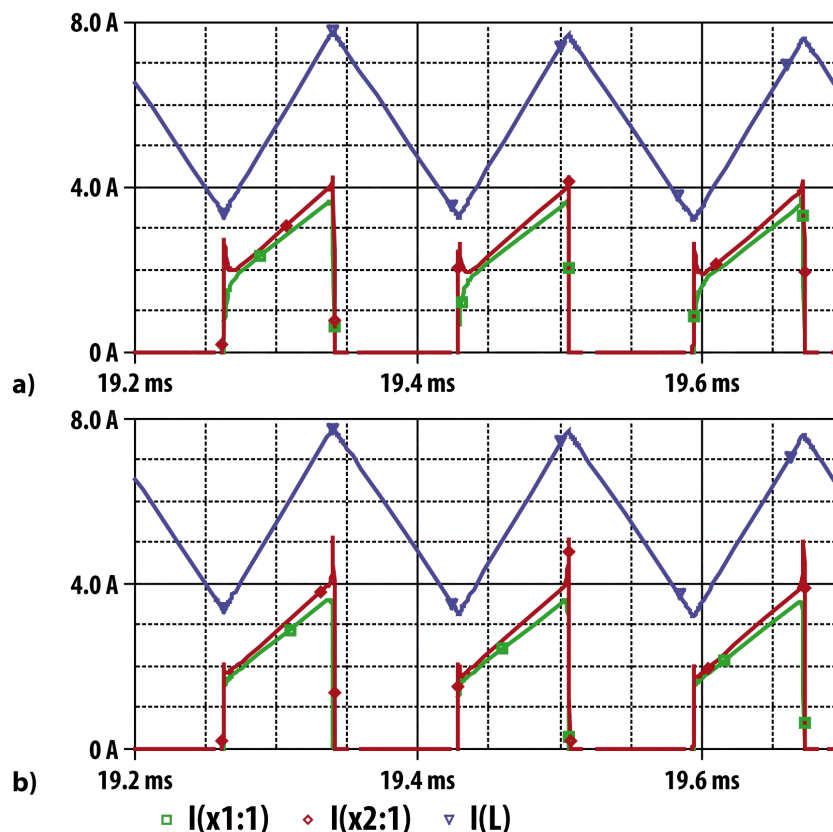


Figura 3.13 – Formas de onda de corriente en las condiciones de la Tabla 3.1 variando el valor de la resistencia de puerta a)  $R_{G1} = 150 \Omega$  y  $R_{G2} = 22 \Omega$ , b)  $R_{G1} = 22 \Omega$  y  $R_{G2} = 150 \Omega$ .

A continuación se resumen algunos factores que definen el reparto dinámico de corriente en transistores conectados en paralelo:

- Valor de las resistencias de puerta  $R_{Gon}$  y  $R_{Goff}$ .
- Valor de la capacidad de puerta  $C_{GS}$  en MOSFET o  $C_{GE}$  en IGBT.
- Velocidad de conmutación: La conmutación rápida y por tanto los flancos abruptos tienden a mejorar el reparto dinámico de corriente puesto que reducen las diferencias debidas a ligeras variaciones en los parámetros de los transistores ( $V_{GSth}$ ). En estas condiciones las inductancias parásitas juegan un papel fundamental.
- Trazado de pistas (*Layout*): La simetría del trazado en circuitos con transistores en paralelo permite que las características parásitas del circuito sean iguales, afectando del mismo modo a todos los transistores al originar pendientes similares en los pasos de corte a conducción y viceversa. Las inductancias parásitas en el surtidor de los transistores provocan variaciones en la tensión de puerta.

### 3.4 Técnicas de equilibrado de corriente

El estudio de la asociación en paralelo de transistores se centra principalmente en el análisis del desequilibrio de corriente que aparece entre los distintos transistores en paralelo. Según la metodología utilizada, las técnicas de equilibrado de corriente en transistores conectados en paralelo pueden definirse como técnicas pasivas y técnicas activas. En los siguientes apartados se analizan las técnicas más representativas de estos dos grupos.

#### 3.4.1 Técnicas pasivas de equilibrado de corriente

Los métodos clásicos de reparto equilibrado de corriente en transistores conectados en paralelo se basan en la aplicación de técnicas de diseño para favorecer el reparto de corriente. En algunos casos estos métodos hacen referencia a la construcción del interruptor, conectando resistencias en serie en transistores bipolares [LUT10, KAR03].

En otros casos se basan en la realización de un diseño más cuidadoso del circuito de control o *driver* con el objetivo de reducir los elementos parásitos que aparecen en estos circuitos. Para ello deben seguirse las indicaciones que proporcionan los fabricantes en sus notas de aplicación. En dichas notas se describen técnicas de diseño y montaje con el objetivo de favorecer el reparto

de corriente entre dispositivos conectados en paralelo, algunos ejemplos son [FAI93, INF97, INT09, IXY06, ONS14a, SEM07 y SER04].

A continuación se resumen algunas técnicas para mejorar el reparto equilibrado de corrientes en transistores conectados en paralelo y que son aplicables a transistores MOSFET e IGBT.

- Selección y agrupación de transistores del mismo lote según sus características tecnológicas, tensión umbral, transconductancia, etc.
- Selección de dispositivos con un coeficiente de temperatura positivo en transistor y diodo en antiparalelo.
- Selección de dispositivos con un punto isotérmico menor a la corriente nominal del dispositivo. El punto isotérmico es el punto en el que las curvas de transconductancia a distinta temperatura coinciden. En estas condiciones el efecto térmico favorece un reparto equilibrado de corriente (Figura 3.14).
- Distribución simétrica del circuito de potencia y del circuito de control o *driver*. La Figura 3.15 muestra dos tipos de distribución: lineal y circular.
- Reducción de la inductancia de emisor.
- Resistencias de puerta independientes.
- Acoplamiento térmico: El propósito de acoplar térmicamente a los transistores es la de homogeneizar la temperatura en todos los transistores evitando un mayor desequilibrio de  $T_j$ . Algunos fabricantes sugieren que el acoplamiento térmico es más efectivo en semiconductores con un coeficiente de temperatura negativo, puesto que reducir el desequilibrio térmico actúa como barrera de un mayor desequilibrio de reparto de corrientes. En semiconductores con un coeficiente de temperatura positivo el acoplamiento térmico inhibe el mecanismo de reparto que la respuesta térmica tiene en el semiconductor.

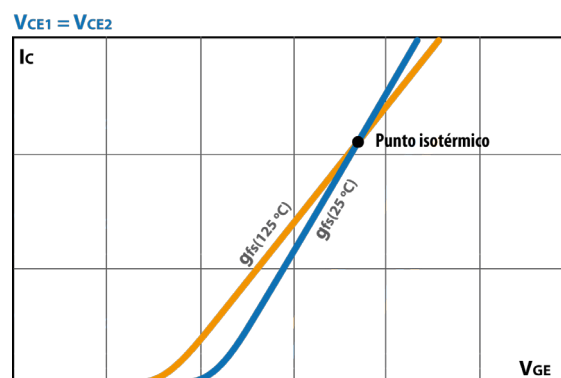


Figura 3.14 – Punto isotérmico en la característica de transconductancia en un transistor IGBT.

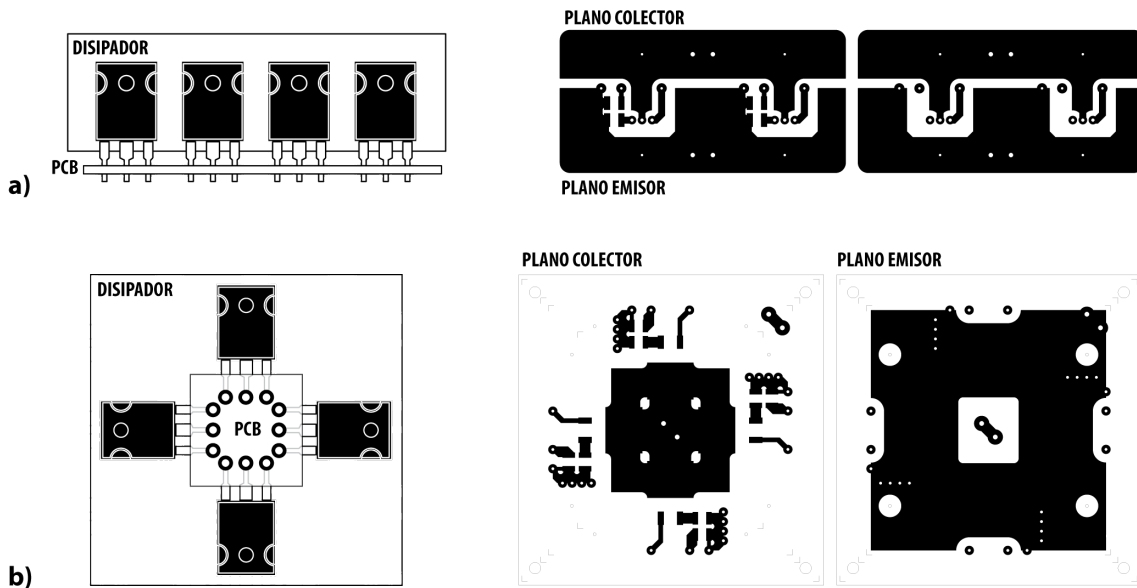


Figura 3.15 – Distribución del circuito de conexión para 4 transistores en paralelo a) distribución lineal, b) distribución circular. En los dos casos existe acoplamiento térmico entre transistores.

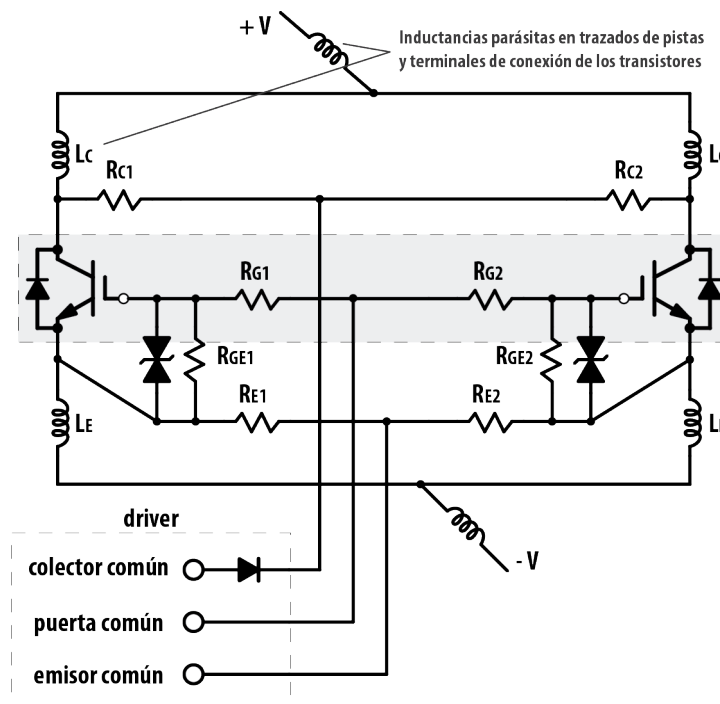


Figura 3.16 – Técnicas para mejorar el equilibrio en el reparto de corriente en IGBT conectados en paralelo.

### 3.4.2 Técnicas activas de equilibrado de corriente

En estudios más recientes se han presentado otros métodos basados en la inclusión de alguna estrategia de control para conseguir equilibrar la corriente en transistores conectados en paralelo y utilizados en convertidores estáticos.

Debido al desequilibrio que tradicionalmente ha mostrado la tecnología bipolar, algunos autores proponen repartir la corriente en transistores basados en la tecnología MOSFET y repartir el tiempo de conducción en transistores IGBT. El estudio propuesto se centra en el análisis de la eficiencia de un convertidor CC/CC basado en la asociación de transistores MOSFET e IGBT en paralelo para una aplicación fotovoltaica. Los resultados obtenidos muestran un mejor comportamiento de los MOSFET cuando circula corriente simultáneamente a través de dos transistores. En el caso de los IGBT los resultados son mejores cuando se aplican métodos de reparto del tiempo de conducción [DEH06].

El uso de estas topologías incrementa el rendimiento del convertidor al reducir el estrés en los semiconductores. La disminución de la corriente que circula por ellos permite reducir las pérdidas por conducción, no obstante, esta disminución no se suele ver reflejada en las pérdidas por conmutación. En el caso de transistores MOSFET las pérdidas asociadas a la conducción se ven favorecidas por la reducción de la resistencia de conducción equivalente debido a su asociación en paralelo.

Otro de los métodos propuestos se basa en la aplicación de un esquema de control para equilibrar la corriente que circula a través de varios transistores IGBT. El esquema de control modifica, mediante el sensado de la corriente de cada uno de los transistores, el nivel de tensión de puerta para repartir de forma equitativa la corriente que circula a través de cada transistor (Figura 3.17). La referencia del circuito se obtiene mediante el cálculo del valor medio de la corriente sensada en cada transistor [CHE96].

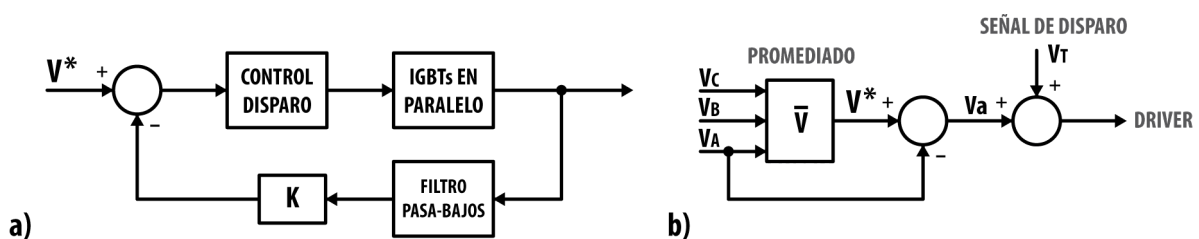


Figura 3.17 - Técnica activa de reparto de corriente. Estrategia de control de tensión de disparo de los transistores a) diagrama de bloques del lazo de control, b) diagrama de control para tres transistores en paralelo.

Sin embargo, en los últimos años mejoras en el diseño del transistor IGBT han propiciado la aparición de nuevas tecnologías en las que el coeficiente de temperatura es positivo, de este modo, por efecto térmico, el desequilibrio de corriente tiende a desaparecer.

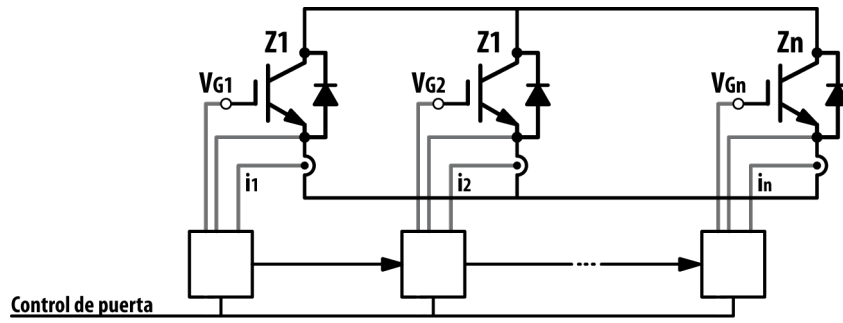


Figura 3.18 – Técnica de reparto dinámico de corriente.

La Figura 3.18 muestra un esquema de control para mejorar el reparto de corriente dinámico [LOB11]. La estrategia de control se basa en la variación de los tiempos de activación y desactivación de un conjunto de módulos IGBT y consiste en reducir el tiempo de retardo entre la señal de puerta y la detección de los flancos de corriente. La mejora de la respuesta en la conmutación y el comportamiento térmico, gracias a un coeficiente positivo del semiconductor, se consigue un reparto equilibrado de corriente estático y dinámico.

3.4.2.1 Estrategia de control de reparto equilibrado de corriente

Los resultados de simulación analizados en el apartado 3.3.2 Reparto estático muestran que el ajuste de los niveles de tensión de la señal de activación de los transistores es un método válido para reducir e incluso cancelar el desequilibrio de corriente en transistores conectados en paralelo.

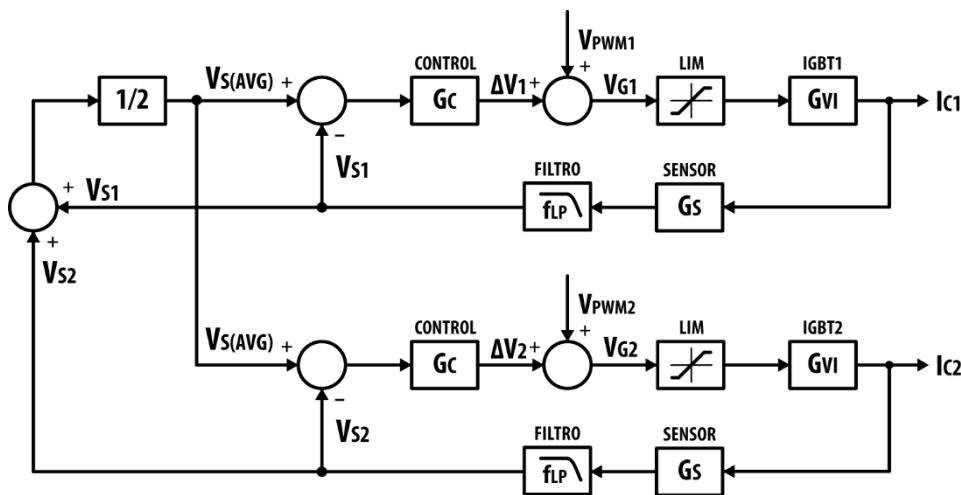


Figura 3.19 – Estrategia de control de reparto equilibrado de dos transistores basado en el cálculo del valor medio de corriente (Método I).

En el apartado anterior se mostraba una técnica activa de reparto de corriente basada en el control de la tensión de activación del transistor. El esquema de control modifica, mediante el

sensado de la corriente de cada uno de los transistores, el nivel de tensión de puerta que debe aplicarse para repartir de forma equitativa la corriente que circula a través de cada transistor. La referencia del circuito se obtiene mediante el cálculo del valor medio de la señal de corriente sensada. La Figura 3.19 muestra una posible implementación del esquema de control descrito.

Las Ecuaciones 3.7 a 3.10 describen la relación entre los niveles de tensión de control de los transistores y la corriente que circula a través de ellos. Donde  $I_{xi}$  es la corriente de colector que circula por cada transistor,  $V_{si}$  es la señal filtrada de la medida de corriente de colector y  $\Delta V_i$  es la variación del nivel de tensión PWM aplicado a la puerta del transistor.

$$V_{Gi} = V_{PWMi} + \Delta V_i \quad (3.7)$$

$$\Delta V_i = k_p (V_{s(AVG)} - \overline{V_{si}}) + k_i \int (V_{s(AVG)} - \overline{V_{si}}) dt \quad (3.8)$$

$$V_{s(AVG)} = \frac{\sum_{i=1}^n V_{si}}{n} \quad (3.9)$$

$$V_{si} = G_s \cdot I_{xi} \quad (3.10)$$

En este apartado se propone un método alternativo que recurre a la asociación de parejas de transistores como método de control de reparto de corriente (Figura 3.20). La diferencia del método que se propone con el mostrando en la Figura 3.19 está en suprimir el cálculo del valor medio y utilizar como referencia la medida de corriente promediada del transistor contiguo. El número de asociaciones dependerá del número de transistores que constituyan al interruptor equivalente.

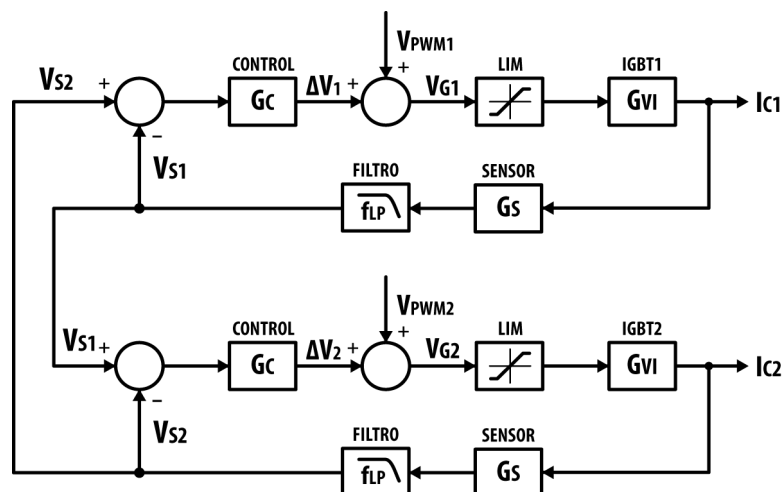


Figura 3.20 – Estrategia de control de reparto equilibrado de dos transistores basado en referencias de corriente cruzadas (Método II).



La Ecuación 3.11 muestra el cambio efectuado. En este caso la Ecuación 3.9 no sería necesaria al eliminar la obtención del cálculo del valor medio del lazo de control.

$$\Delta V_1 = k_p(\bar{V}_{s2} - \bar{V}_{s1}) + k_i \int (\bar{V}_{s2} - \bar{V}_{s1}) dt \tag{3.11}$$

3.4.2.1.1 Simulación del control de reparto de corriente

Se han simulado en *Pspice* los esquemas de control de reparto de corriente. Para validar los modelos de control propuestos se ha utilizado el convertidor elevador de la Figura 3.21.

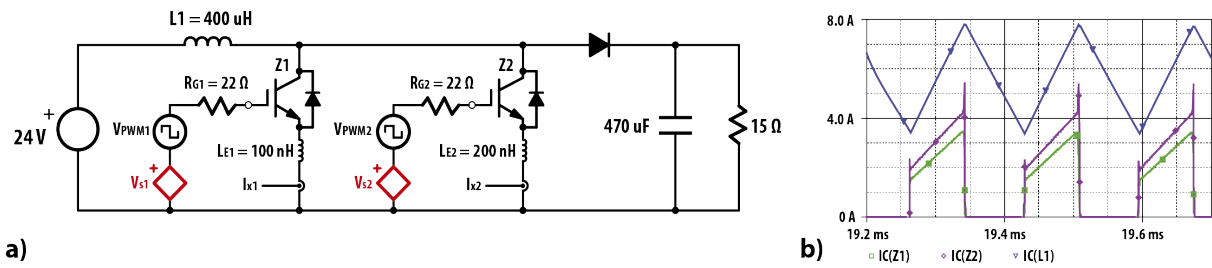


Figura 3.21 - a) Esquema del convertidor elevador con conmutador basado en dos transistores IGBT conectados en paralelo (Z1: IXGH10N100 y Z2: IXGH17N100) y b) reparto de corriente sin control de reparto.

En este caso se utilizan transistores de características distintas para asegurar un fuerte desequilibrio de corriente a través de los transistores (Figura 3.21b).

Los resultados de simulación de la Figura 3.22 muestran el efecto del control sobre la corriente en los transistores IGBT en paralelo reduciendo el desequilibrio existente entre los dos transistores.

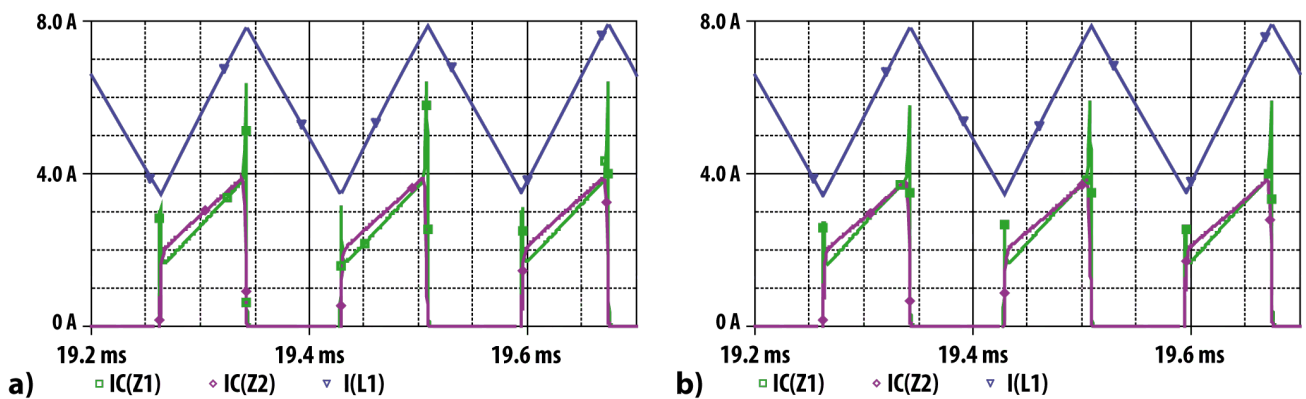


Figura 3.22 - Resultado de simulación de técnicas de reparto de corriente, a) control basado en método I y b) control basado en método II.

Si se contemplan tolerancias de componentes, un error negativo inferior al 1.5 % en el cálculo del valor medio es suficiente para saturar la respuesta del control al considerar tolerancias del

5 % en  $g_{fs}$  y  $V_{GEth}$ . Como resultado, la saturación impide el equilibrio de corrientes entre transistores. No obstante, las tolerancias reales de los transistores utilizados se sitúan en el rango de 30 % al 50 %.

Un error negativo en el cálculo del valor medio provoca un error en esta técnica de equilibrado puesto que la respuesta del control trata de reducir la corriente que circula por cada transistor, como resultado, el nivel de tensión aplicado a las puertas se reduce hasta alcanzar el mínimo impuesto por el limitador. El limitador evita que la tensión aplicada al transistor exceda la tensión de puerta máxima o que sitúe al transistor fuera de la región de saturación si el nivel de tensión de puerta aplicado disminuye excesivamente.

#### 3.4.2.1.2 Implementación del control de reparto de corriente

Se ha experimentado sobre un interruptor basado en la asociación en paralelo de 2 transistores IGBT para validar la estrategia de control de reparto de corriente propuesta, el control se ha implementado en un microcontrolador.

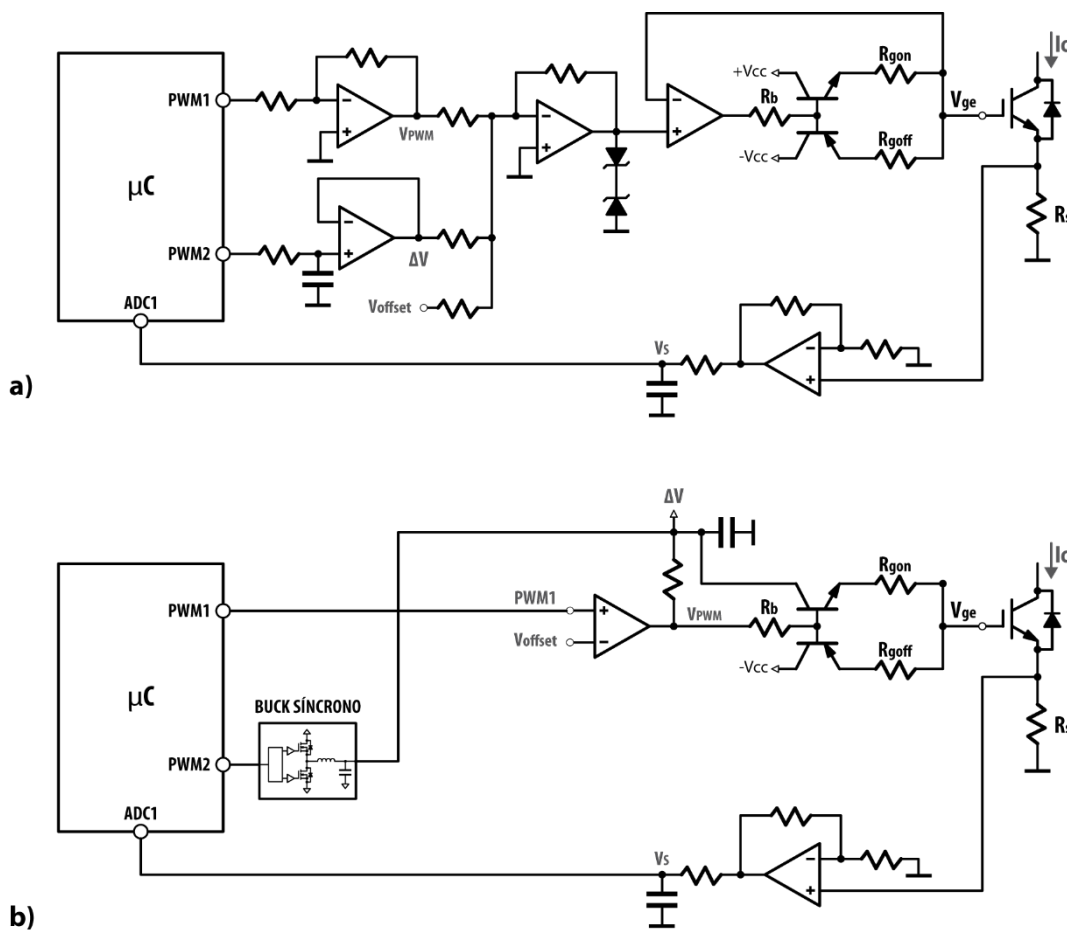


Figura 3.23 – Esquema del circuito de *driver*: a) basado en amplificador sumador (versión a), b) basado en un convertidor reductor (*buck*) síncrono (versión b).

Para la implementación del control se han desarrollado dos versiones, la primera (versión *a*) se basa en un amplificador sumador, tal y como muestra la Figura 3.23a. El canal *PWM1* genera la señal PWM de conmutación del transistor, la salida del canal *PWM2* es filtrada con el objetivo de obtener un nivel de tensión variable  $\Delta V$ , finalmente la entrada externa  $V_{offset}$  fija las condiciones iniciales. La configuración *push-pull* de la etapa de salida se encarga de proporcionar la corriente necesaria para la activación de los transistores.

La medida de la corriente se obtiene por medio de un amplificador no inversor a partir de resistencias de medida *Kelvin* de 5 m $\Omega$ . Posteriormente se filtra pasa bajos proporcionando el valor medio de corriente que circula por cada transistor, esta señal es adquirida por el canal ADC del microcontrolador.

La versión *b* del *driver* se basa en el control de la tensión de alimentación de la etapa final del circuito (Figura 3.23b). Con esta versión se consiguen los mismos resultados pero permite incrementar la frecuencia de conmutación puesto que no depende de las características del amplificador operacional (ancho de banda, *slew rate*, ...).

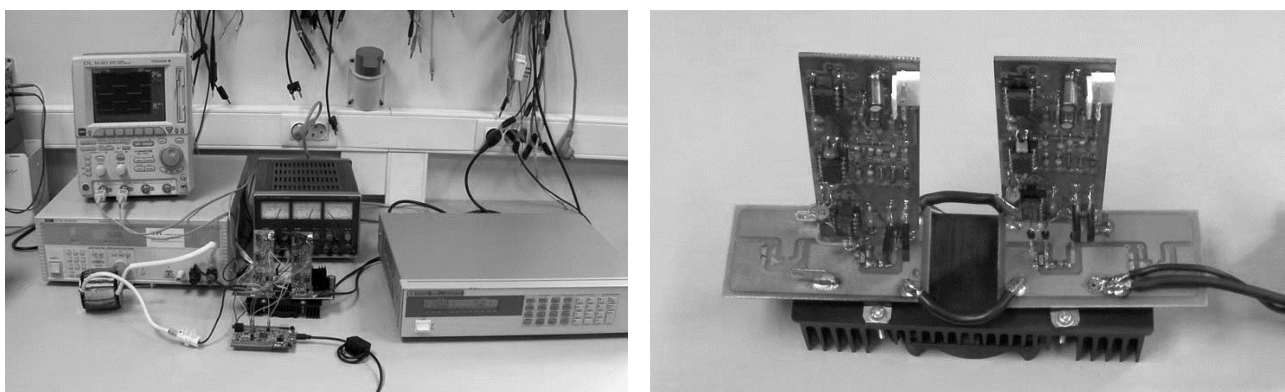


Figura 3.24 – Plataforma de ensayo de la versión *a* del *driver*.

#### 3.4.2.1.3 Resultados experimentales

Se han realizado ensayos con carga resistiva y carga inductiva:

- Ensayos con carga resistiva: La Figura 3.25 muestra el esquema del circuito de ensayo para observar el reparto de corriente con carga resistiva en dos transistores en paralelo.

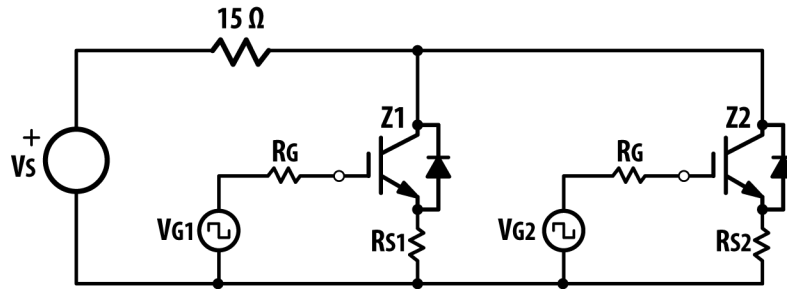


Figura 3.25 – Esquema del circuito de ensayo con carga resistiva.

La Figura 3.26a muestra la señal de puerta en los transistores sin control de reparto de corriente, como resultado existe un desequilibrio del reparto de corriente tal y como muestra la Figura 3.26b. Las Figuras 3.26c y 3.26d muestran el reparto de corriente como resultado de la aplicación de los métodos de control descritos.

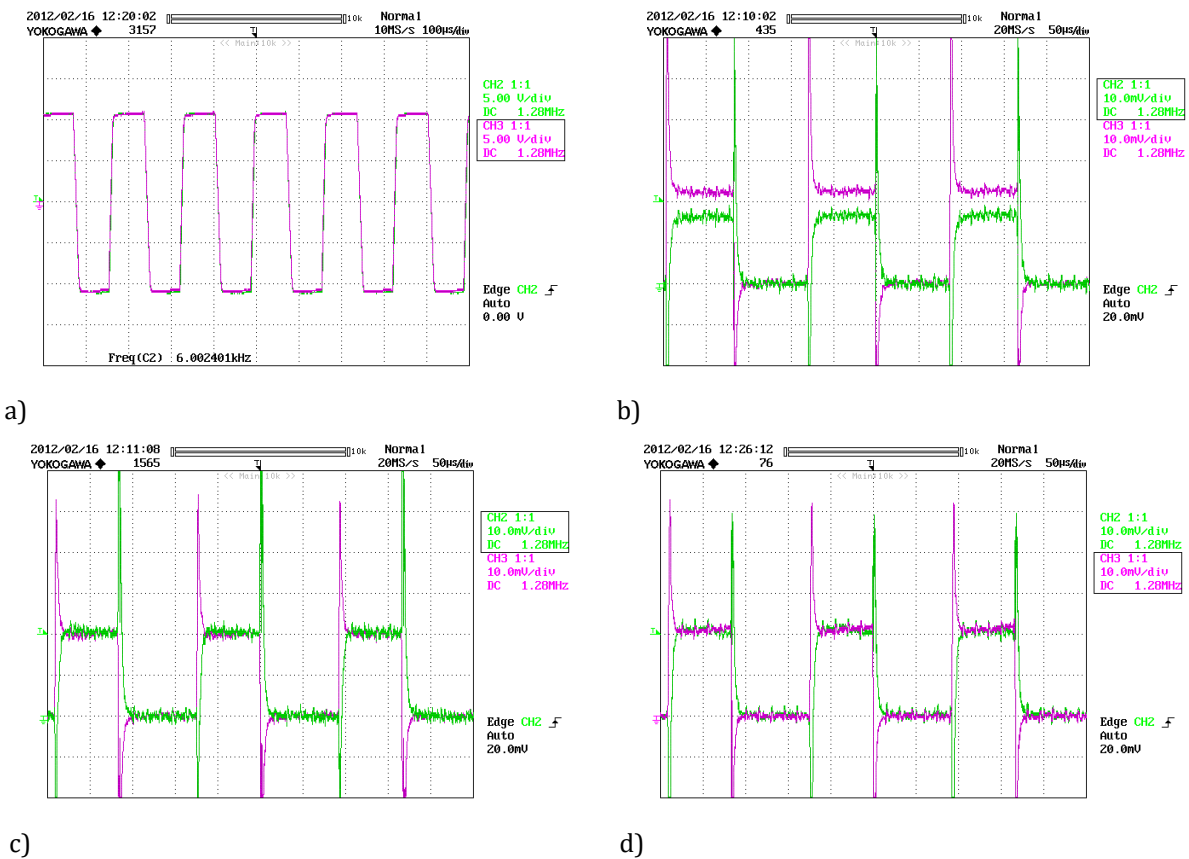


Figura 3.26 – Resultados del ensayo con carga resistiva sin control de reparto: a) señal de puerta, b) medida de corriente en transistores. Resultados con control de reparto: c) medida de corriente en transistores con método I, b) medida de corriente en transistores con método II.

- Ensayos con carga inductiva: Se ha realizado un ensayo en un convertidor elevador (Figura 3.27) en las condiciones mostradas en la Tabla 3.2.

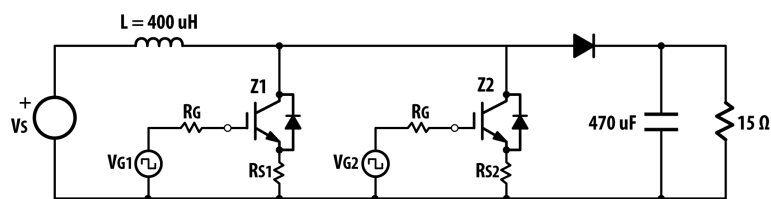
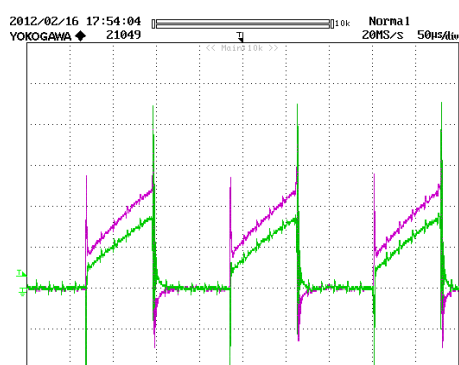


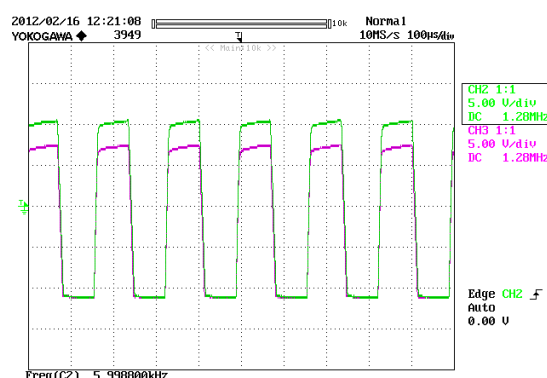
Figura 3.27 – Esquema del circuito de ensayo con carga resistiva.

Tabla 3.2 – Condiciones del ensayo.

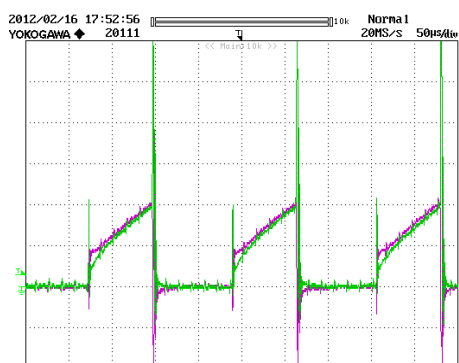
Símbolo	Descripción	Valor
$V_s$	Tensión de entrada	24 V
$R_L$	Resistencia de carga	15 $\Omega$
$R_s$	Resistencia Kelvin de medida de corriente	5 m $\Omega$
$L_1$	Inductancia	400 $\mu H$
$f_{sw}$	Frecuencia de conmutación	6 kHz
Z1, Z2	STGP7NC60HD	600 V / 14 A



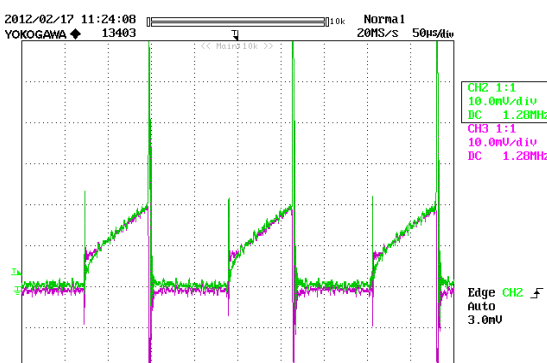
a)



b)



c)



d)

Figura 3.28 – Resultados del ensayo con carga inductiva sin control de reparto: a) medida de corriente. Resultados con control de reparto: b) señal de puerta, c) medida de corriente en transistor con método I, b) medida de corriente en transistor con método II.

La Figura 3.28a muestra el reparto de corriente sin aplicar ninguna acción de control para corregir el desequilibrio de corriente. La Figura 3.28b muestra la señal de puerta cuando se activa el control de equilibrado de corriente, los dos métodos muestran el mismo resultado. Finalmente, las capturas de la Figura 3.28c y 3.28d muestran el reparto de corriente utilizando los dos métodos de control.

Finalmente, la Figura 3.29 muestra el valor de la tensión de salida en función de la corriente de salida del convertidor en lazo abierto. En la figura se muestra la tensión de salida del convertidor (trazo continuo) sin control de reparto de corriente, y la misma tensión cuando se activa el control de reparto de corriente (trazo discontinuo). Cuando se activa el control de reparto de corriente, la tensión de salida del convertidor disminuye ligeramente. Puesto que es el único cambio realizado, este efecto se atribuye a una mayor caída de tensión en el interruptor del convertidor.

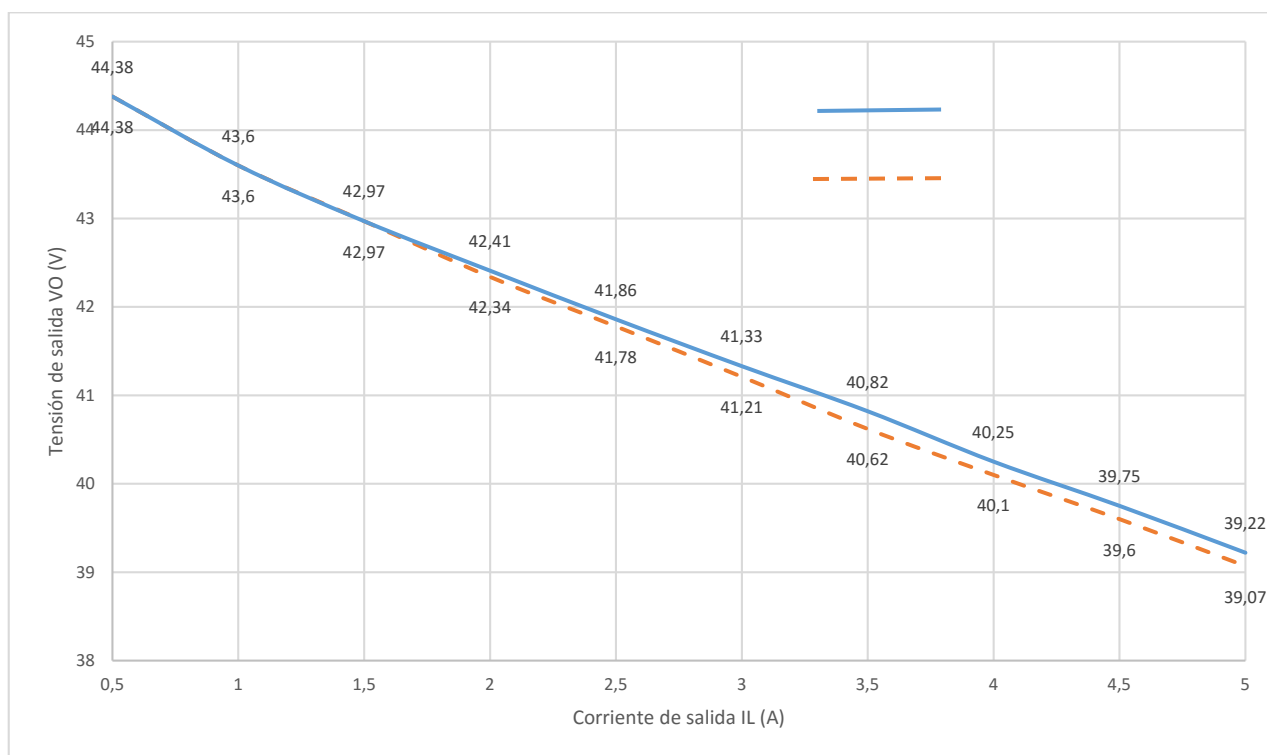


Figura 3.29 – Evolución de la tensión de salida del convertidor en función de la corriente de carga sin control de reparto de corriente (trazo continuo) y sin control de reparto de corriente (trazo discontinuo).

De las simulaciones y ensayos realizados se deduce lo siguiente:

- El circuito utilizado en la etapa de sensado debe adaptarse a la topología del convertidor y a la señal utilizada como variable de realimentación (CC o CA). Los resultados obtenidos

muestran que el amplificador no inversor con el filtro pasa bajos de primer orden es suficiente en un convertidor CC/CC.

- En el control basado en el cálculo del valor medio, la existencia de un error en el cálculo debido a la tolerancia de los componentes, es suficiente para provocar la saturación del control impidiendo la acción correctora sobre el desequilibrio de corriente.
- En el control basado en la asociación de parejas de transistores no existe la posibilidad de saturación al eliminar la etapa de cálculo del valor medio del lazo de control.
- El control actúa sobre la tensión de control del transistor  $V_{GE}$  y considerando que la tensión  $V_{CEsat}$  depende de dicha tensión, una disminución de la tensión  $V_{GE}$  provoca un aumento de la tensión  $V_{CEsat}$ , incrementando las pérdidas de conducción en el conjunto de transistores.
- A partir de los ensayos realizados sí puede afirmarse que la variación de la tensión  $V_{GE}$  altera el comportamiento del transistor, independientemente de la existencia o no de una acción de control sobre dicha tensión. La eficiencia energética del interruptor se ve igualmente afectada si el nivel de tensión de activación de los transistores es menor, aun siendo idéntica en los dos transistores. Cuanto mayor es la tensión de control, mejor es el rendimiento del interruptor.

### 3.5 Conclusiones

En este capítulo se han resumido y analizado algunas técnicas de equilibrado de corriente en transistores conectados en paralelo prestando especial atención al comportamiento en transistores PT-IGBT. A partir del estudio descrito en este capítulo se obtienen las siguientes conclusiones:

- Las técnicas activas garantizan un mejor reparto de corriente estático y dinámico a expensas de incrementar la complejidad del *driver* de control del transistor, debido al nivel de procesamiento que requieren dichas técnicas. Utilizando el ejemplo analizado en este capítulo, un inversor monofásico basado en interruptores basados en cuatro transistores conectados en paralelo (dieciséis transistores) requiere un total de dieciséis convertidores CC/CC para regular el nivel de tensión del *driver* de control de cada transistor. Puesto que el lazo de control de la tensión de puerta depende de la corriente

a través de cada transistor, son necesarias dieciséis etapas de acondicionamiento para el sensado de corriente de cada transistor.

- Si la conexión de transistores en paralelo se limita a transistores con un coeficiente de temperatura positivo, pueden descartarse el uso de técnicas de equilibrado de corriente estático puesto que el efecto térmico favorece el reparto de corriente. Este comportamiento se ve más favorecido si se seleccionan transistores cuya transconductancia muestra un punto isotérmico inferior a la corriente nominal. Considerando estas características, es posible mejorar el reparto de corriente estático y dinámico contemplando únicamente técnicas pasivas de equilibrado de corriente.



# CAPÍTULO 4

---

## Estimación de pérdidas en transistores

### 4.1 Introducción

La siguiente etapa en el estudio de la eficiencia de un convertidor consiste en el análisis del modelo de pérdidas de sus transistores cuando se aplican técnicas de conmutación basadas en el nivel de energía transferida por dicho convertidor.

En este capítulo se estudian algunos métodos que permiten cuantificar las pérdidas en los transistores derivadas de su funcionamiento. A continuación se desarrolla un modelo de estimación de pérdidas cuando los interruptores del convertidor están constituidos por varios transistores conectados en paralelo. Finalmente se obtiene el balance de pérdidas asociadas a los interruptores en un inversor monofásico a partir de las características técnicas de los transistores.

### 4.2 Pérdidas en interruptores de potencia

La potencia de pérdidas se produce debido a la existencia de valores no nulos de tensión y corriente cuando el interruptor está en conducción o en proceso de conmutación. La estimación de la potencia de pérdidas se obtiene calculando el valor medio del producto de los valores instantáneos de la tensión  $v_s$  y corriente  $i_s$  del interruptor en un periodo de tiempo  $\Delta t$  determinado [CAS94, MAS08].

$$P_s = \frac{1}{\Delta t} \int_0^{\Delta t} v_s i_s dt \quad (4.1)$$

Observando la Figura 4.1 pueden distinguirse dos situaciones distintas en la operación del interruptor que contribuyen a que en un transistor aparezca una potencia de pérdidas no nula. Considerando el caso de un interruptor ideal, el resultado del producto entre la tensión en terminales del interruptor y la corriente que circula a través de él es nulo al ser siempre cero una de las dos magnitudes en cualquier instante del tiempo tal y como muestra la Figura 4.1a. No ocurre lo mismo si se consideran las formas de onda de un interruptor real tal y como muestra la Figura 4.1b.

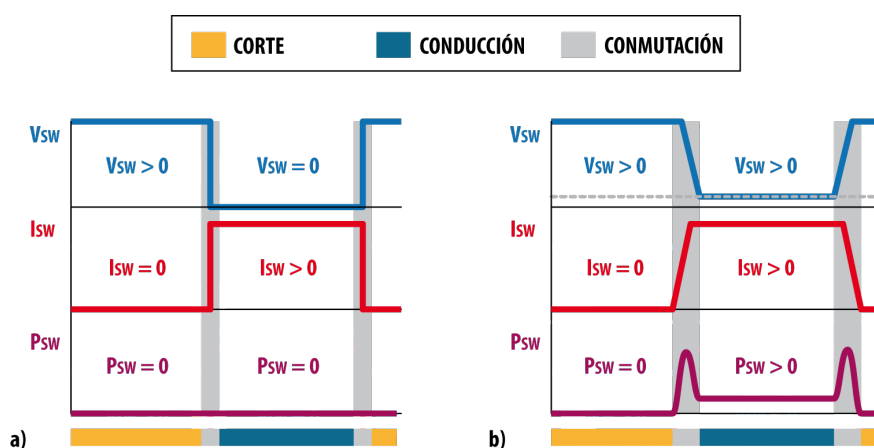


Figura 4.1 – Comparativa potencia de pérdidas en interruptores a) ideal, b) real.

La tecnología de fabricación de transistores basada en el silicio no permite la construcción de interruptores de potencia ideales, por ese motivo debe analizarse de qué modo el comportamiento no ideal en un transistor contribuye a la aparición de una potencia de pérdidas, reduciendo la eficiencia del convertidor y provocando un incremento de la temperatura del interruptor.

El modelo de pérdidas depende de las características del transistor y, en consecuencia, es sensible a sus parámetros tecnológicos. Las tecnologías de fabricación utilizadas en la construcción de transistores en convertidores de potencia son las tecnologías MOSFET e IGBT. Siendo idéntica la estimación de pérdidas en una u otra tecnología, existen algunas diferencias. No obstante, a través del estudio de las pérdidas que se producen en la operación de transistores IGBT es posible obtener un modelo válido para transistores MOSFET.

Es habitual clasificar las pérdidas en función de los dos procesos asociados a la operación del transistor, conducción y conmutación. Siguiendo este modelo, la potencia de pérdidas total puede obtenerse a partir de la suma de los dos procesos. [ABB14, GRA09, INF99, ONS14b, POW00, SEM08, SUN12]. El modelo de pérdidas analizado se basa en un modelo numérico cuyos parámetros se extraen de las hojas de características técnicas en unas condiciones de funcionamiento predefinidas.

#### 4.2.1 Pérdidas de conducción

##### 4.2.1.1 Introducción

La caída de tensión que aparece en terminales del transistor IGBT en conducción depende de la tensión umbral colector-emisor  $v_{ce0}$ , propio de la tecnología bipolar, del incremento de la tensión colector-emisor  $\Delta v_{ce}$  causado por el paso de corriente  $i_c$  por el transistor y por el valor de dicha corriente. En los siguientes apartados se analizan los parámetros que permiten cuantificar las pérdidas de conducción de un transistor.

##### 4.2.1.2 Característica de salida del transistor ( $v_{ce}/i_c$ )

La caída de tensión que aparece en terminales del transistor IGBT en conducción puede aproximarse a la función descrita por la ecuación de una recta. El término independiente lo define la tensión umbral colector-emisor  $v_{ce0}$ . La pendiente de la recta se obtiene del cálculo de la resistencia equivalente colector-emisor  $r_{ce}$  obtenida mediante la aproximación lineal de la característica de salida de un transistor IGBT (Figura 4.2).

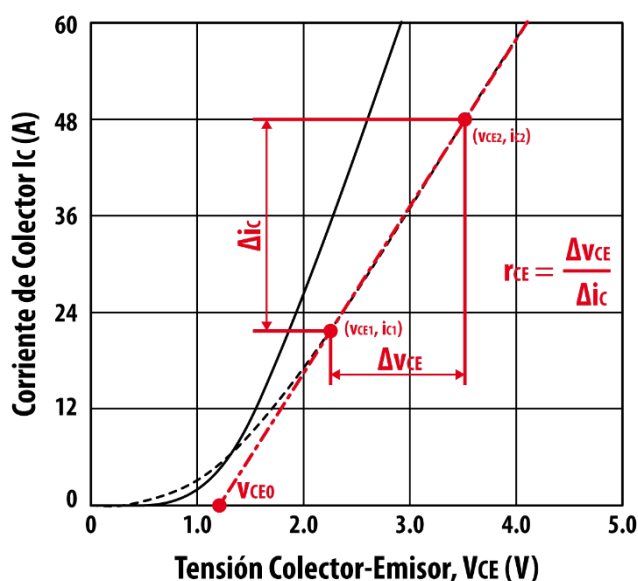


Figura 4.2 – Característica de salida de un transistor IGBT y cálculo de la resistencia  $r_{ce}$  equivalente.

Puesto que esta característica depende de la temperatura es recomendable seleccionar la curva que describe la característica de salida a mayor temperatura puesto que es el caso más desfavorable.

$$r_{ce} = \frac{\Delta v_{ce}}{\Delta i_c} = \frac{v_{ce2} - v_{ce1}}{i_{c2} - i_{c1}} \quad (4.2)$$

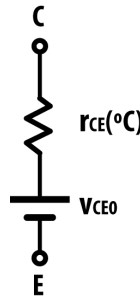


Figura 4.3 – Modelado del transistor IGBT en conducción.

El valor total de tensión colector-emisor del transistor en conducción puede determinarse mediante la expresión de la Ecuación 4.3 de la cual se deduce el circuito equivalente que modela el comportamiento de un transistor IGBT en conducción mostrando en la Figura 4.3 [MAU09, RUI12].

$$v_{ce} = r_{ce}i_c + v_{ce0} \quad (4.3)$$

#### 4.2.1.3 Corriente de colector

El valor de la corriente de colector depende de la topología utilizada, del tipo de modulación generada por el control del convertidor y del tiempo de conducción del transistor, determinado por la frecuencia de la portadora y el ciclo de trabajo. Así, en un inversor cuya estrategia de control genera una corriente sinusoidal mediante modulación PWM (SPWM), el tiempo de conducción puede determinarse mediante la relación de modulación  $\delta$  mostrada en la Ecuación 4.4, [CAS94].

$$\delta = \frac{1}{2}(1 + m_a \sin(\alpha + \theta)) \quad (4.4)$$

Donde  $m_a$  es el índice de modulación de amplitud cuyo valor, descartando estrategias de sobre-modulación, está comprendido entre 0 y 1, y  $\theta$  define el ángulo de desfase entre la tensión de salida del inversor y la corriente de salida del convertidor.

#### 4.2.1.4 Corriente por el diodo

La dependencia de la caída de tensión en el diodo puede modelizarse también mediante la aproximación lineal de la característica de dicha tensión en el diodo en anti-paralelo, tal y como muestra la Figura 4.4.

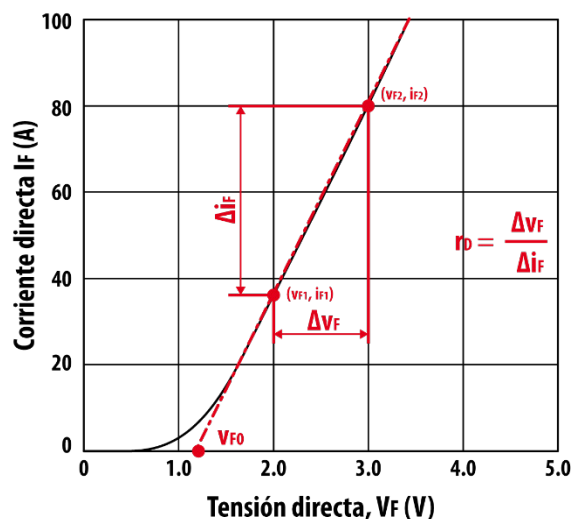


Figura 4.4 – Característica de salida del diodo en anti-paralelo y cálculo de la resistencia  $r_d$  equivalente.

De manera similar, el modelo equivalente del diodo en anti-paralelo en conducción puede describirse mediante una tensión umbral  $v_{f0}$  y una resistencia equivalente  $r_d$  que depende de la corriente y de la temperatura.

$$v_f = r_d i_f + v_{f0} \quad (4.5)$$

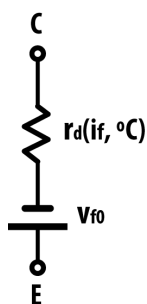


Figura 4.5 – Modelado del diodo en anti-paralelo.

#### 4.2.2 Pérdidas de conmutación

##### 4.2.2.1 Introducción

Las pérdidas de conmutación se producen en el instante en el que el transistor admite o corta el paso de corriente. La energía disipada cuando el transistor pasa de corte a conducción se conoce como  $E_{on}$  y la energía disipada en el transistor en el proceso conducción a corte se conoce como

$E_{off}$ . La energía disipada debido a la conmutación del diodo en anti-paralelo se conoce como  $E_{rr}$  y está asociada a la corriente en el diodo debido al tiempo de recuperación en inversa  $t_{rr}$ .

Al igual que en los modelos de estimación de pérdidas de conducción, las pérdidas de conmutación puede determinarse a partir de la hoja de características técnicas del transistor en las condiciones de operación especificadas.

#### 4.2.2.2 Pérdidas en transistor

La energía de pérdidas por el cierre  $E_{on}$  y la apertura  $E_{off}$  del transistor, debidas a la aparición de niveles de tensión y corriente no nulos en terminales del transistor, puede ser cuantificada mediante la relación mostrada en las Ecuaciones 4.6 y 4.7. Donde los tiempos de subida  $t_r$  y retardo de conexión  $t_{d(on)}$  y tiempo de bajada  $t_f$  y retardo de desconexión  $t_{d(off)}$  son parámetros proporcionados en las hojas de especificaciones. Estos parámetros deben ser escalados a las condiciones de operación a partir de la tensión  $V_{CE}$  y corriente  $I_C$  de referencia.

$$E_{on} = \int_0^{t_r+t_{d(on)}} v_{ce}(t) i_c(t) dt \quad (4.6)$$

$$E_{off} = \int_0^{t_f+t_{d(off)}} v_{ce}(t) i_c(t) dt \quad (4.7)$$

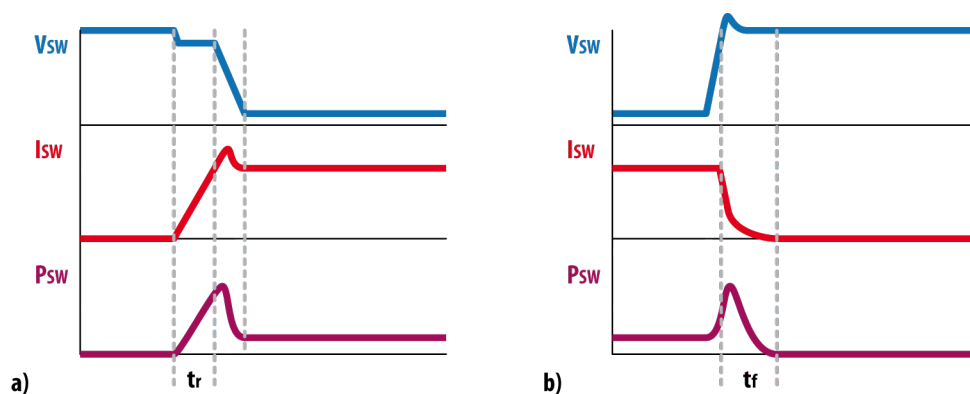


Figura 4.6 – Pérdidas de conmutación en a) cierre del transistor y b) apertura del transistor.

No obstante, y debido a que las pérdidas de conmutación se producen en situaciones transitorias, es recomendable utilizar los parámetros proporcionados por el fabricante. Es habitual que cada fabricante establezca variantes en el procedimiento de cálculo de pérdidas.  $E_{on}$  y  $E_{off}$  son parámetros especificados por el fabricante y dependen de las condiciones del ensayo, de modo que junto a estos parámetros se especifica una tensión  $v_{ce}$  y una corriente  $i_c$  en las condiciones del ensayo. Todos estos parámetros constituyen una referencia que permite que  $E_{on}$  y  $E_{off}$  sean escalados conforme a las condiciones de la aplicación final [IVA13].

Las Ecuaciones 4.8 y 4.9 muestran un método generalizado para la obtención de pérdidas de conmutación donde los parámetros procedentes de la hoja de especificaciones se identifican mediante el sufijo *Ref*. El parámetro  $K_v$  define el valor de un exponente para la función de escalado de la tensión.

$$E_{on} = E_{on(Ref)} \left( \frac{i_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \quad (4.8)$$

$$E_{off} = E_{off(Ref)} \left( \frac{i_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \quad (4.9)$$

#### 4.2.2.3 Pérdidas en diodo en anti-paralelo

Siguiendo el mismo procedimiento que el utilizado en el cálculo de pérdidas de conmutación en el transistor, la estimación de pérdidas en el diodo puede obtenerse escalando los parámetros de referencia proporcionados en la hoja de especificaciones del fabricante. La Ecuación 4.10 muestra la expresión que permite obtener las pérdidas de conmutación en el diodo en anti-paralelo. Los parámetros procedentes de la hoja de especificaciones se identifican mediante el sufijo *Ref* en la Ecuación 4.10.

$$E_{rr} = E_{rr(Ref)} \left( \frac{i_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{di_c/dt}{di_{c(Ref)}/dt} \right) \quad (4.10)$$

### 4.3 Estimación de pérdidas en transistores IGBT

#### 4.3.1 Introducción

En los siguientes apartados se analizan métodos de estimación de pérdidas de conducción y conmutación en transistor y diodo del interruptor. También se propone un método de estimación de pérdidas en interruptores constituidos por múltiples transistores en paralelo.

Para obtener las pérdidas de conducción en transistores controlados mediante modulación SPWM, es necesario determinar tanto el valor de corriente, como los tiempos de conducción del transistor a lo largo de un periodo de la señal de modulación.

La Figura 4.7 muestra el esquema de un inversor monofásico y el circuito que sigue la corriente a través de los interruptores del convertidor en función de los tiempos de conducción.

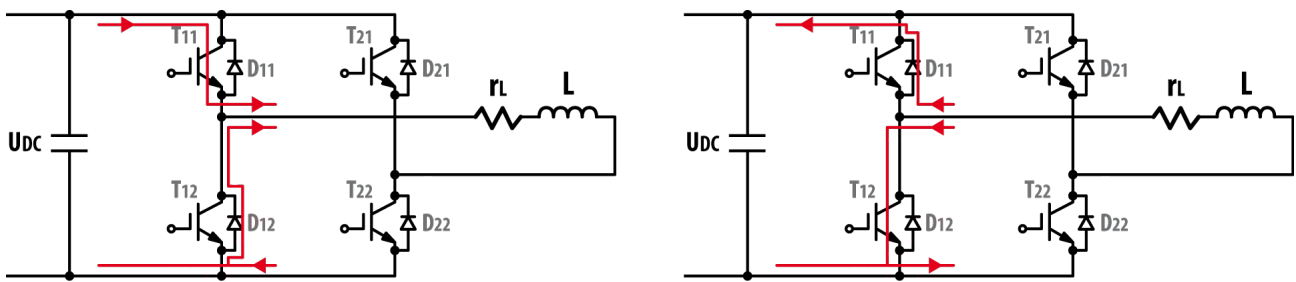


Figura 4.7 – Inversor monofásico para estudio de pérdidas de conducción.

Las Figuras 4.8 y 4.9 muestran la corriente de salida de un inversor monofásico y las corrientes en transistor y diodo del mismo interruptor. Se observa cómo la corriente es conducida por el transistor  $T_{11}$  a lo largo de medio ciclo ( $0$  a  $\pi$ ) en un periodo completo de la señal de modulación. El mismo comportamiento se observa en el diodo en anti-paralelo  $D_{11}$  del mismo interruptor.

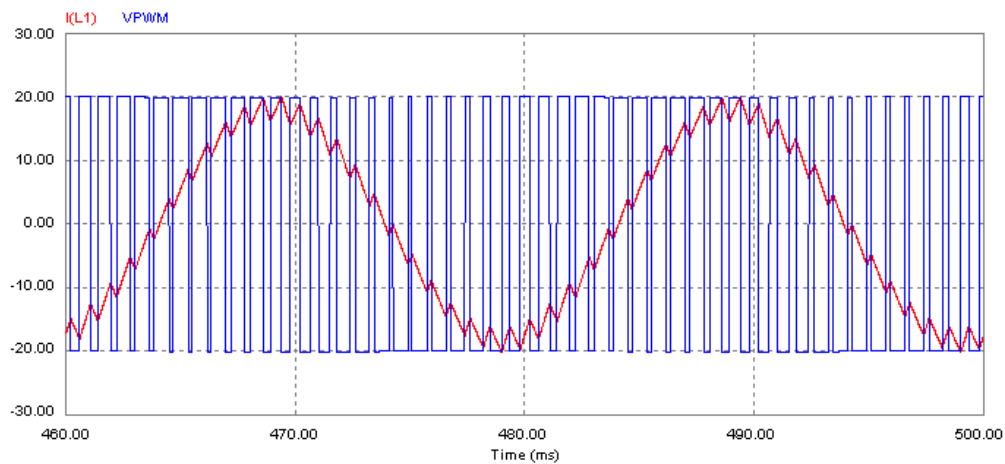


Figura 4.8 – Tensión y corriente de salida del inversor monofásico para una modulación SPWM bipolar.

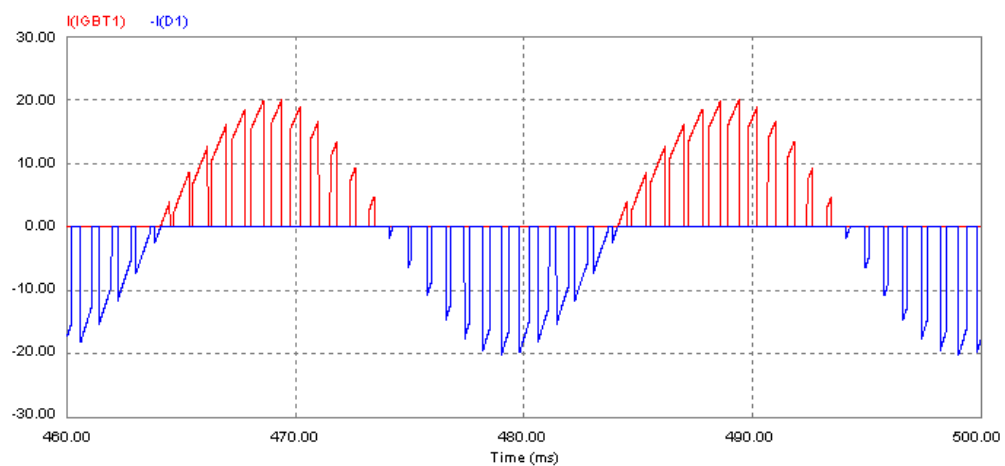


Figura 4.9 – Corriente en transistor y diodo en semipunte controlado por moduladora sinusoidal.



La Figura 4.10 muestra la corriente en el transistor T<sub>11</sub> y diodo en anti-paralelo D<sub>12</sub> del transistor complementario T<sub>12</sub> del mismo semipunto.

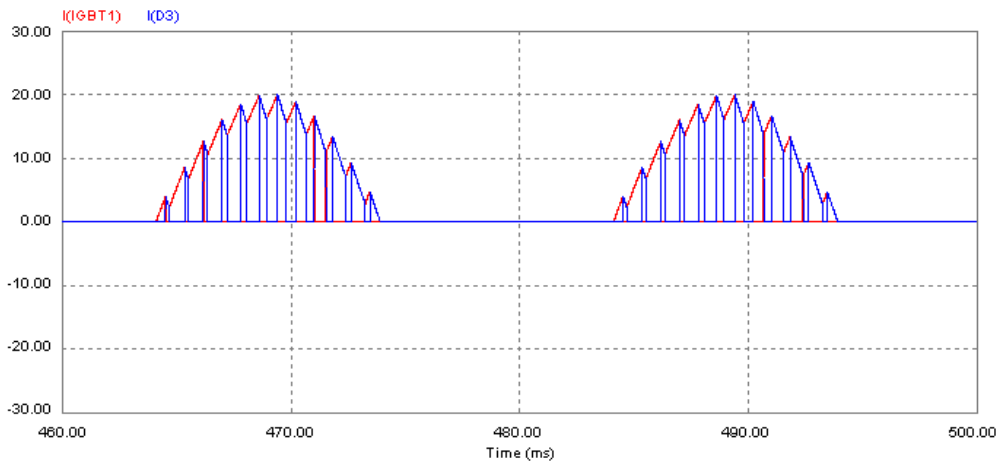


Figura 4.10 – Corriente en transistor T<sub>11</sub> y diodo en anti-paralelo D<sub>12</sub> del transistor T<sub>12</sub>.

### 4.3.2 Interruptores basados en un transistor

#### 4.3.2.1 Pérdidas de conducción en el transistor

Las pérdidas de conducción pueden determinarse a través de la integral del producto de la tensión  $v_{ce}$  y la corriente  $i_c$  cuyo valor instantáneo depende de la modulación utilizada  $\delta$ . Las Ecuaciones 4.11 y 4.12 muestran las expresiones que permiten evaluar las pérdidas de conducción en un transistor IGBT.

$$P_{icn} = \frac{1}{T} \int_0^{T/2} v_{ce} i_c \delta dt, \quad dt = \frac{d\alpha}{2\pi} T \quad (4.11)$$

$$P_{icn} = \frac{1}{2\pi} \int_0^{\pi} v_{ce} i_c \delta d\alpha \quad (4.12)$$

Puesto que la corriente  $i_c$  depende de la modulación  $\delta$  de la Ecuación 4.4, su evolución puede expresarse como una función sinusoidal tal y como muestra la Ecuación 4.13.

$$i_c \delta = (\hat{i}_c \sin \alpha) \delta = \frac{\hat{i}_c}{2} \sin \alpha (1 + m_a \sin(\alpha + \theta)) \quad (4.13)$$

A partir de las Ecuaciones 4.12 y 4.13 se obtiene la integral definida que permite determinar las pérdidas de conducción de un transistor IGBT.

$$P_{icn} = \frac{\hat{i}_c}{4\pi} \int_0^{\pi} (r_{ce} \hat{i}_c \sin \alpha + v_{ce0}) \cdot \sin \alpha \cdot (1 + m_a \sin(\alpha + \theta)) d\alpha \quad (4.14)$$

La Ecuación 4.15 muestra el resultado de la integración de las pérdidas de potencia en un periodo de la señal moduladora. Esta Ecuación permite estimar las pérdidas en un interruptor basado en un único transistor IGBT.

$$P_{icn} = \frac{1}{2} \left( \frac{v_{ce0} \hat{i}_c}{\pi} + \frac{r_{ce} \hat{i}_c^2}{4} \right) + m_a \cos \theta \left( \frac{r_{ce} \hat{i}_c^2}{3\pi} + \frac{v_{ce0} \hat{i}_c}{8} \right) \quad (4.15)$$

#### 4.3.2.2 Pérdidas de conducción en el diodo

Según el modelo de pérdidas de conducción del diodo en anti-paralelo analizado anteriormente, la Ecuación 4.18 muestra la solución a la integral definida que permite cuantificar la potencia de pérdidas en el diodo. Puesto que el diodo entra en conducción cuando el transistor pasa a corte, la función de modulación debe adaptarse al tiempo de conducción del diodo según la Ecuación 4.16.

$$(1 - \delta) = 1 - \frac{1}{2}(1 + m_a \sin(\alpha + \theta)) = \frac{1}{2}(1 - m_a \sin(\alpha + \theta)) \quad (4.16)$$

$$P_{dcn} = \frac{\hat{i}_c}{4\pi} \int_0^\pi (r_d \hat{i}_f \sin \alpha + v_{f0}) \cdot \sin \alpha \cdot (1 - m_a \sin(\alpha + \theta)) d\alpha \quad (4.17)$$

$$P_{dcn} = \frac{1}{2} \left( \frac{v_{f0} \hat{i}_f}{\pi} + \frac{r_d \hat{i}_f^2}{4} \right) - m_a \cdot \cos \theta \left( \frac{r_d \hat{i}_f^2}{3\pi} + \frac{v_{f0} \hat{i}_f}{8} \right) \quad (4.18)$$

#### 4.3.2.3 Pérdidas de conmutación en el transistor

Considerando el caso de un inversor cuya corriente de salida es modulada por una función sinusoidal, según las Ecuaciones 4.8 y 4.9, en promedio, las pérdidas de conmutación del transistor a lo largo de un periodo de la señal de modulación pueden determinarse a partir de la integral definida de la Ecuación 4.19.

$$E_{(av)} = \frac{1}{2\pi} \int_0^\pi E_{(Ref)} \left( \frac{\hat{i}_c \sin \alpha}{\hat{i}_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} d\alpha = \frac{1}{2\pi} E_{(Ref)} \left( \frac{\hat{i}_c}{\hat{i}_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \int_0^\pi \sin \alpha d\alpha \quad (4.19)$$

La Ecuación 4.20 muestra la solución de la ecuación anterior:

$$E_{(av)} = \frac{1}{\pi} E_{(Ref)} \left( \frac{\hat{i}_c}{\hat{i}_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \quad (4.20)$$

La potencia de pérdidas dependerá del número de conmutaciones del transistor y, por tanto, es proporcional a la frecuencia de conmutación  $f_s$ . La Ecuación 4.21 muestra la potencia de pérdidas de conmutación.

$$P_{isw(av)} = (E_{on(av)} + E_{off(av)}) f_s = (E_{on} + E_{off}) \left( \frac{1}{\pi} \left( \frac{\hat{i}_c}{\hat{i}_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \right) f_s \quad (4.21)$$

La Ecuación 4.19 puede expresarse en forma de sumatorio, útil en caso de utilizar un modelo de pérdidas donde la relación de corrientes es la base de una función exponencial [SEM14]. Las Ecuaciones 4.22 a 4.24 muestran la estimación de pérdidas, donde  $m_f$  es el índice de modulación de frecuencia puesto que el número de pulsos dependerá del valor de este índice y  $\alpha_d$  es el valor del ángulo discreto correspondiente a la modulación sinusoidal aplicada.

$$P_{isw(av)} = f_s(E_{on} + E_{off}) \left( \frac{\hat{i}_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \frac{1}{m_f} \sum_{i=0}^{m_f/2} \sin \alpha_d \quad (4.22)$$

$$\alpha_d = \frac{2\pi i}{m_f} \quad (4.23)$$

$$m_f = \frac{f_s}{f} \quad (4.24)$$

#### 4.3.2.4 Pérdidas de conmutación en el diodo

Para determinar las pérdidas de conmutación en el diodo se considerará igualmente el caso de una corriente sinusoidal a lo largo del periodo de la señal de modulación. Siguiendo el mismo procedimiento que en el caso del transistor, la Ecuación 4.25 muestra las pérdidas de conmutación calculando el valor promedio de pérdidas a lo largo de un periodo de la señal de modulación.

$$P_{dsw(av)} = \frac{1}{\pi} E_{rr(Ref)} \left( \frac{\hat{i}_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) f_s \quad (4.25)$$

La Ecuación 4.26 muestra la ecuación anterior en forma de sumatorio:

$$P_{dsw(av)} = f_s E_{rr(Ref)} \left( \frac{\hat{i}_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) \frac{1}{m_f} \sum_{i=0}^{m_f/2} \sin \left( \frac{2\pi i}{m_f} \right) \quad (4.26)$$

### 4.3.3 Interruptores basados en transistores en paralelo

#### 4.3.3.1 Introducción

Para cuantificar la potencia de pérdidas de conducción, debe determinarse la suma de potencias de pérdidas debidas al paso de corriente a través de transistores y diodos en función del tiempo de conducción asignado a cada uno y al reparto de corriente por cada dispositivo.

### 4.3.3.2 Determinación de los ángulos de entrada/salida de conducción

Para determinar qué efecto tienen en las pérdidas de un interruptor basado en la conexión de múltiples transistores en paralelo, debe obtenerse el resultado de la integral para cada uno de los ángulos de entrada en conducción de cada transistor. Puesto que la evolución de la corriente es sinusoidal, la entrada y salida de conducción de cada transistor dependerá de la amplitud de corriente dividida por el número de transistores en paralelo, siguiendo el método propuesto en el apartado 2.3.2 *Conmutación multiplexada* del capítulo 2. La Figura 4.11 muestra la relación de ángulos y tiempos de conducción en un interruptor basados en múltiples transistores en paralelo.

Siguiendo el ejemplo mostrado en la Figura 4.11, la relación de ángulos se obtiene directamente del índice  $i$  asignado a cada uno de los transistores en paralelo y el número total de transistores que componen los interruptores del inversor. La Ecuación 4.27 muestra el cálculo de los ángulos de entrada en el caso de un interruptor formado por 4 transistores en paralelo.

$$\frac{\hat{i}_c}{4} = \hat{i}_c \sin \alpha_1 \quad \left\{ \begin{array}{l} \alpha_1 = \sin^{-1} \left( \frac{1}{4} \right) = 0,25 \text{ rad} \\ \alpha_2 = \sin^{-1} \left( \frac{1}{2} \right) = 0,52 \text{ rad} \\ \alpha_3 = \sin^{-1} \left( \frac{3}{4} \right) = 0,84 \text{ rad} \end{array} \right. \quad (4.27)$$

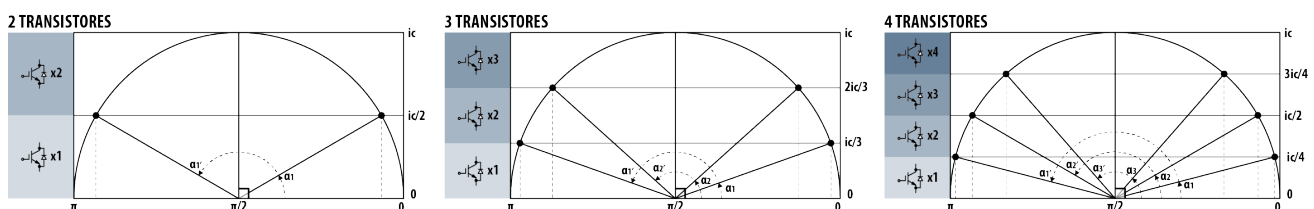


Figura 4.11 – Umbrales de entrada y salida de conducción en interruptor basado en 2, 3 y 4 transistores en paralelo.

Conocidos los ángulos de inicio de activación de los  $n$  transistores y considerando la simetría existente en los umbrales de comparación, el ángulo de fin de activación de  $n$  transistores queda definido por la Ecuación 4.29.

$$\alpha_{i(i)} = \sin^{-1} \left( \frac{i}{n} \right) \quad (4.28)$$

$$\alpha_{f(i)} = \pi - \alpha_{i(i)} \quad (4.29)$$

Del mismo modo, si la frecuencia de oscilación de la señal moduladora es  $\omega$ , el tiempo de inicio  $t_i$  y fin  $t_f$  de conducción de cada transistor por periodo de la señal de modulación puede determinarse mediante las Ecuaciones 4.30 y 4.32.

$$\begin{cases} t_1 = \frac{1}{\omega} \sin^{-1} \left( \frac{1}{4} \right) = 804,3 \mu s \\ t_2 = \frac{1}{\omega} \sin^{-1} \left( \frac{1}{2} \right) = 1667 \mu s \\ t_3 = \frac{1}{\omega} \sin^{-1} \left( \frac{3}{4} \right) = 2700 \mu s \end{cases} \quad (4.30)$$

$$t_{i(i)} = \frac{1}{\omega} \sin^{-1} \left( \frac{i}{n} \right) \quad (4.31)$$

$$t_{f(i)} = \frac{\pi}{\omega} - t_{i(i)} = \frac{T}{2} - t_{i(i)} \quad \text{donde } T: \text{ periodo moduladora} \quad (4.32)$$

Tabla 4.1 – Relación de los ángulos de entrada/salida de conducción y tiempo de conducción de cada transistor y el porcentaje de conducción de una señal de 50 Hz (tiempo máximo de conducción 10 ms).

	TRANSISTOR 1	TRANSISTOR 2	TRANSISTOR 3	TRANSISTOR 4
<b>ÁNGULO</b>	-	$\alpha_1 = 14,47^\circ$ $\alpha_6 = 165,53^\circ$	$\alpha_2 = 30^\circ$ $\alpha_5 = 150^\circ$	$\alpha_3 = 48,6^\circ$ $\alpha_4 = 131,4^\circ$
<b>TIEMPO</b>	10 ms	$t_1 = 804,3 \mu s$ $t_6 = 9,1957 \text{ ms}$	$t_2 = 1667 \mu s$ $t_5 = 8,333 \text{ ms}$	$t_3 = 2700 \mu s$ $t_4 = 7,3 \text{ ms}$
<b>PORCENTAJE</b>	100 %	83,9 %	66,7 %	46 %

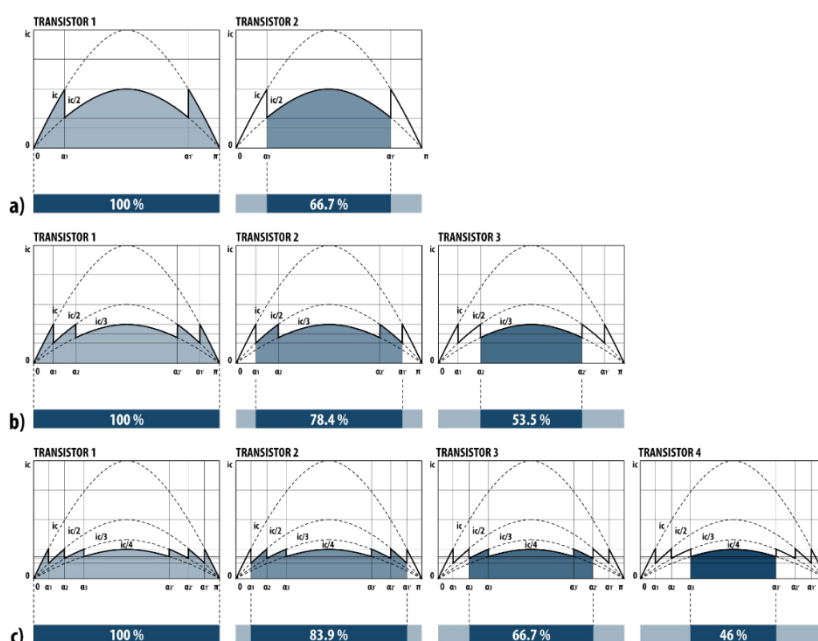


Figura 4.12 – Patrón de conmutación y perfil de corriente por transistor en interruptores de a) 2 transistores en paralelo, b) 3 transistores en paralelo y c) 4 transistores en paralelo.

En la Figura 4.12 se observa cómo a medida que aumenta el número de transistores en paralelo, la forma de onda debida al reparto de corriente entre transistores tiende a una forma rectangular, cuya amplitud es la corriente máxima dividida por el número de transistores en paralelo. El comportamiento sería equivalente al de un convertor digital-analógico basado en la conexión de  $n$  fuentes de corriente en paralelo.

La Tabla 4.2 muestra la diferencia de áreas entre una forma rectangular y el perfil de corriente del primer transistor en el caso de máxima amplitud sinusoidal.

Tabla 4.2 - Comparativa de áreas rectangular y sinusoidal de amplitud unitaria con reparto en interruptores con  $n$  transistores en paralelo.

N transistores	Área rectangular	Área sinusoidal	Error absoluto $A_{\Pi} - A_{\sim}$	Error relativo (%) $(A_{\Pi} - A_{\sim} / A_{\Pi})100$
2	$\pi/2$	1,1340	0,4368	27,81 %
3	$\pi/3$	0,8087	0,2385	22,77 %
4	$\pi/4$	0,6328	0,1526	19,42 %
8	$\pi/8$	0,3432	0,0495	12,61 %
16	$\pi/16$	0,1811	0,0153	7,77 %
32	$\pi/32$	0,0936	0,0045	4,61 %
210	$\pi/210$	0,0148	$1,4914 \cdot 10^{-4}$	0,9969 %

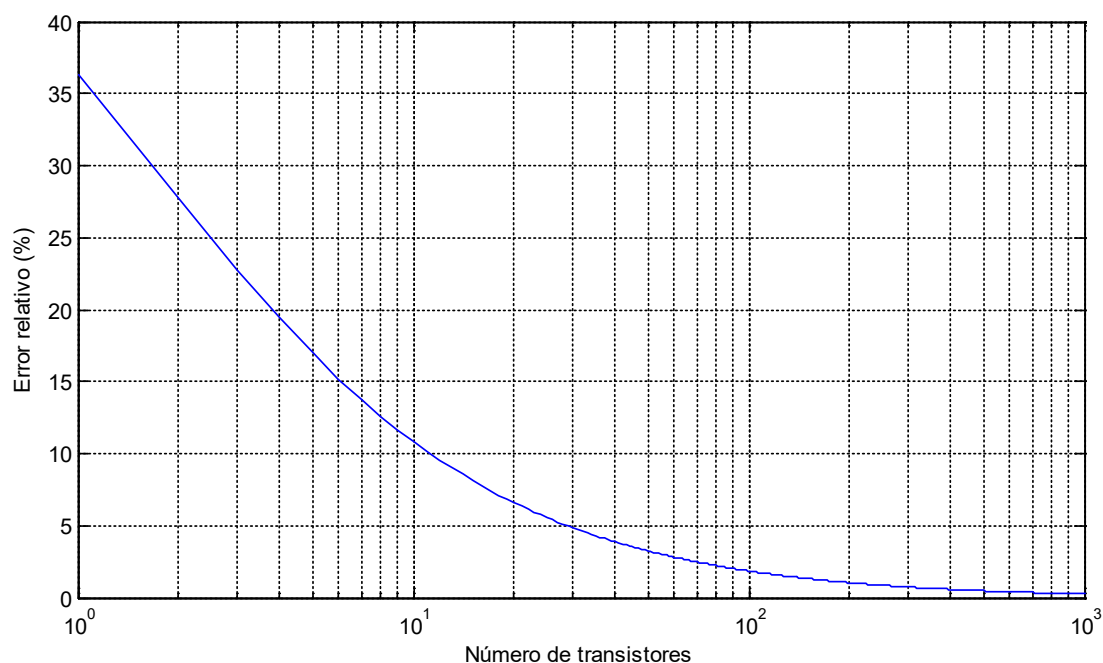


Figura 4.13 - Error relativo entre área rectangular y área sinusoidal equivalente en función del número de transistores en paralelo.

### 4.3.3.3 Pérdidas de conducción en el transistor

Conocidos los ángulos de entrada en conducción de cada transistor, el cálculo de pérdidas de conducción puede obtenerse de la suma de integrales definidas a partir de la relación mostrada en la Ecuación 4.12. Las pérdidas en cada transistor se estimarán considerando el instante en el que entra en conducción cada transistor en un periodo de la señal de modulación. Considerando el caso de un interruptor formado por cuatro transistores en paralelo, la Figura 4.14 muestra las áreas de integración y los ángulos que definen los límites de cada área.

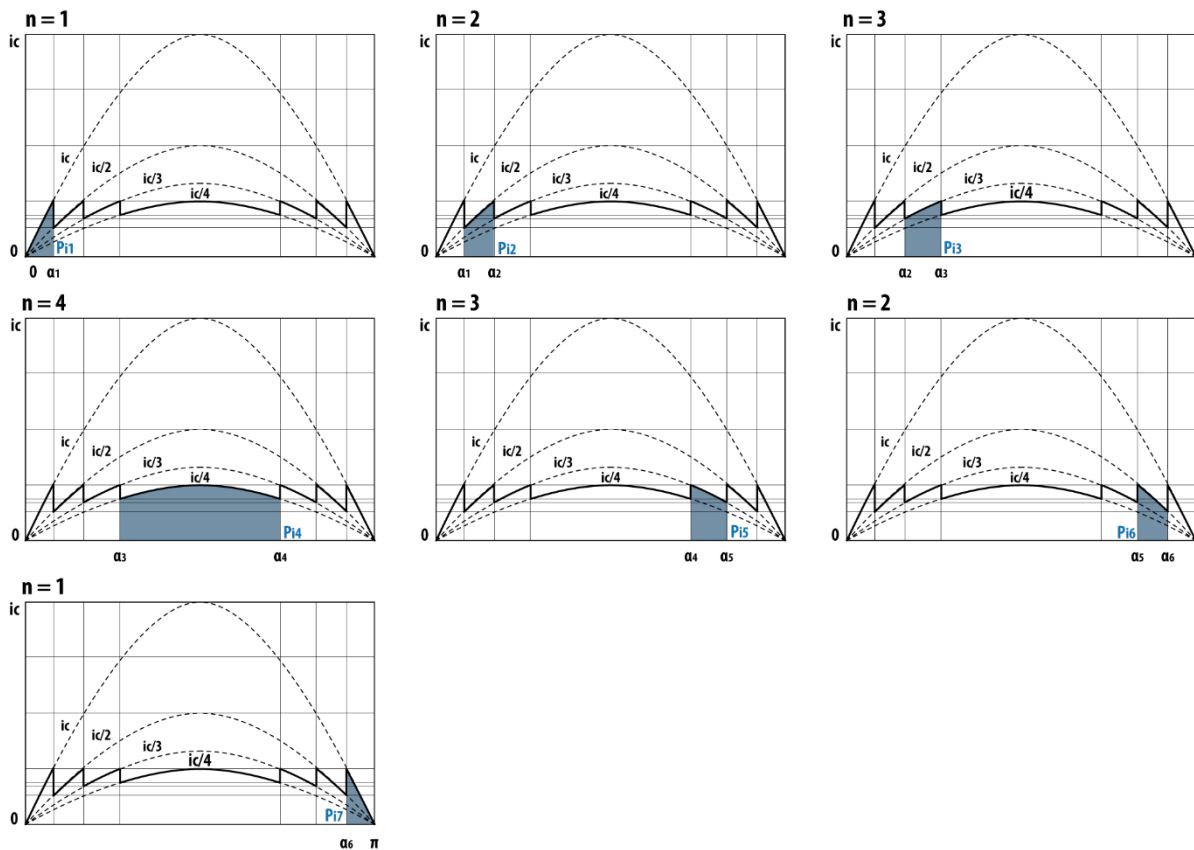


Figura 4.14 – Áreas de cálculo de potencia limitadas por los ángulos de entrada en conmutación.

Así, la potencia de pérdidas definida por los ángulos de entrada en conducción puede determinarse a partir de las Ecuaciones 4.33 a 4.36, donde la potencia de cada tramo depende de los ángulos de conexión y desconexión de transistores en paralelo.

$$P_{icn1} = P_{icn(0 \rightarrow \alpha_1)} + P_{icn(\alpha_1 \rightarrow \alpha_2)} + P_{icn(\alpha_2 \rightarrow \alpha_3)} + P_{icn(\alpha_3 \rightarrow \alpha_4)} + P_{icn(\alpha_4 \rightarrow \alpha_5)} + P_{icn(\alpha_5 \rightarrow \alpha_6)} + P_{icn(\alpha_6 \rightarrow \pi)} \quad (4.33)$$

$$P_{icn2} = P_{icn(\alpha_1 \rightarrow \alpha_2)} + P_{icn(\alpha_2 \rightarrow \alpha_3)} + P_{icn(\alpha_3 \rightarrow \alpha_4)} + P_{icn(\alpha_4 \rightarrow \alpha_5)} + P_{icn(\alpha_5 \rightarrow \alpha_6)} \quad (4.34)$$

$$P_{icn3} = P_{icn(\alpha_2 \rightarrow \alpha_3)} + P_{icn(\alpha_3 \rightarrow \alpha_4)} + P_{icn(\alpha_4 \rightarrow \alpha_5)} \quad (4.35)$$

$$P_{icn4} = P_{icn(\alpha_3 \rightarrow \alpha_4)} \quad (4.36)$$

La Ecuación 4.37 muestra la integral definida por los ángulos de conexión  $\alpha_i$  y desconexión  $\alpha_f$ :

$$P_{icn(\alpha_i \rightarrow \alpha_f)} = \frac{1}{2\pi} \int_{\alpha_i}^{\alpha_f} v_{ce} i_c \delta \, d\alpha = \frac{\hat{i}_c}{2\pi} \int_{\alpha_i}^{\alpha_f} (r_{ce} \hat{i}_c \sin\alpha + v_{ce0}) \cdot \sin\alpha \cdot \frac{1}{2}(1 + m_a \sin(\alpha + \theta)) \, d\alpha \quad (4.37)$$

Para obtener una solución general, a partir de las expresiones anteriores se deducen las Ecuaciones 4.38 a 4.41 que muestran las integrales indefinidas que determinan la potencia de pérdidas para cualquier pareja de ángulos en medio periodo de la señal de modulación.

$$P_{icn(1)} = \frac{1}{4\pi} \hat{i}_c \int r_{ce} \hat{i}_c \cdot \sin^2 \alpha \, d\alpha = \frac{1}{4\pi} r_{ce} \hat{i}_c^2 \int \sin^2 \alpha \, d\alpha \quad (4.38)$$

$$P_{icn(2)} = \frac{1}{4\pi} \hat{i}_c \int v_{ce0} \cdot \sin\alpha \, d\alpha = \frac{1}{4\pi} v_{ce0} \hat{i}_c \int \sin\alpha \, d\alpha \quad (4.39)$$

$$P_{icn(3)} = \frac{1}{4\pi} \hat{i}_c \int r_{ce} \hat{i}_c m_a \cdot \sin^2 \alpha \cdot \sin(\alpha + \theta) \, d\alpha = \frac{1}{4\pi} r_{ce} m_a \hat{i}_c^2 \int \sin^2 \alpha \cdot \sin(\alpha + \theta) \, d\alpha \quad (4.40)$$

$$P_{icn(4)} = \frac{1}{4\pi} \hat{i}_c \int v_{ce0} m_a \cdot \sin\alpha \cdot \sin(\alpha + \theta) \, d\alpha = \frac{1}{4\pi} v_{ce0} m_a \hat{i}_c \int \sin\alpha \cdot \sin(\alpha + \theta) \, d\alpha \quad (4.41)$$

Resolviendo las ecuaciones anteriores se obtienen los siguientes resultados:

$$P_{icn(1)} = \frac{1}{4\pi} r_{ce} \hat{i}_c^2 \left( \frac{\alpha}{2} - \frac{\sin 2\alpha}{4} \right) + C \quad (4.42)$$

$$P_{icn(2)} = -\frac{1}{4\pi} v_{ce0} \hat{i}_c \cos\alpha + C \quad (4.43)$$

$$P_{icn(3)} = \frac{1}{4\pi} r_{ce} m_a \hat{i}_c^2 \left[ \frac{1}{12} (-3\cos(\theta - \alpha) - 6\cos(\theta + \alpha) + \cos(\theta + 3\alpha)) \right] + C \quad (4.44)$$

$$P_{icn(4)} = \frac{1}{4\pi} v_{ce0} m_a \hat{i}_c \left[ \frac{1}{4} (2\alpha \cos\theta - \sin(\theta + 2\alpha)) \right] + C \quad (4.45)$$

Donde la potencia de pérdidas se obtiene de la suma de las Ecuación 4.42 a 4.45 a partir de la diferencia de las ecuaciones calculadas entre dos ángulos determinados:

$$P_{icn} = P_{icn(1)} + P_{icn(2)} + P_{icn(3)} + P_{icn(4)} \quad (4.46)$$

Finalmente, el cálculo de pérdidas para cada franja se obtiene de la resolución de la Ecuación 4.47 en las áreas delimitadas por los ángulos calculados previamente.

$$P_{icn(\alpha_i \rightarrow \alpha_f)} = \sum_{n=1}^4 P_{icn\alpha_f(n)} - \sum_{n=1}^4 P_{icn\alpha_i(n)} \quad (4.47)$$

#### 4.3.3.4 Pérdidas de conducción en el diodo

Puesto que no se tiene control sobre la entrada en conducción del diodo, la estimación de pérdidas no requiere un análisis específico, contemplando únicamente el reparto de corrientes a través de los diodos en paralelo. Según la Ecuación 4.18 y considerando un reparto equilibrado



de corrientes en los diodos, la estimación de pérdidas en el diodo se muestra en la Ecuación 4.48 donde  $n$  indica el número de transistores conectados en paralelo.

$$P_{dcn} = \frac{1}{2} \left( \frac{v_{f0} \hat{i}'_f}{\pi} + \frac{r_d \hat{i}'_f{}^2}{4} \right) - m_a \cdot \cos \theta \left( \frac{r_d \hat{i}'_f{}^2}{3\pi} + \frac{v_{f0} \hat{i}'_f}{8} \right), \quad \hat{i}'_f = \frac{\hat{i}_c}{n} \quad (4.48)$$

#### 4.3.3.5 Pérdidas de conmutación en el transistor

Para determinar las pérdidas de conmutación en múltiples transistores deben considerarse los ángulos de conexión  $\alpha_i$  y desconexión  $\alpha_f$  de los transistores conectados en paralelo. La adaptación del modelo de pérdidas debe aplicarse únicamente en caso de utilizar estrategias de activación multiplexada de transistores. La Figura 4.15 muestra las áreas definidas por la conexión y desconexión de transistores en función del valor de la corriente de carga.

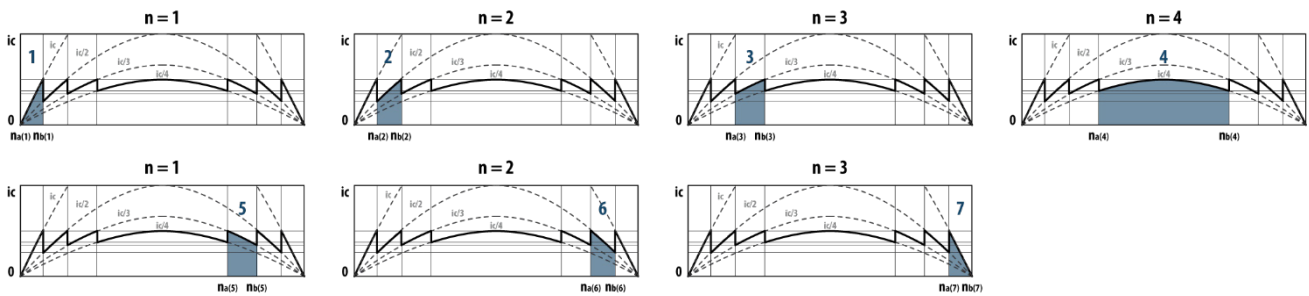


Figura 4.15 – Áreas de delimitación de entrada y salida de activación de transistores.

A diferencia del análisis realizado en la estimación de pérdidas de conducción, las pérdidas de conmutación se determinan a partir de la energía  $E_{on}$  y  $E_{off}$  cuyo valor representa las pérdidas de activación y desactivación del transistor por periodo de conmutación. La suma de pérdidas de cada área de la Figura 4.15 definirá las pérdidas totales por transistor.

La Ecuación 4.49 determina la potencia de pérdidas por periodo de la señal de modulación. El valor de corriente  $\hat{i}_c$  depende del índice de conmutación  $i$  a lo largo del periodo de la señal y es modulado en función del número de transistores que conmutan de forma simultánea.

$$E_{(av)} = \frac{1}{2\pi} E_{(Ref)} \left( \frac{\hat{i}_c}{\hat{i}_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \int_{\alpha_1}^{\alpha_2} \sin \alpha \, d\alpha \quad (4.49)$$

La resolución de la ecuación anterior permite obtener una estimación de la energía de pérdidas de conmutación para cada una de las áreas definidas por los ángulos  $\alpha_1$  y  $\alpha_2$ .

$$E_{(av)} = \frac{1}{2\pi} E_{(Ref)} \left( \frac{\hat{i}_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} (\cos\alpha_1 - \cos\alpha_2) \quad (4.50)$$

La potencia de pérdidas de conmutación queda definida por las Ecuación 4.51, o de forma discretizada en la Ecuación 4.52.

$$P_{isw(av)} = (E_{on(Ref)} + E_{off(Ref)}) \frac{1}{2\pi} \left( \frac{\hat{i}_c}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} (\cos\alpha_1 - \cos\alpha_2) f_s \quad (4.51)$$

$$P_{isw(av)} = f_s E_{(Ref)} \left( \frac{1}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \frac{1}{m_f} \sum_{i=0}^{m_f/2} \hat{i}_c(i) \sin\alpha_d \quad (4.52)$$

Finalmente, siguiendo el procedimiento utilizado en las Ecuaciones 4.42 a 4.47, puede obtenerse las pérdidas de conmutación asociadas a cada transistor en función de los ángulos de entrada y salida de conmutación y del reparto de corrientes en función del número de transistores activados simultáneamente.

En caso de utilizar varias portadoras de distinta frecuencia resulta conveniente obtener una expresión que contemple la variación de frecuencia a lo largo de medio periodo de la señal de modulación. Las ecuaciones 4.51 y 4.52 determinan las pérdidas de conmutación entre dos ángulos determinados, si la frecuencia de conmutación  $f_s$  varía, la energía promedio se obtendrá a partir de la suma de promedios asociada al número de pulsos en función de  $f_s$ .

La Ecuación 4.53 permite determinar el promedio en función del valor del índice  $i$ . El índice de modulación  $m_{f(j)}$  depende de  $f_{s(j)}$  a lo largo del periodo de la señal, el índice  $j$  define el área de cálculo y  $n_{a(j)}$  y  $n_{b(j)}$  los índices que delimitan dicha área (Figura 4.14). La amplitud de corriente  $\hat{i}_c(j)$  depende del número de transistores activados de forma simultánea.

$$P_{isw(av)} = f_s (E_{on(Ref)} + E_{off(Ref)}) \left( \frac{1}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right)^{K_v} \left( \dots \frac{1}{m_{f(j)}} \sum_{i=n_{a(j)}}^{n_{b(j)}} \hat{i}_c(j) \sin \left( \frac{2\pi i}{m_{f(j)}} \right) \right) \quad (4.53)$$

Las Ecuaciones 4.54 a 4.57 determinan los ángulos de selección de portadora en función de la entrada  $\alpha_i$  (ángulo inicial) y salida  $\alpha_f$  (ángulo final) del estado de activación de los transistores que integra el interruptor. Los ángulos están expresados en radianes y su correspondiente índice discreto inicial  $n_i$  y final  $n_f$  depende del índice de modulación de frecuencia  $m_f$ .

$$\alpha_{i(j)} = \sin^{-1} \left( \frac{j}{n} \right) \quad (4.54)$$

$$\alpha_{f(j)} = \pi - \alpha_{i(j)} \quad (4.55)$$

$$n_{i(j)} = \lceil m_{f(j)} \cdot \alpha_{i(j)} \rceil \quad (4.56)$$

$$n_{f(j)} = \lceil m_{f(j)} \cdot \alpha_{f(j)} \rceil \quad (4.57)$$

#### 4.3.3.6 Pérdidas de conmutación en el diodo

Puesto que no se tiene control sobre la entrada en conducción del diodo, la estimación de pérdidas de conmutación puede obtenerse contemplando únicamente el reparto de corrientes a través de los diodos en paralelo. Según la Ecuación 4.10 y considerando un reparto equilibrado de corrientes en los diodos, la estimación de pérdidas en el diodo puede calcularse mediante la Ecuación 4.60, donde  $n$  indica el número de transistores conectados en paralelo.

$$E_{dsw(av)} = \frac{1}{2\pi} E_{rr(Ref)} \left( \frac{\hat{i}_c/n}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) \int_{\alpha_1}^{\alpha_2} \sin \alpha \, d\alpha \quad (4.58)$$

$$E_{dsw(av)} = \frac{1}{2\pi} E_{rr(Ref)} \left( \frac{\hat{i}_c/n}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) (\cos \alpha_1 - \cos \alpha_2) \quad (4.59)$$

$$P_{dsw(av)} = \frac{1}{\pi} E_{rr(Ref)} \left( \frac{\hat{i}_c/n}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) f_s \quad (4.60)$$

La Ecuación 4.61 permite estimar las pérdidas en función de las condiciones de conmutación entre dos ángulos, de este modo es posible determinar las pérdidas en caso de variar la frecuencia de la portadora. La Ecuación 4.62 es la ecuación de pérdidas expresada mediante un sumatorio.

$$P_{dsw(av)} = \frac{1}{2\pi} E_{rr(Ref)} \left( \frac{\hat{i}_c/n}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) (\cos \alpha_1 - \cos \alpha_2) f_s \quad (4.61)$$

$$P_{dsw(av)} = f_s E_{rr(Ref)} \left( \frac{1}{i_{c(Ref)}} \right) \left( \frac{v_{ce}}{v_{ce(Ref)}} \right) \left( \frac{d\hat{i}_c/dt}{di_{c(Ref)}/dt} \right) \left( \dots \frac{1}{m_{f(j)}} \sum_{i=n_{a(j)}}^{n_{b(j)}} \hat{i}_c(j) \sin \left( \frac{2\pi i}{m_{f(j)}} \right) \right) \quad (4.62)$$

## 4.4 Aplicación del modelo de estimación de pérdidas

### 4.4.1 Frecuencia de conmutación constante

En este apartado se estudian las pérdidas totales en un inversor monofásico con interruptores basados en la conexión en paralelo de cuatro transistores y con un interruptor basado en un

único transistor. Para determinar las pérdidas es necesario obtener previamente los parámetros del modelo estático del transistor que, en algunos casos son proporcionados por los fabricantes en las hojas de especificaciones técnicas [IXY11]. La Tabla 4.3 muestra los parámetros de simulación.

Tabla 4.3 – Parámetros de simulación.

Símbolo	Descripción	Valor
$m_a$	Índice de modulación de amplitud (máximo)	0,75
$\theta$	Desfase entre tensión y corriente del convertidor	87,49 °
$v_{ce}$	Tensión colector-emisor de simulación (bus de continua)	100 V
$\hat{i}_c$	Amplitud de corriente máxima del interruptor	10 $\sqrt{2}$ A
$f$	Frecuencia de la señal de modulación (SPWM)	50 Hz
$f_s$	Frecuencia de conmutación	5 kHz – 70 kHz
$m_f$	Índice de modulación de frecuencia	100 - 1400

El apartado A.2.1 *Interruptor basado en cuatro transistores en paralelo y conmutación adaptativa* del Anexo de este documento muestra los resultados de simulación de los modelos de estimación de pérdidas.

#### 4.4.1.1 *Interruptor basado en cuatro transistores en paralelo y conmutación adaptativa*

A partir de los datos de las Tablas 4.3 y 4.4, se obtienen las pérdidas de cada tramo en función de la corriente de salida del convertidor y el número de transistores que conmutan de forma simultánea.

Tabla 4.4 – Parámetros de simulación del transistor SKP02N120.

Símbolo	Descripción	Valor
$T_{xx}$	Transistor IGBT SKP02N120 ( <i>Infineon</i> )	
$v_{ce0}$	Tensión umbral colector-emisor	2,5 V
$r_{ce}$	Resistencia colector-emisor equivalente	480 m $\Omega$
$v_{j0}$	Tensión umbral diodo en antiparalelo	1,25 V
$r_d$	Resistencia de conducción del diodo equivalente	312,5 m $\Omega$
$E_{on}$	Energía de activación por pulso	0,33 mJ
$E_{off}$	Energía de desactivación por pulso	0,15 mJ
$v_{ce(Ref)}$	Tensión colector-emisor de referencia ( $E_{on}$ , $E_{off}$ )	800 V
$i_{c(Ref)}$ , $i_{f(Ref)}$	Corriente de colector de referencia ( $E_{on}$ , $E_{off}$ )	8 A

La Figura 4.16 muestra la evolución de la potencia de pérdidas de conducción en transistores y diodos y las pérdidas de conmutación en función de la corriente de salida a distintas frecuencias de conmutación.

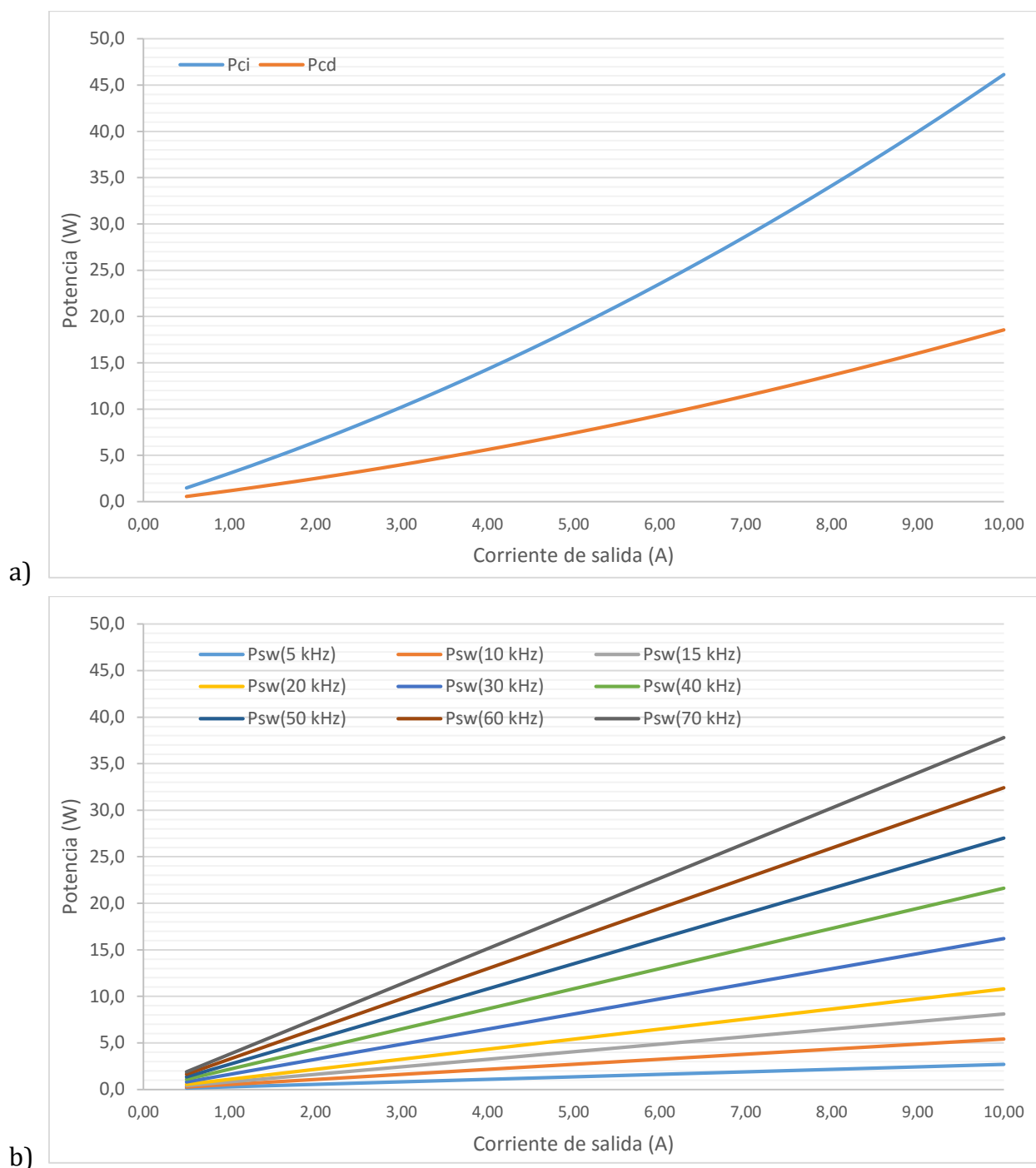


Figura 4.16 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz), a) Pérdidas de conducción en transistor y diodos, b) Pérdidas de conmutación.

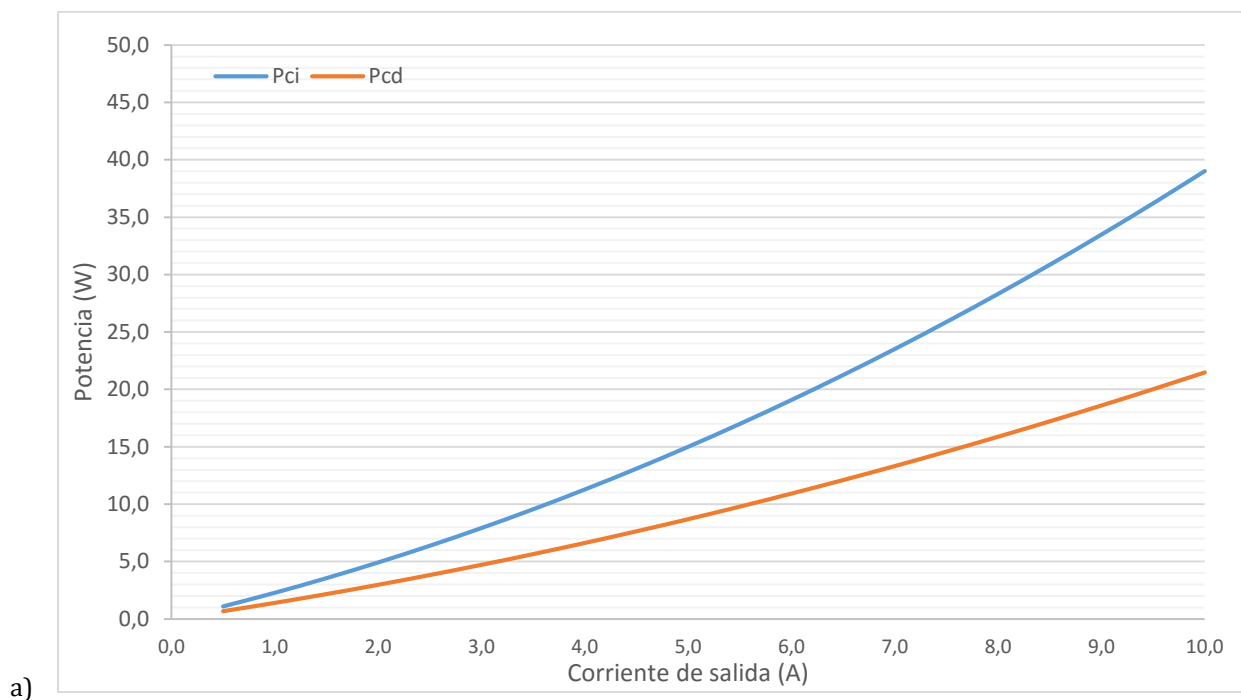
#### 4.4.1.2 Interruptor basado en un único transistor

A continuación se comparan los resultados con un interruptor basado en un único transistor de características equivalentes al grupo de cuatro transistores. La Tabla 4.5 muestra los parámetros utilizados para la estimación de pérdidas en las condiciones especificadas en la Tabla 4.3.

Tabla 4.5 – Parámetros de simulación del transistor SKW07N120.

Símbolo	Descripción	Valor
$T_{xx}$	Transistor IGBT SKW07N120 ( <i>Infineon</i> )	
$v_{ce0}$	Tensión umbral colector-emisor	2,3 V
$r_{ce}$	Resistencia colector-emisor equivalente	173 m $\Omega$
$v_{f0}$	Tensión umbral diodo en antiparalelo	1,2 V
$r_d$	Resistencia de conducción del diodo equivalente	85,7 m $\Omega$
$E_{on}$	Energía de activación por pulso	1,2 mJ
$E_{off}$	Energía de desactivación por pulso	0,9 mJ
$v_{ce(Ref)}$	Tensión colector-emisor de referencia ( $E_{on}$ , $E_{off}$ )	800 V
$i_{c(Ref)}$ , $i_{f(Ref)}$	Corriente de colector de referencia ( $E_{on}$ , $E_{off}$ , $E_{rr}$ )	8 A

La Figura 4.17 muestra la evolución de las pérdidas en el conjunto de transistores en función de la corriente de salida del convertidor y la frecuencia de conmutación.



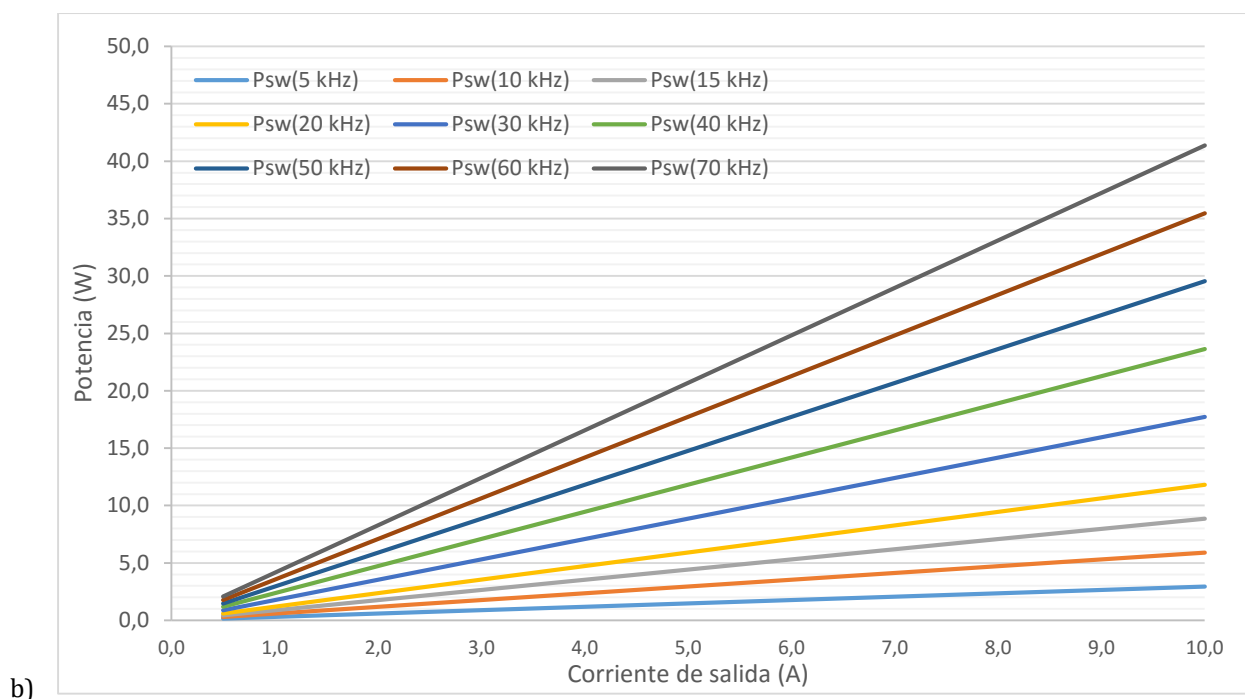


Figura 4.17 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz), a) Pérdidas de conducción en transistor y diodos, b) Pérdidas de conmutación.

Los resultados obtenidos muestran que cuando la frecuencia de conmutación es baja, las menores pérdidas de conducción en transistores de mayor corriente repercuten en unas menores pérdidas totales en los interruptores del convertidor. A medida que la frecuencia de conmutación aumenta, las menores pérdidas de conmutación en transistores de menor corriente permiten reducir las pérdidas totales del conjunto de transistores del convertidor.

#### 4.4.1.3 Interruptor basado en cuatro transistores en paralelo y conmutación simultánea

El único modo de mejorar las pérdidas de conducción en el conjunto de interruptores formado por cuatro transistores en paralelo es forzando la conducción de todos independientemente del valor de la corriente de salida del convertidor. Para ello, se estimarán las pérdidas del transistor de la Tabla 4.4 cuando se activan simultáneamente todos los transistores, independientemente de la amplitud de corriente de salida del convertidor.

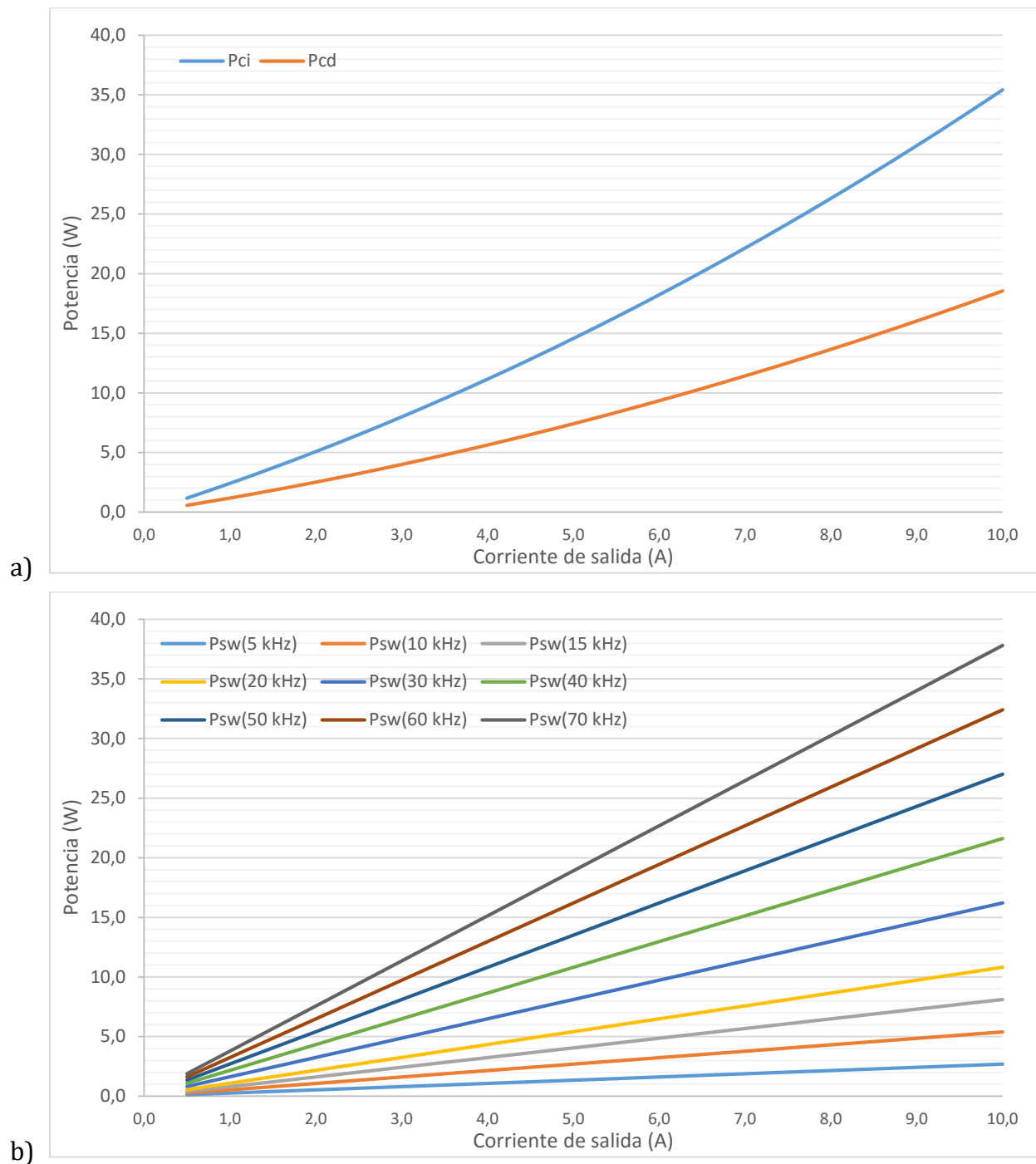


Figura 4.18 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz), a) Pérdidas de conducción en transistor y diodos, b) Pérdidas de conmutación.

La Figura 4.18 muestra un descenso en las pérdidas de conducción de los transistores. Las pérdidas de conmutación son exactamente las mismas que las mostradas en la Figura 4.16. Estos resultados muestran que la reducción del número de conmutaciones no reduce las pérdidas de conmutación del interruptor equivalente.



Si se comparan estos resultados con los mostrados en la Figura 4.17 puede afirmarse que la conexión en paralelo puede reducir las pérdidas totales en interruptores de potencia. Esta tendencia es más apreciable a medida que aumenta la corriente nominal del transistor.

La Figura 4.19 muestra una comparativa de los resultados de simulación. Se comparan las pérdidas en interruptores en paralelo con conmutación adaptativa con los otros dos métodos analizados.

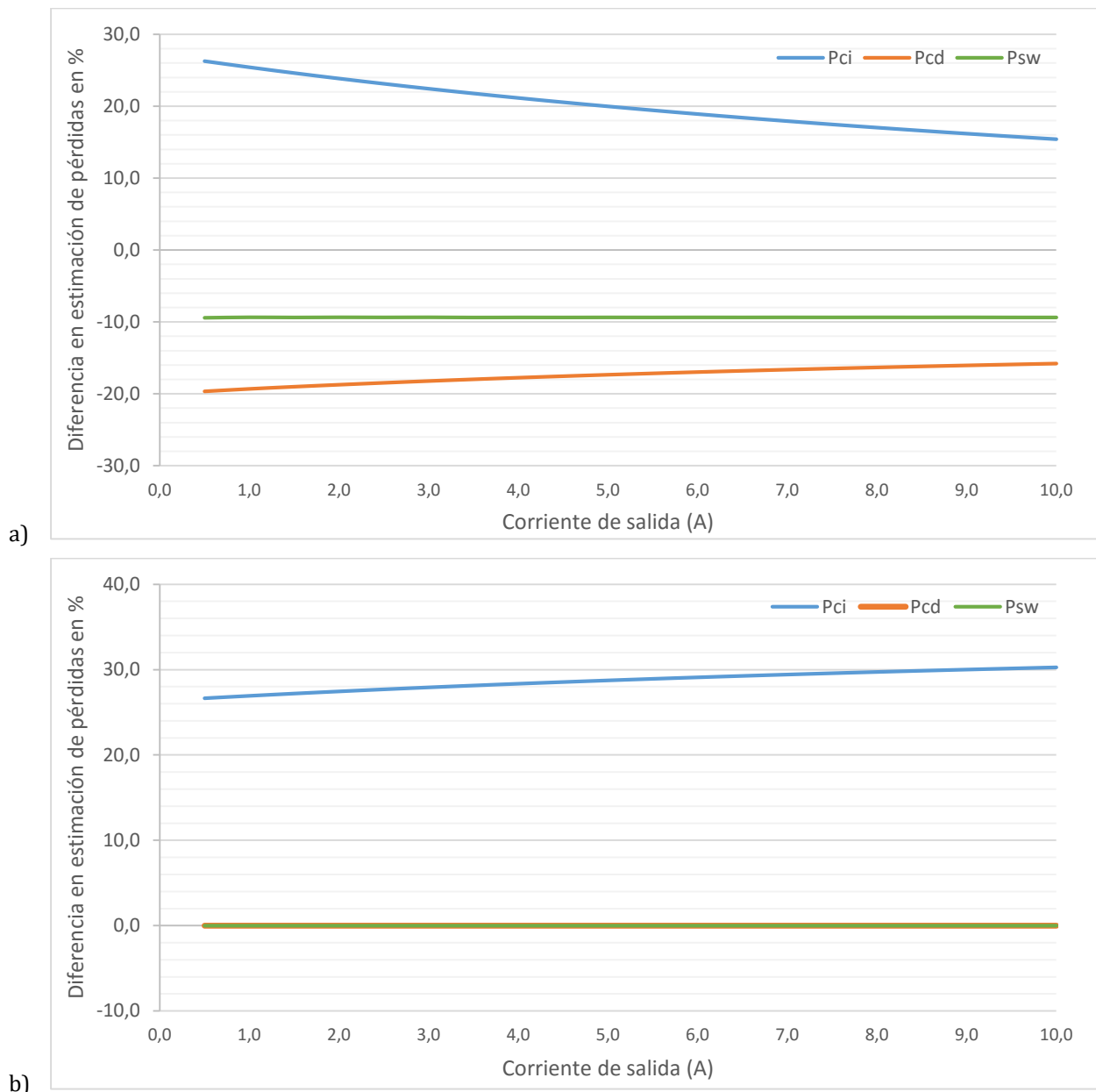


Figura 4.19 – Comparativa de estimación de pérdidas de conducción en transistor ( $P_{ci}$ ) y diodo ( $P_{cd}$ ) y pérdidas de conmutación totales ( $P_{sw}$ ), a) Cuatro transistores en conmutación adaptativa vs un transistor, b) Cuatro transistores en conmutación adaptativa vs cuatro transistores en conmutación simultánea.

#### 4.4.2 Frecuencia de conmutación variable

En este apartado se plantea una comparativa en la estimación de pérdidas en el inversor, cuya gestión de la conmutación se basa en la modulación de una portadora multifrecuencia. La frecuencia de conmutación se selecciona siguiendo el criterio basado en el nivel de energía procesada. Para establecer una referencia, se utilizarán los resultados obtenidos en transistores en paralelo en conmutación simultánea, puesto que han resultado ser la configuración que puede proporcionar una mayor eficiencia al convertidor.

Las Figuras 4.20 y 4.21 muestran las pérdidas de conmutación cuando se aplican técnicas de modulación basadas en portadoras multifrecuencia. Los resultados obtenidos muestran cómo la variación de la frecuencia de conmutación basada en el valor instantáneo de la corriente de salida, reduce de forma significativa las pérdidas de conmutación. En el primer caso se observa un nivel de pérdidas de conmutación inferior al que se obtendría en un convertidor con una frecuencia de conmutación constante de 10 kHz, mientras que en el segundo caso las pérdidas obtenidas se aproximan a las que tendría el inversor con una frecuencia de conmutación constante de 15 kHz.

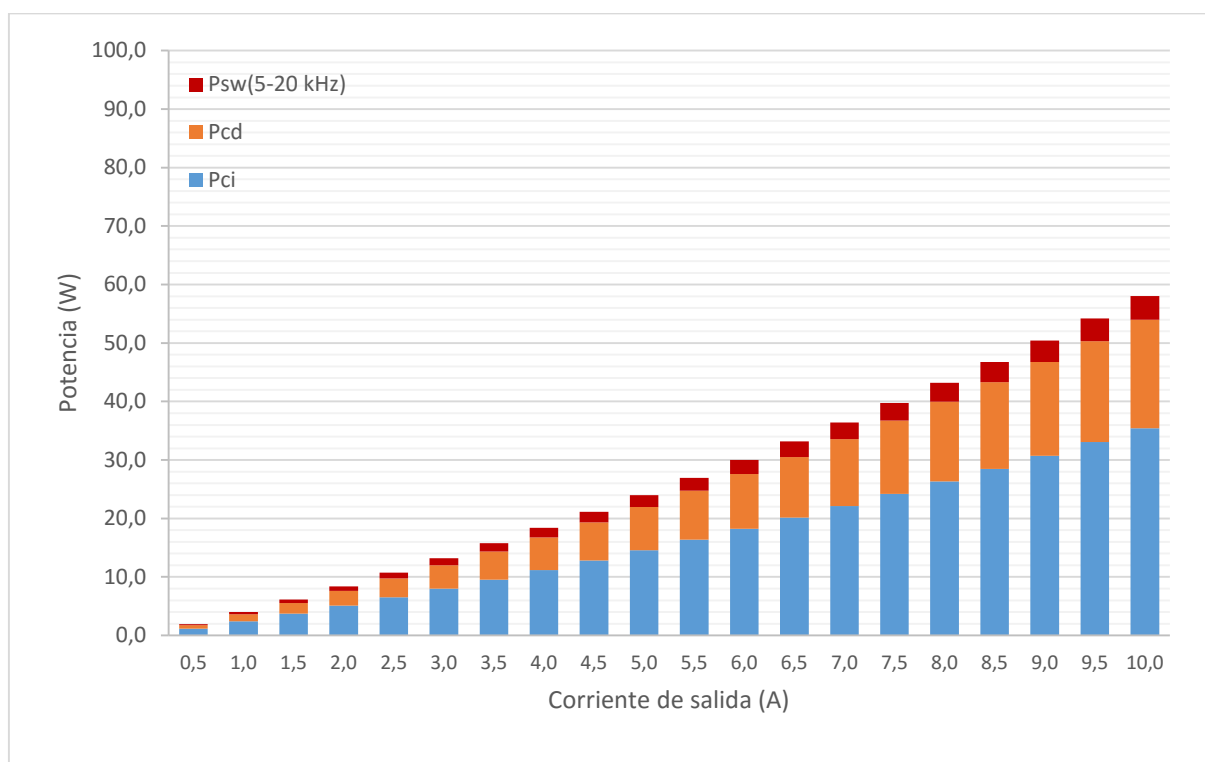


Figura 4.20 - Estimación de pérdidas en transistores de un inversor monofásico con portador multifrecuencia. Selección en función de la amplitud de corriente (20, 15, 10, 5) kHz.

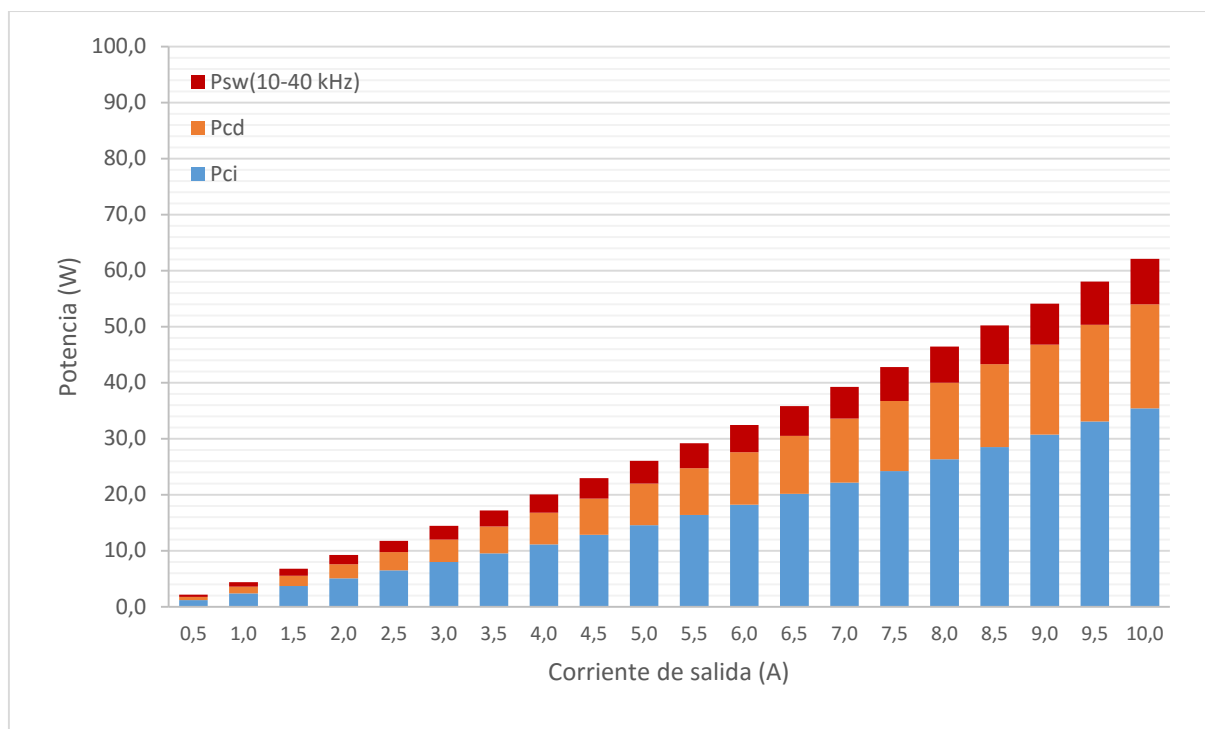


Figura 4.21 - Estimación de pérdidas en transistores de un inversor monofásico con portador multifrecuencia. Selección en función de la amplitud de corriente (40, 30, 20, 10) kHz.

#### 4.5 Conclusiones

Cuando se comparan las pérdidas de un interruptor con múltiples transistores en paralelo con las obtenidas en un único transistor de prestaciones equivalentes se obtienen resultados muy distintos. En algunos casos, la estimación de pérdidas muestra mejores resultados si el interruptor está basado en un conjunto de transistores, mientras que en otros casos el resultado es mejor si el interruptor está formado por un único transistor. Esto se debe a que las pérdidas en transistores dependen de una gran multitud de variables tales como la tensión umbral en transistor y diodo, las resistencias de conducción equivalentes, la energía de encendido y paro de los transistores y el desfase entre la tensión de salida del convertidor y la corriente. Todos estos parámetros definen las pérdidas en los transistores y la mayoría dependen de sus características de fabricación.

El modelo de estimación de pérdidas determina los siguientes resultados:

- En general, la conexión en paralelo de transistores puede reducir las pérdidas en interruptores de potencia pero las características de fabricación y el rango de corrientes resultan un elemento clave para reducir dichas pérdidas.

- La modulación adaptativa no aporta ninguna mejora en las pérdidas de conmutación a pesar de la reducción del número de conmutaciones del conjunto de transistores. Las pérdidas de conmutación permanecen invariables mientras que las pérdidas de conducción se incrementan. La reducción del número de transistores en conducción, cuando la amplitud de corriente así lo determina, supone un incremento de la resistencia equivalente de conducción en transistores IGBT. Este comportamiento puede ser aún más evidente en transistores MOSFET.
- La modulación basada en el uso de una portadora multifrecuencia permite reducir las pérdidas por periodo de conmutación en los interruptores de potencia. La selección de frecuencias en función de la amplitud de corriente reduce las pérdidas de conmutación a medida que las pérdidas de conducción se incrementan. La aplicación de estas técnicas afectan al filtro de acoplamiento a red.

En el siguiente capítulo se analizan las pérdidas en el filtro de salida del convertidor considerando el efecto que produce la variación de la frecuencia de conmutación si se utilizan técnicas de modulación basadas en una portadora multifrecuencia.

# CAPÍTULO 5

## Estimación de pérdidas del filtro de acoplamiento a red

### 5.1 Introducción

Los dispositivos magnéticos son un elemento fundamental en la electrónica de potencia y el diseño de estos dispositivos está estrechamente ligado al diseño del convertidor [ERI01]. Los componentes magnéticos habilitan la interconexión entre fuentes de tensión actuando como una fuente de corriente.

En inversores de potencia, los filtros de acoplamiento a red son los componentes utilizados como dispositivo de interconexión entre la red y el convertidor de modo que la eficiencia global de la instalación depende también de la eficiencia energética del filtro. Por este motivo, se estudiarán los efectos en la eficiencia de estos filtros cuando se aplican técnicas adaptativas de control de transistores en paralelo. La Figura 5.1 muestra el esquema de un inversor monofásico con filtros de acoplamiento a red basados en estructuras L y LCL.

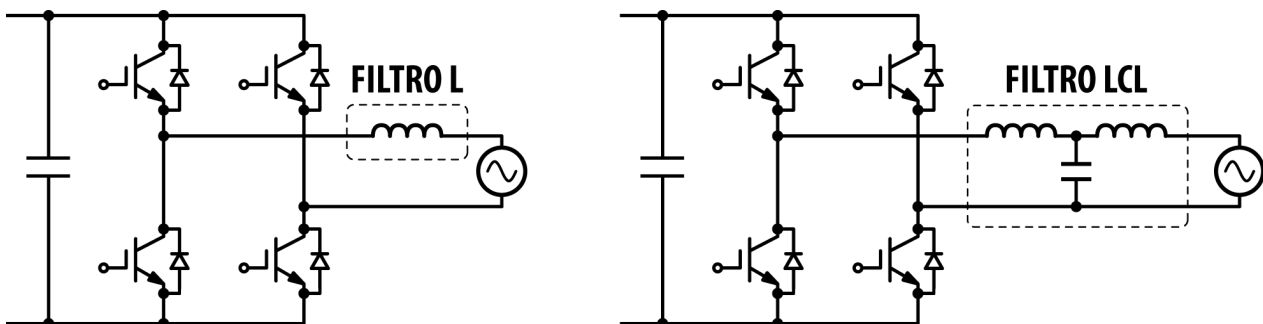


Figura 5.1 – Filtros L y LCL de acoplamiento a red en inversor monofásico.

En el capítulo 2 se han presentado dos métodos de gestión de interruptores basados en la conexión de múltiples transistores en paralelo. El primer método mantiene constante la frecuencia de conmutación del convertidor seleccionando el número de transistores que se activarán de forma simultánea en función de la energía transferida. El segundo método mantiene constante el valor medio de la frecuencia de conmutación de los transistores que integra el interruptor equivalente. En este caso el nivel de energía transferida determina la frecuencia de conmutación del conjunto de transistores en paralelo. En los dos casos la variable utilizada para determinar la cantidad de energía a transferir es la corriente de salida del convertidor.

La conexión o desconexión de transistores en paralelo no influye en modo alguno en las pérdidas de la inductancia de salida del convertidor, cuando la frecuencia de conmutación del convertidor no varía. Sin embargo, cuando las técnicas de modulación producen una variación de la frecuencia de conmutación del convertidor, entonces la eficiencia de la inductancia si puede verse afectada.

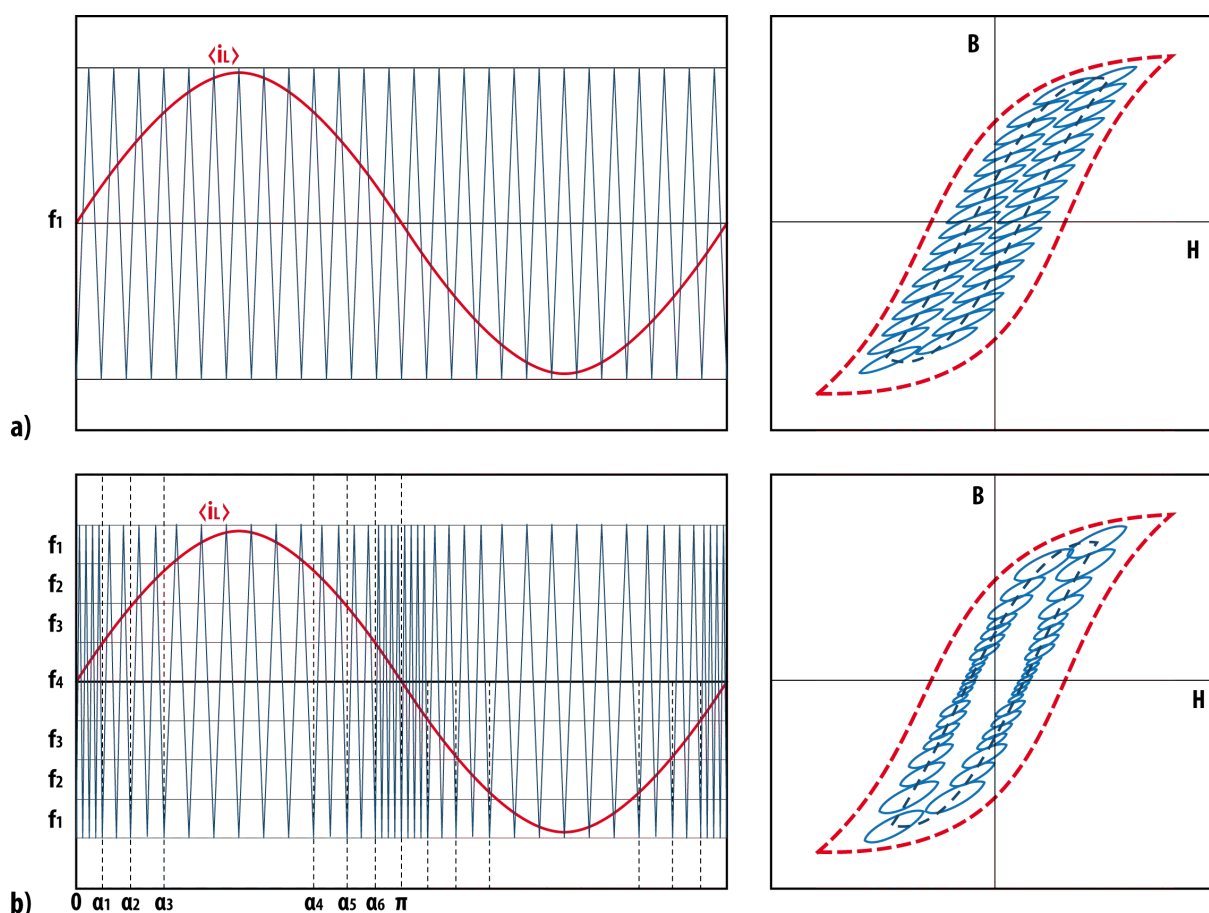


Figura 5.2 – a) Control SPWM basado en portadora triangular y curva de magnetización, b) umbrales de selección de frecuencia de portadora en función de la amplitud de corriente y curva de magnetización equivalente.

La distribución de las conmutaciones que aporta el control adaptativo permite el uso de múltiples portadoras de distinta frecuencia de conmutación. La Figura 5.2 muestra la selección de la frecuencia de conmutación en función de la amplitud de corriente de salida del convertidor, donde los umbrales de selección de la portadora son los analizados en el estudio de estimación de pérdidas en transistores. La variación de la frecuencia de conmutación modifica el área encerrada por el ciclo de histéresis debida a la corriente de alta frecuencia.

La variación de la frecuencia de conmutación modifica la magnetización del núcleo de las inductancias de acoplamiento a red. Esta variación de comportamiento mostrado en la curva de magnetización de la Figura 5.2 también supone un cambio en las pérdidas en el núcleo. En los siguientes apartados se analizarán métodos de estimación de pérdidas en filtros de acoplamiento a red y se determinará la influencia de las técnicas de control propuestas en dichas pérdidas.

## 5.2 Estimación de pérdidas en componentes magnéticos

La estimación de pérdidas es una de las principales áreas de investigación en el diseño y modelado de componentes inductivos [MCL04, DUN08, MU13, HUR13]. Generalmente se clasifican en dos grupos:

- Pérdidas en el núcleo: dependen de varios factores como la forma de onda del flujo magnético, el material, la frecuencia o el perfil del núcleo magnético.
- Pérdidas en el cobre: asociados a la corriente, a la frecuencia en el caso del efecto *Skin*, a la distribución del campo magnético o al material del conductor utilizado en la construcción del componente inductivo.

### 5.2.1 Pérdidas en el núcleo

La principal área de investigación en la estimación de pérdidas en componentes magnéticos es la referente al estudio de pérdidas en el núcleo magnético. Tradicionalmente, el cálculo de las pérdidas en el núcleo se obtiene a partir de la suma de las fuentes que las producen:

- Pérdidas por histéresis.
- Pérdidas por corrientes de *Foucault*.
- Pérdidas adicionales.

A continuación, se describe el mecanismo por el cual se producen dichas pérdidas, pero antes conviene introducir el concepto de dominio magnético. Se denomina dominio magnético a una

pequeña región en el espacio del material ferromagnético del orden de  $10^{-12}$  a  $10^{-8}$  m<sup>3</sup> en el que todos sus dipolos magnéticos están alineados. La dirección de la alineación es distinta entre regiones adyacentes y la distribución de regiones no es homogénea.

La Figura 5.3 muestra el efecto que ejerce un campo magnético externo en un material ferromagnético. A medida que el campo magnético aumenta, los dominios magnéticos tienden a orientarse en la misma dirección provocando el desplazamiento del espacio entre dominios conocido como paredes de dominios. [TIP02, SER96, CAL13, COE10, JIL98].

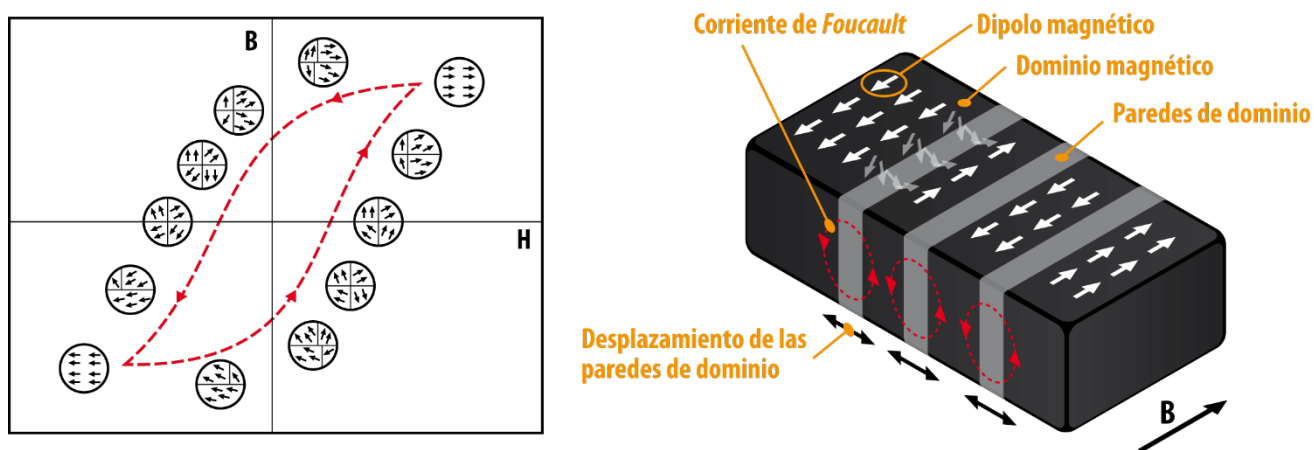


Figura 5.3 – Dominios magnéticos e influencia en los dominios sometidos al efecto de un campo magnético.

Pérdidas en el núcleo:

- **Pérdidas por histéresis:** Se deben al comportamiento no reversible que se produce en el proceso de alineación de los dipolos magnéticos del material bajo la influencia de un campo magnético externo. El área incluida en la curva de histéresis es proporcional a la energía disipada en forma de calor en el proceso de magnetización y desmagnetización del material magnético tal y como muestra la Figura 5.4 [TIP02, WIL04]. Así, las pérdidas por histéresis son proporcionales a la frecuencia de la excitación que origina el campo magnético H, según indica la Ecuación 5.1.

$$P_h = f \oint B dH \quad (5.1)$$



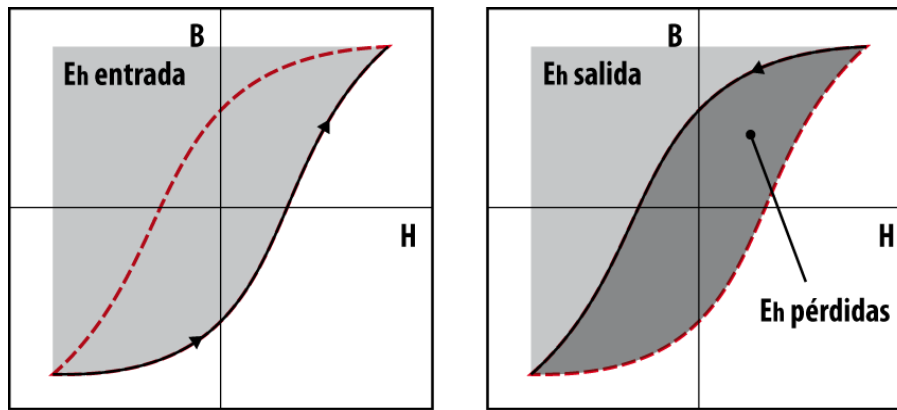


Figura 5.4 – Transferencia de energía y pérdidas por histéresis, a) energía de entrada y b) energía de salida.

El primer modelo de estimación de pérdidas en el núcleo magnético es el descrito por *Steinmetz*. La Ecuación 5.2 se conoce como Ecuación de *Steinmetz* [STE92].

$$P_h = k_h f B^\beta \quad (5.2)$$

- Pérdidas por corrientes de *Foucault* o corrientes torbellino (*Eddy currents*): Las pérdidas por corriente de *Foucault* se producen debido a la aparición de corrientes dentro del núcleo cuando está sometido a un campo magnético variable en el tiempo. El campo magnético externo provoca el desplazamiento de las paredes de dominios, cuyo efecto origina la aparición de pequeñas corrientes disipadas en forma de calor. Las pérdidas producidas por las corrientes de Foucault son proporcionales al cuadrado de la frecuencia según indica la Ecuación 5.3 [BER88].

$$P_e = k_c \sigma (f \hat{B})^2 \quad (5.3)$$

- Pérdidas adicionales: Atribuidas principalmente a las corrientes de *Foucault* [1], [2], se deben, entre otros motivos, a que los dominios magnéticos no se distribuyen de forma homogénea ni su movimiento es uniforme ni periódico. Las pérdidas por histéresis y por corrientes de *Foucault* no describen las pérdidas totales, de este modo, las pérdidas adicionales permiten compensar esta diferencia. La Ecuación 5.4 muestra la dependencia de las pérdidas adicionales con la frecuencia de la señal de excitación [BER88].

$$P_a = k_a (f \hat{B})^{\frac{3}{2}} \quad (5.4)$$

Así, la potencia de pérdidas en función del volumen del núcleo magnético se obtiene a partir de la suma de las tres fuentes, según indica la Ecuación 5.5.

$$P_v = P_h + P_e + P_a \quad (5.5)$$

El modelo descrito por *Bertotti* [BER88], mostrado en la Ecuación 5.6, es un ejemplo de método de estimación de pérdidas en el núcleo que sigue el criterio de estimación en función de la fuente que las origina.

$$P_v = P_h + P_e + P_a = k_h f \hat{B}^\beta + k_c \sigma (f \hat{B})^2 + 8\sqrt{\sigma GSV_0} (f \hat{B})^{\frac{3}{2}} \quad (5.6)$$

La Ecuación 5.6 describe de forma precisa las pérdidas en el núcleo cuando la fuente de excitación de los componentes inductivos es sinusoidal. Sin embargo, la proliferación de sistemas de procesamiento de energía basados en convertidores de potencia, ha revelado que los modelos clásicos de estimación de pérdidas no describen de forma satisfactoria las pérdidas en el núcleo cuando las fuentes de excitación no son sinusoidales.

El siguiente apartado resume de forma breve algunos modelos de estimación que contemplan los efectos producidos por fuentes de excitación no sinusoidal.

## 5.2.2 Modelos de estimación de pérdidas en el núcleo magnético

### 5.2.2.1 Introducción

En los últimos años se han presentado varios modelos con el objetivo de obtener mejores resultados cuando se consideran escenarios más próximos a los encontrados en el ámbito de la electrónica de potencia. Por este motivo se han propuesto modelos de estimación de pérdidas donde se consideran fuentes de excitación no sinusoidal, ejemplo de ello son los modelos *MSE* [ALB96], *GSE* [LI01], *iGSE* [VEN02], *NSE* [BOS04, BOS05], *i<sup>2</sup>GSEN* [MUH12a], *WcSE* [SHE06] o *CWH* [SUL10]. Estos modelos, que derivan de la Ecuación de *Steinmetz*, se basan en la aplicación de la Ecuación de potencia o Ecuación de la ley de potencia [JIE01], mostrada en la Ecuación 5.7, que permite calcular las pérdidas en el núcleo magnético por unidad de volumen  $P_v$ , donde  $\hat{B}$  es la inducción máxima,  $f$  la frecuencia de la fuente de excitación sinusoidal y  $k, \alpha, \beta$  son coeficientes proporcionados por fabricantes (coeficientes de *Steinmetz*), obtenidos a partir de ensayos experimentales.

$$P_v = k f^\alpha \hat{B}^\beta \quad (5.7)$$

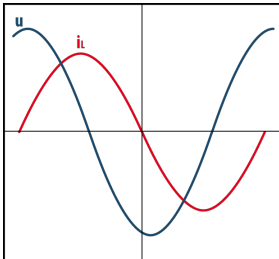
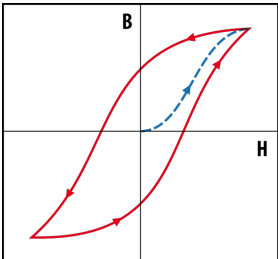
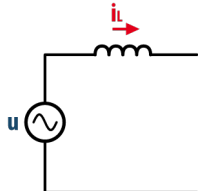
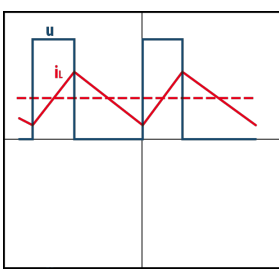
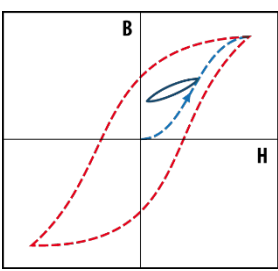
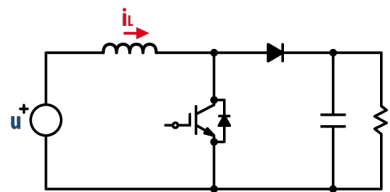
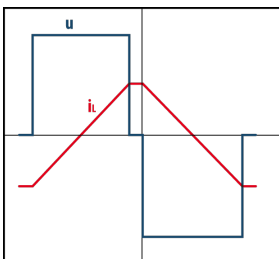
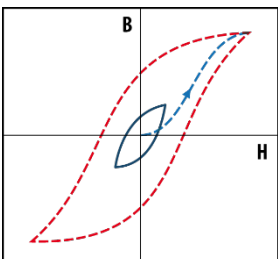
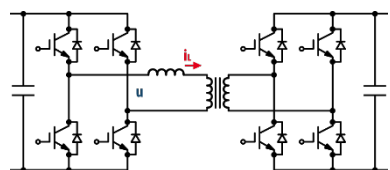
Los modelos propuestos tratan de cuantificar las pérdidas totales en una única expresión puesto que, independientemente del fenómeno físico que las produzca, todas se originan por efecto del mismo campo magnético. No obstante, la aplicación de estos modelos no siempre aporta resultados precisos cuando se consideran distintos tipos de formas de onda de las fuentes de excitación o el tipo de material utilizado en la construcción del núcleo magnético. En otros casos

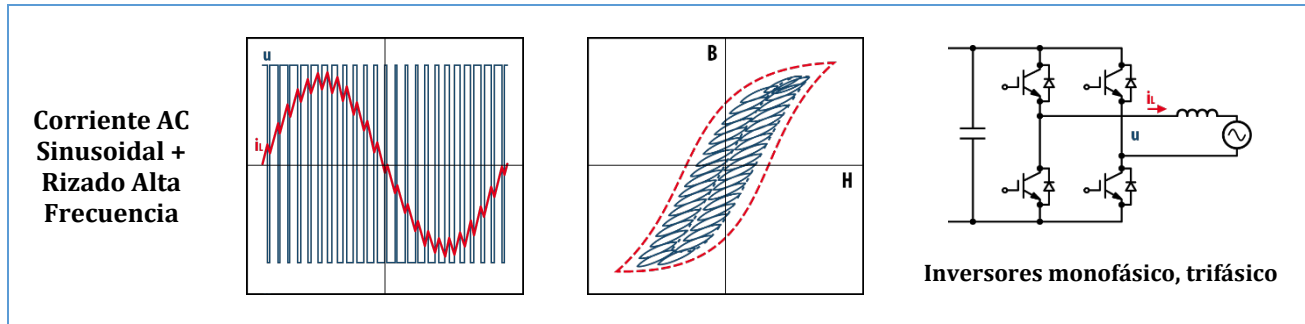
los métodos resultan difíciles de aplicar al requerir la realización de ensayos previos con el objetivo de obtener parámetros necesarios para la aplicación del modelo [MU13].

En la estimación de las pérdidas es necesario considerar las formas de onda aplicadas al componente inductivo puesto que definen la evolución temporal del flujo magnético. Identificar el comportamiento del flujo permite seleccionar el modelo de estimación más adecuado. La Tabla 5.1 muestra la evolución del flujo magnético según el tipo de forma de onda para distintas aplicaciones de la electrónica de potencia.

En los siguientes apartados se resumen algunos de los modelos adecuados para la estimación de pérdidas en componentes magnéticos utilizados en convertidores estáticos prestando especial atención a inversores donde la fuente de excitación está compuesta por una fuente sinusoidal de baja frecuencia y una fuente triangular de alta frecuencia.

Tabla 5.1 – Evolución del flujo magnético en el núcleo en aplicaciones de electrónica de potencia.

Descripción	Tensión excitación y corriente	Flujo magnético	Ejemplo aplicación
<b>Corriente AC Sinusoidal</b>			
<b>Corriente DC + Rizado Alta Frecuencia</b>			 <b>Buck, Boost, ...</b>
<b>Corriente AC No Sinusoidal</b>			



### 5.2.2.2 Métodos basados en fuentes de excitación no sinusoidal

Considerando la fuente de excitación, los estudios propuestos estos últimos años han tratado de obtener modelos más precisos considerando como fuentes de excitación formas de onda de tipo rectangular, habituales en electrónica de potencia. En este apartado se resume brevemente algunos de estos modelos que han sido objeto de análisis para establecer sus ventajas e inconvenientes para su aplicación en el diseño de componentes magnéticos [MU13].

- **Modelo *Modified Steinmetz Equation (MSE)*:**

El modelo *MSE* vincula las pérdidas del núcleo con el valor promedio de variación del flujo magnético del material según la relación mostrada en las Ecuaciones 5.8 y 5.9, donde  $f$  es la frecuencia de la señal de excitación,  $T$  el periodo de la frecuencia y  $\hat{B}$  es la inducción máxima. Este modelo proporciona la estimación de pérdidas cuando la fuente de excitación es no sinusoidal y establece que, si una fuente de excitación sinusoidal produce en promedio la misma variación del flujo magnético que las producidas por una fuente de excitación no sinusoidal, las pérdidas en el núcleo pueden estimarse si se considera una fuente sinusoidal de distinta frecuencia ( $f_{eq}$ ).

$$P_{v(MSE)} = k f_{eq}^{\alpha-1} \hat{B}^{\beta} f \quad (5.8)$$

$$f_{eq} = \frac{2}{(\pi \hat{B})^2} \int_0^T \left( \frac{dB}{dt} \right)^2 dt \quad (5.9)$$

- **Modelos *Generalized Steinmetz Equation (GSE)*, *Improved GSE (iGSE)* y *Natural Steinmetz Equation (NSE)*:**

El modelo *GSE* vincula las pérdidas en el núcleo con los valores instantáneos de densidad de flujo magnético  $B(t)$  y variación de flujo  $dB/dt$ .

$$P_{v(GSE)} = \frac{1}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha |B(t)|^{\beta-\alpha} dt \quad (5.10)$$

$$k_i = \frac{k}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos\theta|^\alpha |\sin\theta|^{\beta-1} d\theta} \quad (5.11)$$

Los modelos *iGSE* y *NSE*, presentados de forma paralela, describen la misma hipótesis respecto a la estimación de pérdidas en el núcleo. Estos modelos proponen la obtención de las pérdidas totales a partir de cada uno de los ciclos de histéresis asociados a la señal de excitación. Los modelos vinculan las pérdidas en el núcleo con la densidad de flujo máxima  $\hat{B}$  de cada ciclo de histéresis y la variación de flujo  $dB/dt$ .

Modelo *iGSE*:

$$P_{v(iGSE)} = \frac{1}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha \Delta B^{\beta-\alpha} dt \quad (5.12)$$

$$k_i = \frac{k}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos\theta|^\alpha 2^{\beta-\alpha} d\theta} \quad (5.13)$$

Modelo *NSE*:

$$P_{v(NSE)} = \frac{1}{T} \int_0^T k_N \left| \frac{dB}{dt} \right|^\alpha \left( \frac{\Delta B}{2} \right)^{\beta-\alpha} dt \quad (5.14)$$

$$k_N = \frac{k}{(2\pi)^{\alpha-1} \int_0^{2\pi} |\cos\theta|^\alpha d\theta} \quad (5.15)$$

La principal ventaja de estos métodos es que para su aplicación solo se requieren los coeficientes de *Steinmetz*.

- Modelo *Improved iGSE (i<sup>2</sup>GSE)*:

El modelo *i<sup>2</sup>GSE* incorpora las pérdidas que se producen en el núcleo magnético cuando el valor de tensión de la fuente de excitación es nulo. Las pérdidas que se producen en estas condiciones se deben al efecto de relajación al existir variación de flujo magnético. El modelo *i<sup>2</sup>GSE* describe con mayor precisión fuentes de excitación no sinusoidal, pero requiere la realización de ensayos para la obtención de parámetros adicionales (Ecuaciones 5.16 a 5.18).

$$P_{v(i^2_{GSE})} = \frac{1}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha (\Delta B)^{\beta-\alpha} dt + \sum_{l=1}^n P_{rl} \quad (5.16)$$

$$P_{rl} = \frac{1}{T} k_r \left| \frac{dB(t_-)}{dt} \right|^{\alpha_r} (\Delta B)^{\beta_r} (1 - e^{-\frac{t_l}{\tau}}) \quad (5.17)$$

$$Q_{rl} = e^{-q_r \left| \frac{dB(t_+)/dt}{dB(t_-)/dt} \right|} \quad (5.18)$$

- Modelo *Composite Waveform Hypothesis (CWH)*:

El modelo *CWH* describe las pérdidas en núcleos magnéticos en un periodo de conmutación a partir de la suma de las pérdidas generadas en cada semiperiodo de la señal de excitación rectangular que aparece en terminales del filtro de acoplamiento a red. Cada semiperiodo es considerado como un pulso rectangular de amplitud y duración determinadas.

$$P_{v(CWH)} = \max(k_1 f^{\alpha_1} \hat{B}^{\beta_1} + k_2 f^{\alpha_2} \hat{B}^{\beta_2}) \quad (5.19)$$

La Ecuación 5.19 consta de dos términos, cada término describe las pérdidas en cada medio pulso de la forma de onda rectangular en un periodo de conmutación.

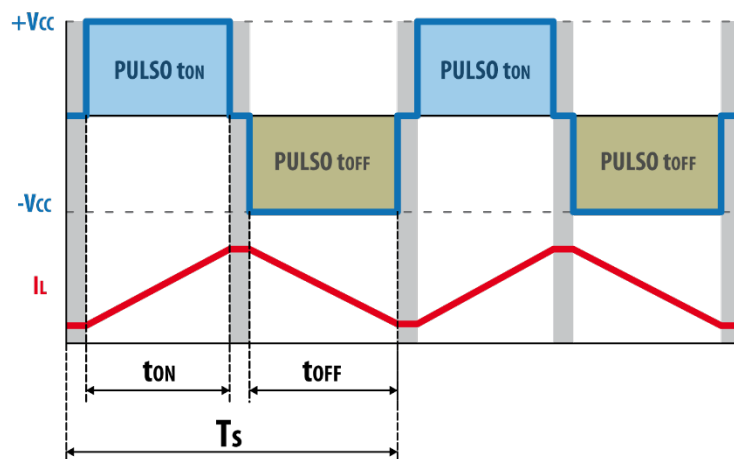


Figura 5.5 – Pérdidas en el núcleo en un periodo de conmutación como suma de pulsos.

### 5.2.3 Pérdidas en el cobre

El factor que contribuye en mayor medida a las pérdidas en el cobre es el paso de corriente a través de las espiras que forman el conductor del componente magnético. La estimación de pérdidas del cobre se determina considerando el efecto Joule y la geometría y el material del conductor, tal y como indica la Ecuación 5.20, donde  $\rho$ ,  $l$  y  $A$  son el coeficiente de resistividad, la longitud y la sección del conductor respectivamente.

$$P_{co} = \rho \frac{l}{A} \bar{I}^2 = R_{DC} \bar{I}^2 \quad (5.20)$$

No obstante, cuando la corriente no es continua, aparecen otros efectos que incrementan las pérdidas en el cobre en función de la frecuencia de la corriente por el conductor. Los efectos *skin* y proximidad incrementan dichas pérdidas [MUH12b, BUR14].

### 5.2.3.1 Pérdidas por efecto Skin

El efecto *skin* se produce por efecto del propio campo magnético que genera la corriente que circula por el conductor. Por efecto del campo magnético inducido, la corriente encuentra una mayor dificultad de paso por el centro del conductor, originándose una distribución no uniforme de la densidad de corriente. Este efecto da origen a un incremento del valor de la impedancia en el interior del conductor, de modo que la corriente tiende a circular por la superficie del mismo (Figura 5.6). La profundidad en la que la corriente se distribuye define el área efectiva por la que circula la corriente y depende de la frecuencia  $f$ , la permeabilidad magnética  $\mu$  y la conductividad del material  $\sigma$  según la Ecuación 5.21 [HUR13].

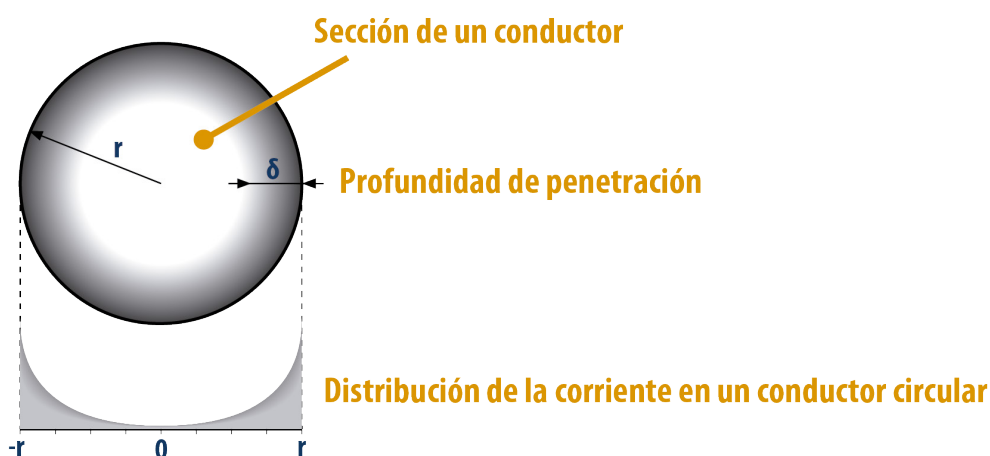


Figura 5.6 – Distribución de corriente en un conductor circular.

$$\delta = \frac{1}{\sqrt{\sigma\pi\mu f}} \quad (5.21)$$

Así, en conductores con un radio mayor que  $\delta$  quedan afectados por el efecto *Skin* y la resistencia  $R_{AC}$  equivalente puede determinarse de forma simplificada según la Ecuación 5.22 considerando la relación entre el área del conductor y el área efectiva definida por  $\delta$  [EIC05].

$$R_{AC} = R_{DC} \frac{\pi r^2}{\pi r^2 - \pi(r - \delta)^2} \quad (5.22)$$

Las pérdidas por efecto *skin* pueden determinarse mediante la Ecuación 5.23.

$$P_s = R_{AC} I_{rms}^2 \quad (5.23)$$

Considerando el caso de un inversor cuya corriente total es la suma de una corriente de baja frecuencia y un rizado de alta frecuencia, las pérdidas pueden determinarse a partir de las pérdidas que origina cada componente frecuencial según la Ecuación 5.24.

$$P_s = R_{DC} I_{rms}^2 + \sum_{i=1}^n R_{AC}(f_i) I_{i(rms)}^2 \quad (5.24)$$

A partir de las expresiones anteriores se observa la relación que existe entre la frecuencia y el incremento de la resistencia equivalente del conductor. El modelo descrito determina, a partir del valor de la resistencia  $R_{DC}$ , el incremento del valor de la resistencia en función de la distancia  $\delta$ . Éste mismo principio es el utilizado en otros modelos de una dimensión [MUH12b, SUL01, HUR13].

Para reducir las pérdidas por efecto *skin* se utilizan conductores multifilares aislados, conocidos como hilo de *Litz*. El hilo de *Litz* incrementa el área efectiva del conductor manteniendo la misma superficie. Para que el comportamiento sea efectivo, la distribución en paralelo no es suficiente, siendo óptimo si los conductores están trenzados [MUH12b].

Considerando las pérdidas en el cobre debidas al uso de múltiples portadoras, el devanado debe diseñarse teniendo en cuenta la frecuencia de la portadora de mayor valor.

### 5.2.3.2 Pérdidas por efecto de proximidad

Las pérdidas por efecto de proximidad se deben a la influencia que el campo magnético produce en un conductor debido al paso de corriente en conductores próximos. El análisis de pérdidas puede suponer un reto puesto que existen muchas configuraciones posibles, para obtener resultados precisos es necesario contemplar la geometría, la disposición y la distancia de los devanados del componente magnético [MUH12b]. Las Ecuaciones 5.25 y 5.26 muestran un método simplificado para determinar las pérdidas totales en el conductor debidas a los efectos *Skin* y proximidad [HUR13].

$$R_{AC} = R_{DC} \left( 1 + \frac{\left(\frac{r}{\delta}\right)^4}{48 + 0,8 \left(\frac{r}{\delta}\right)^4} \right) \quad \frac{r}{\delta} < 1,7 \quad (5.25)$$

$$R_{AC} = R_{DC} \left( \frac{1}{4} + \frac{1}{2} \left(\frac{r}{\delta}\right) + \frac{3}{32} \left(\frac{\delta}{r}\right) \right) \quad \frac{r}{\delta} > 1,7 \quad (5.26)$$



## 5.3 Filtro L

### 5.3.1 Introducción

En la introducción se indicaba que la inductancia actúa como una fuente de corriente, siendo el elemento de interfaz entre la red y el convertidor. El rizado de corriente y, en consecuencia, el contenido armónico, dependerá directamente de la ecuación que define la relación entre la tensión y la corriente a través de la inductancia además de la estrategia de conmutación utilizada (Ecuación 5.27).

$$i_L(t) = \frac{1}{L} \int_0^{\delta T} v_L(t) dt \quad (5.27)$$

La principal ventaja que se obtienen al utilizar una inductancia como interfaz de acoplamiento a red es el menor coste e impacto en términos de eficiencia energética si se compara con otras clases de dispositivos tales como los filtros LCL.

### 5.3.2 Estimación de pérdidas en filtros L

Los modelos de estimación de pérdidas muestran la relación que existe entre la frecuencia de conmutación y la densidad de flujo con las pérdidas del núcleo de material magnético. Como resultado, el incremento de la frecuencia de conmutación puede verse compensado por la disminución del rizado de corriente y, en consecuencia, de la inducción de campo magnético (Figura 5.7).

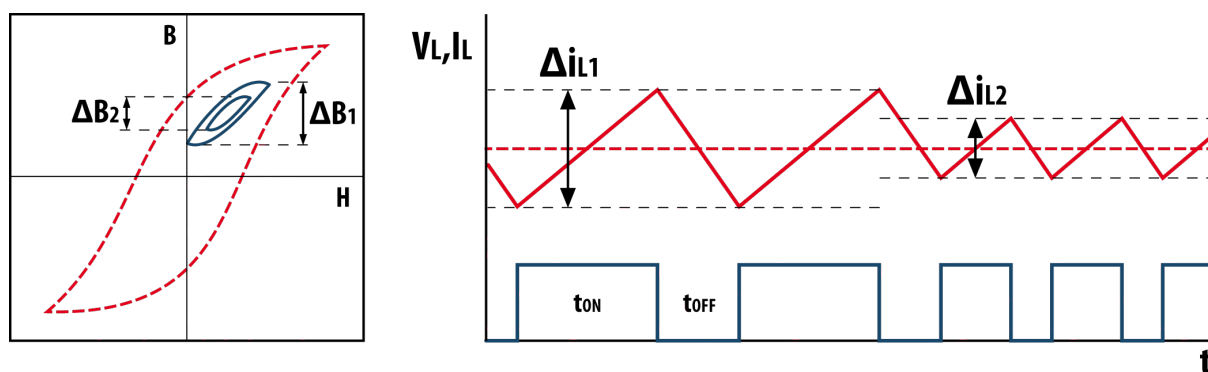


Figura 5.7 – Relación entre las pérdidas en el núcleo por periodo de conmutación.

Para validar el comportamiento previsto en las pérdidas en el núcleo, se aplicará un método de estimación de pérdidas considerando una fuente de excitación rectangular generando una corriente sinusoidal de baja frecuencia y una triangular superpuesta de alta frecuencia y ciclo de trabajo variable.

### 5.3.2.1 Pérdidas en el núcleo (modelo iGSE)

Las Ecuaciones 5.12 y 5.13 pueden simplificarse al considerar cada conmutación como un segmento lineal. La suma de todos los segmentos en un periodo determinará las pérdidas por periodo según indican las Ecuaciones 5.28 y 5.29 [VEN02]. La Ecuación considera el número de espiras  $N$ , la sección equivalente del núcleo magnético  $A_e$ , la tensión aplicada al devanado de la inductancia  $V$ , la inducción máxima  $\Delta B$ , el tiempo del pulso de tensión aplicado  $\Delta t_i = (t_{m+1} - t_m)$  y los coeficientes de *Steinmetz* proporcionados por el fabricante del núcleo magnético  $\alpha$ ,  $\beta$  y  $k$ .

$$P_{v(iGSE)} = \frac{k_i \Delta B^{\beta-\alpha}}{T} \sum_m \left| \frac{B_{m+1} - B_m}{t_{m+1} - t_m} \right|^\alpha (t_{m+1} - t_m) \quad (5.28)$$

$$k_i = \frac{k}{2^{\beta+1} \pi^{\alpha-1} \left( 0,2761 + \frac{1,7061}{\alpha + 1,354} \right)} \quad (5.29)$$

Las pérdidas totales se obtienen a partir del área asociada a cada ciclo de histéresis en un periodo completo de la señal. Considerando la modulación sinusoidal utilizada en un inversor conectado a red, el pulso  $\Delta t_i$  depende de la función sinusoidal mostrada en la Ecuación 5.30, donde  $T_s$  es el periodo de conmutación del convertidor y  $m_a$  el índice de modulación de amplitud. El número de ciclos de histéresis depende del índice de modulación de frecuencia  $m_f$  puesto que define el número de conmutaciones por periodo de modulación.

$$\Delta t_i = \delta T_s = \frac{1}{2}(1 + m_a \sin(\omega t)) T_s \quad (5.30)$$

Estimación de pérdidas debidas a la corriente sinusoidal de baja frecuencia, Ecuaciones 5.31 y 5.32 y corriente triangular de alta frecuencia, Ecuaciones 5.33 y 5.34:

$$P_{v\sim} = \frac{1}{T} \int_0^T k_i \left| \frac{dB}{dt} \right|^\alpha \Delta B^{\beta-\alpha} dt = k f^\alpha \left( \frac{\Delta B}{2} \right)^\beta \quad (5.31)$$

$$\Delta B_\sim = \frac{1}{A_e N} \int_0^T m_a U_{DC} \sin \omega t dt = \frac{m_a U_{DC}}{\omega A_e N} \quad (5.32)$$

$$P_{v\Delta} = \frac{k_i}{T} \sum_{i=0}^n \left| \frac{\Delta B_{\Delta i}}{\delta_i T_s} \right|^\alpha \Delta B_{\Delta i}^{\beta-\alpha} \delta_i T_s + \left| \frac{\Delta B'_{\Delta i}}{(1 - \delta_i) T_s} \right|^\alpha \Delta B'_{\Delta i}^{\beta-\alpha} (1 - \delta_i) T_s \quad (5.33)$$

$$\Delta B_{\Delta} = \frac{1}{A_e N} \int_0^{T_s} U_{DC} dt \left\{ \Delta B_{\Delta} = \frac{U_{DC}}{A_e N} \delta_i T_s, \quad \Delta B'_{\Delta} = \frac{U_{DC}}{A_e N} (1 - \delta_i) T_s \right. \quad (5.34)$$

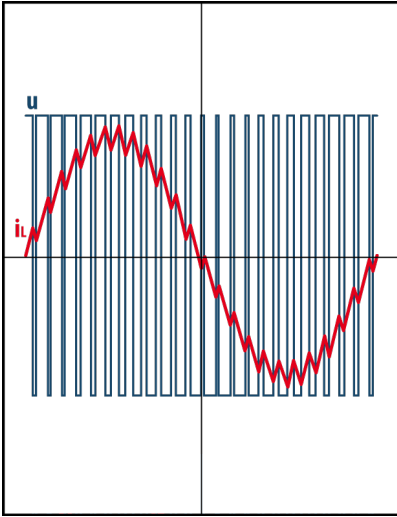
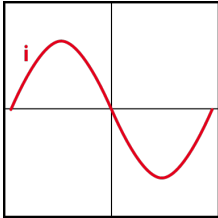
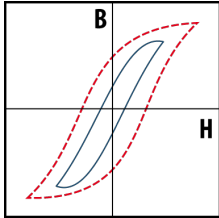
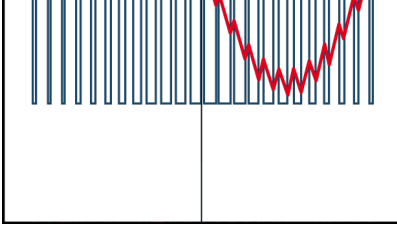
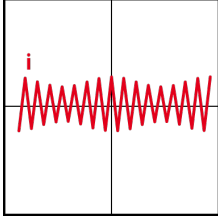
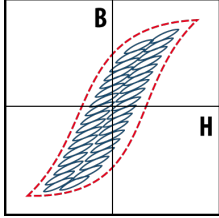
Donde  $\delta_i$  es el resultado de la función sinusoidal de la Ecuación 5.35 y  $n$  el índice de modulación de frecuencia de la Ecuación 5.36.

$$\delta_i = \frac{1}{2} \left( 1 + m_a \sin \left( \frac{2\pi i}{n} \right) \right) \quad (5.35)$$

$$n = m_f = \frac{f_s}{f} \quad (5.36)$$

La Tabla 5.2 muestra la forma de onda aplicada y las Ecuaciones utilizadas para la estimación de pérdidas en el núcleo en un inversor.

Tabla 5.2 – Estimación de pérdidas en el núcleo magnético de un filtro de acoplamiento a red en un inversor con modulación sinusoidal SPWM.

Tensión excitación y forma de onda de corriente	Corriente	Flujo magnético	Ecuaciones
			5.31 y 5.32
			5.33 y 5.34

- Ejemplo: En la Figura 5.8 se muestran las pérdidas en el núcleo debidas a la corriente de alta frecuencia en función de la frecuencia de conmutación  $f_s$  si  $\alpha = 1,15$ ,  $\beta = 2,2$ ,  $k = 0,7$ ,  $A_e = 2000 \text{ mm}^2$ ,  $N = 40$ ,  $U_{DC} = 100 \text{ V}$ :

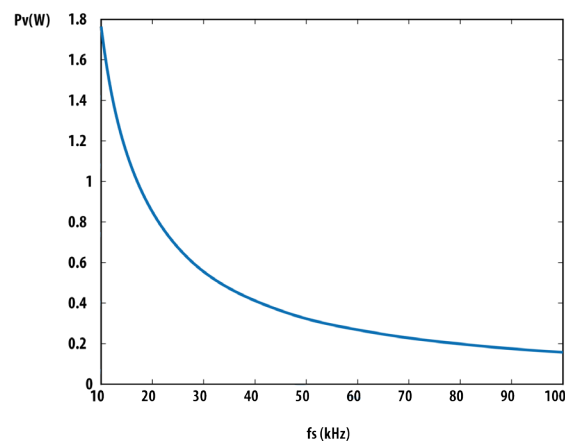


Figura 5.8 –Estimación de pérdidas en el núcleo en función de la frecuencia de conmutación.

### 5.3.2.2 Pérdidas en el núcleo (modelo CWH)

La Ecuación 5.37 y 5.38 muestran el modelo de pérdidas *CWH* en función del ancho de pulso y la amplitud de tensión aplicada. De este modo es posible cuantificar la energía de pérdidas del núcleo en un periodo de la señal de salida del inversor, donde  $t_a$  es el tiempo de duración del pulso de excitación y  $V_a$  la amplitud de tensión de dicho pulso.

$$E_{f(V,\delta)} = \max \left( \frac{k_1}{(NA)^{\beta_1} 2^{(\beta_1+\alpha_1)}} V_a^{\beta_1} t_a^{\gamma_1}, \frac{k_2}{(NA)^{\beta_2} 2^{(\beta_2+\alpha_2)}} V_a^{\beta_2} t_a^{\gamma_2} \right) \quad (5.37)$$

$$\gamma = 1 + \beta - \alpha \quad (5.38)$$

Considerando la modulación sinusoidal del ciclo de trabajo, la duración de los pulsos a lo largo de un periodo de la tensión de salida del inversor queda definido por las Ecuaciones 5.39 y 5.40. La Figura 5.9 muestra la evolución de los pulsos en un periodo de la señal de baja frecuencia. La amplitud de los pulsos viene determinada por la función de modulación sinusoidal utilizada anteriormente.

$$t_a = \delta T_s = \frac{1}{2} (1 + m_a \sin(\omega t)) T_s \quad (5.39)$$

$$t'_a = T_s - t_a \quad (5.40)$$

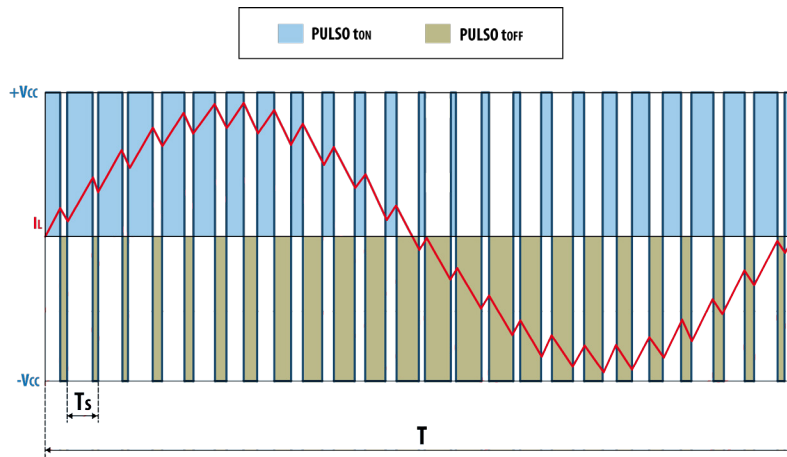


Figura 5.9 – Pérdidas en el núcleo en un periodo de la señal de salida con modulación SPWM

A partir de las Ecuaciones 5.37 a 5.40 se obtienen las Ecuaciones 5.41 a 5.43 que determinan las pérdidas del núcleo a lo largo de un periodo de oscilación de la señal de baja frecuencia de salida del inversor.

$$\bar{E}_a = \frac{1}{4\pi} \int_0^{2\pi} \frac{k_1}{(NA)^{\beta_1} 2^{(\beta_1+\alpha_1)}} V_a^{\beta_1} (1 + m_a \sin(\alpha + \theta))^{\gamma_1} d\alpha \quad (5.41)$$

$$\bar{E}_b = \frac{1}{4\pi} \int_0^{2\pi} \frac{k_2}{(NA)^{\beta_2} 2^{(\beta_2+\alpha_2)}} V_a^{\beta_2} (1 + m_a \sin(\alpha + \theta))^{\gamma_2} d\alpha \quad (5.42)$$

$$E_{f(v,\delta)} = \max(\bar{E}_a, \bar{E}_b) \quad (5.43)$$

Las Ecuaciones 5.41 y 5.42 pueden simplificarse puesto que la estimación de la potencia de pérdidas puede obtenerse como sumatorio de  $n$  pulsos positivos y  $n$  pulsos negativos a lo largo de un periodo, donde  $n$  es el índice de modulación de frecuencia  $m_f$ . Las Ecuaciones 5.44 y 5.45 muestran la relación entre la estimación de la pérdida de energía por conmutación a lo largo de un periodo de la señal moduladora.

$$\bar{E} = \sum_{i=0}^n \max \left( \frac{k_1}{(NA_e)^{\beta_1} 2^{(\beta_1+\alpha_1)}} V_a^{\beta_1} t_a^{\gamma_1}, \frac{k_2}{(NA_e)^{\beta_2} 2^{(\beta_2+\alpha_2)}} V_a^{\beta_2} t_a^{\gamma_2} \right) \quad (5.44)$$

$$\bar{E} = \sum_{i=0}^n \max \left( \frac{k_1}{(NA_e)^{\beta_1} 2^{(\beta_1+\alpha_1)}} V_a^{\beta_1} t_a'^{\gamma_1}, \frac{k_2}{(NA_e)^{\beta_2} 2^{(\beta_2+\alpha_2)}} V_a^{\beta_2} t_a'^{\gamma_2} \right) \quad (5.45)$$

### 5.3.3 Estimación de pérdidas en modulaciones basada en una portadora multifrecuencia

En la introducción del capítulo, se ha observado cómo la curva de magnetización del núcleo de componentes magnéticos se ve alterada cuando se introducen técnicas de variación de frecuencia en el control PWM del convertidor. Estas técnicas pueden aplicarse también en interruptores basados en múltiples transistores en paralelo, por este motivo, se estudiará el efecto del uso de portadoras multifrecuencia en un filtro L utilizando el método *iGSE* de estimación de pérdidas.

Resulta conveniente recuperar las expresiones utilizadas para la estimación de pérdidas en los transistores vistas en el capítulo anterior. La selección de ángulos se determina en función de la amplitud de corriente de salida de inversor y por tanto determinan el número de transistores que operan en paralelo. Los ángulos obtenidos son la elección óptima para la selección de portadora. Las Ecuaciones 5.46 a 5.50 permiten determinar los ángulos de selección de portadora inicial  $\alpha_i$  y final  $\alpha_f$  y su correspondiente índice discreto inicial  $n_i$  y final  $n_f$  en función del índice de modulación de frecuencia  $m_f$ .

$$\alpha_{i(j)} = \sin^{-1} \left( \frac{j}{n} \right) \quad (5.46)$$

$$\alpha_{f(j)} = \pi - \alpha_{i(j)} \quad (5.47)$$

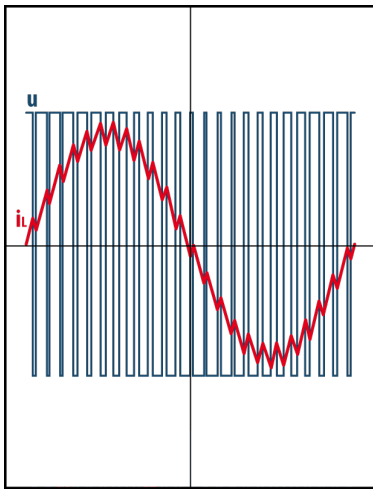
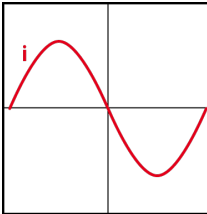
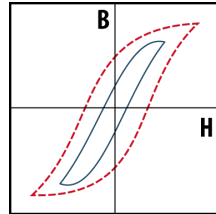
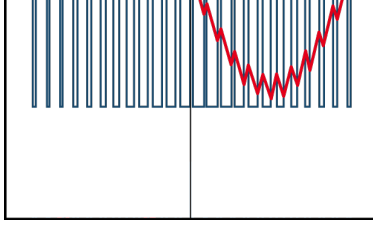
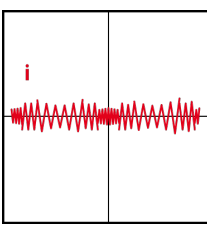
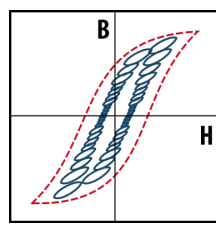
$$n_{i(j)} = \left\lceil m_{f(j)} \cdot \frac{\alpha_{i(j)}}{2\pi} \right\rceil \quad (5.48)$$

$$n_{f(j)} = \left[ m_{f(j)} \cdot \frac{\alpha_{f(j)}}{2\pi} \right] \quad (5.49)$$

$$m_{f(j)} = \frac{f_{s(j)}}{f} \quad (5.50)$$

La aplicación de distintos valores en la frecuencia de conmutación, como consecuencia del uso de portadoras multifrecuencia, modifica las pérdidas en el núcleo debidas a la corriente de alta frecuencia. La Tabla 5.3 muestra los efectos producidos por la variación de la frecuencia de conmutación en el rizado de corriente y en el flujo magnético del núcleo de la inductancia.

Tabla 5.3 – Estimación de pérdidas en el núcleo magnético de un filtro de acoplamiento a red en un inversor con modulación sinusoidal SPWM y control de conmutación mediante portadora multifrecuencia.

Tensión excitación y forma de onda de corriente	Corriente	Flujo magnético	Ecuaciones
			5.31 y 5.32
			5.51, 5.52

Con respecto a la estimación de pérdidas en el núcleo debidas a la corriente sinusoidal de baja frecuencia, el uso de múltiples portadoras no implica ninguna variación de la forma de onda resultante, por tanto, las Ecuaciones 5.31 y 5.32 son válidas para estimar las pérdidas debidas a la corriente de baja frecuencia. Sin embargo, la variación de frecuencia sí altera la forma de onda de la corriente triangular de alta frecuencia y, en consecuencia, las Ecuaciones 5.33 y 5.34 deben adaptarse en función de la portadora utilizada. Las Ecuaciones 5.51 y 5.52 definen las pérdidas en el núcleo considerando el efecto de múltiples portadoras a lo largo de un periodo de conmutación.

$$P_{v\Omega} = \frac{k_i}{T} \sum_{i=0}^n \left| \frac{\Delta B_{\Omega}}{\delta_i T_s} \right|^{\alpha} \Delta B_{\Omega}^{\beta-\alpha} \delta_i T_s + \left| \frac{\Delta B'_{\Omega}}{(1-\delta_i) T_s} \right|^{\alpha} \Delta B'_{\Omega}^{\beta-\alpha} (1-\delta_i) T_s \quad (5.51)$$

$$\Delta B_{\pi} = \frac{1}{A_e N} \int_0^{T_s} U_{DC} dt \begin{cases} \Delta B_{\pi} = \frac{U_{DC}}{A_e N} \delta_i T_s \\ \Delta B'_{\pi} = \frac{U_{DC}}{A_e N} (1 - \delta_i) T_s \end{cases} \quad (5.52)$$

Donde  $\delta_i$  es la función sinusoidal de la Ecuación 5.35 y  $n$  el índice de modulación de frecuencia determinado por cada una de las frecuencias utilizadas en cada una de las portadoras según indica la Ecuación 5.53.

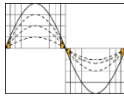
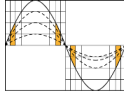
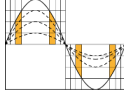
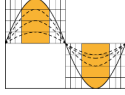
$$n = m_{f(j)} \quad (5.53)$$

Las pérdidas totales se obtienen de la suma de pérdidas producidas por la frecuencia de conmutación de cada portadora, la Ecuación 5.54 muestra esta relación.

$$P_{v\pi} = \frac{k_i}{T} \left( \sum_{i=n_{i(1)}}^{n_{f(1)}} \dots + \sum_{i=n_{i(2)}}^{n_{f(2)}} \dots \sum_{i=n_{i(1)}}^{n_{f(1)}} \dots \right) \quad (5.54)$$

- Ejemplo: Pérdidas en el núcleo debidas a la corriente de alta frecuencia en función de la frecuencia de cada portadora  $f_{sj}$  según la Tabla 5.4 si  $\alpha = 1,15$ ,  $\beta = 2,2$ ,  $k = 0,7$ ,  $A_e = 2000 \text{ mm}^2$ ,  $N = 40$ ,  $U_{DC} = 100 \text{ V}$ :

Tabla 5.4 - Asignación de frecuencias y número de transistores en conmutación simultánea en función de la forma de onda de corriente.

Forma de onda	Transistores	$F_s$ (kHz)	$T_s$ ( $\mu\text{s}$ )
	1	40	25
	2	30	33.3
	3	20	50
	4	10	100

Los resultados se muestran en la Figura 5.10 y se comparan con los obtenidos cuando la frecuencia de conmutación es constante en las condiciones de la Figura 5.8.

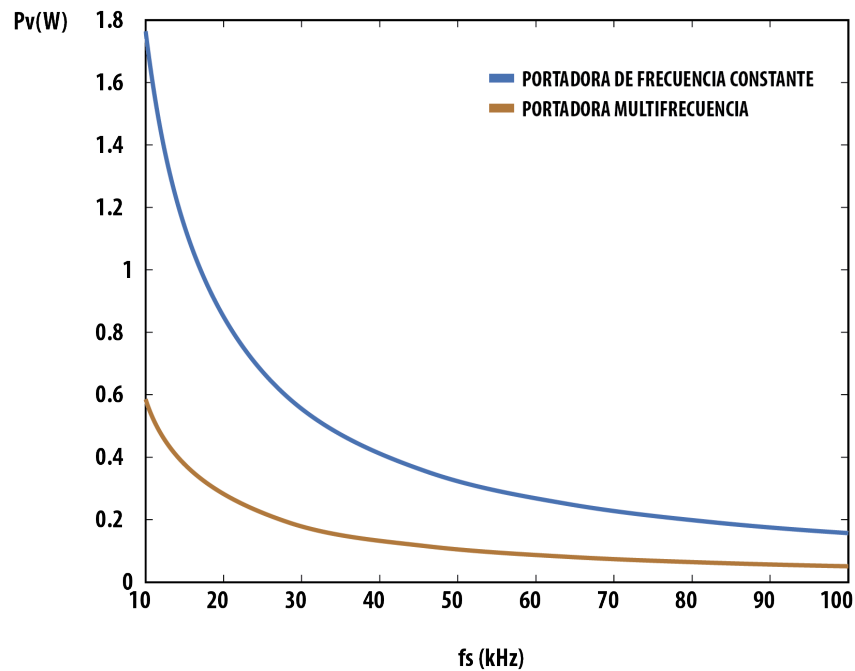


Figura 5.10 – Comparativa de estimación de pérdidas en el núcleo de la Figura 5.7 y resultados aplicando una modulación basada en una portadora multifrecuencia.

#### 5.4 Filtro LCL

En comparación con los filtros L de acoplamiento a red, los filtros LCL atenúan de forma aún más efectiva el rizado de corriente a expensas de incrementar el tamaño del filtro, aumentando el coste y disminuyendo la eficiencia energética. No obstante, es la inductancia de conexión al convertidor la que filtra en mayor medida los componentes de corriente de alta frecuencia. En este sentido, los métodos descritos anteriormente pueden aplicarse a la inductancia de conexión al convertidor en filtros LCL.

Desde el punto de vista de control, un aspecto a considerar en filtros LCL es el aumento del orden de la función de transferencia, esta característica requiere el uso de estrategias de control más complejas. El efecto del condensador en este tipo de filtros puede requerir el uso de técnicas de atenuación por oscilaciones resonantes. Estas técnicas se conocen como *passive damping* cuando se basan en la inclusión de una resistencia en serie con el condensador del filtro y *active damping* cuando se basan en el procesado y realimentación de la tensión en el nodo central del filtro (Figura 5.11) [SUU10].



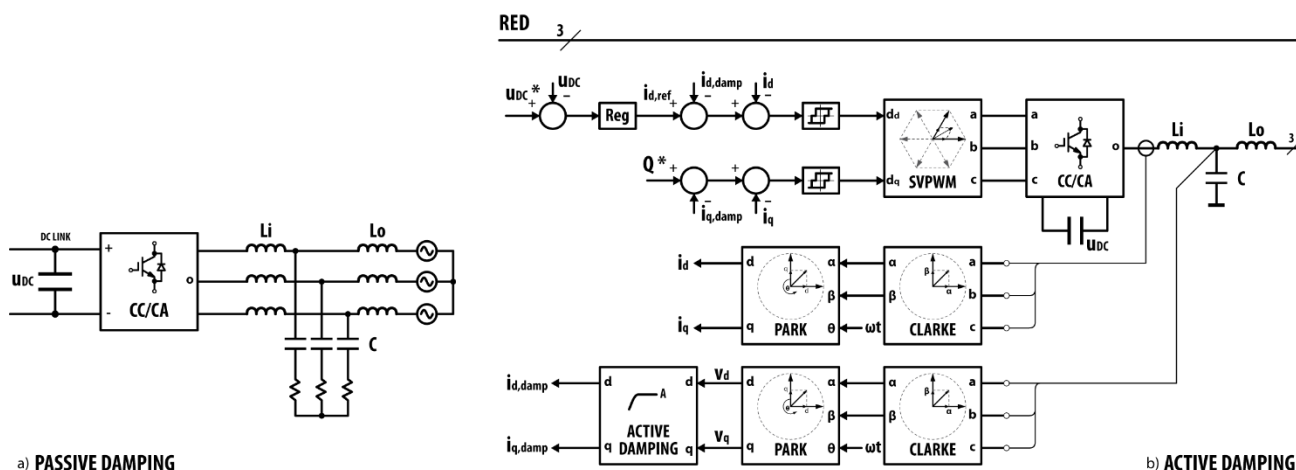


Figura 5.11 – Técnicas de atenuación de oscilaciones resonantes a) *passive damping* y b) *active damping*.

El diseño de un filtro LCL requiere un análisis más profundo, en este trabajo se contemplará únicamente el efecto que las técnicas de modulación producen en filtros tipo L. La sencillez del filtro simplifica la implementación del control y permite verificar con más claridad el efecto que las técnicas de modulación tienen en la distorsión de la corriente de salida.

## 5.5 Conclusiones

La proliferación de convertidores de potencia como elementos de procesamiento y transferencia de energía ha propiciado el estudio y presentación de métodos de estimación de pérdidas en componentes magnéticos en los que se contemplan las condiciones propias de los sistemas electrónicos de potencia. Los modelos tratan de cuantificar las pérdidas en filtros considerando las formas de onda de tensión aplicadas en convertidores conmutados.

A partir del estudio realizado en este capítulo se obtienen las siguientes conclusiones:

- Cuando se aplican técnicas de modulación que modifican de algún modo la frecuencia de conmutación, las pérdidas en los filtros de acoplamiento pueden variar. El modelo de estimación utilizado muestra un descenso en las pérdidas utilizando como criterio de selección de frecuencia el valor instantáneo de la corriente de salida del convertidor. No obstante, la mejora observada en la estimación de pérdidas es baja si se compara con el balance de pérdidas en los transistores.

- Existen otros factores a considerar tales como la distorsión de corriente resultante. En condiciones de baja transferencia de energía, un incremento de la frecuencia de conmutación puede reducir el contenido armónico de la corriente de salida mejorando la distorsión armónica total de la corriente inyectada a red.

# CAPÍTULO 6

---

## Resultados experimentales

### 6.1 Introducción

En capítulos anteriores se han analizado modelos de estimación de pérdidas en semiconductores e inductancia de acoplamiento. El objetivo de este estudio es el de cuantificar el impacto en la eficiencia del convertidor cuando se aplican distintas técnicas de conmutación en los interruptores basados en la conexión en paralelo de transistores.

En este capítulo se describe la plataforma de ensayo, el control de la plataforma y los métodos utilizados para analizar experimentalmente el comportamiento de los semiconductores. Los resultados experimentales se comparan con los obtenidos a partir de los modelos de estimación de pérdidas. Con ese objetivo, se propone la realización de ensayos que permitan discriminar las pérdidas en los transistores y en la inductancia de acoplamiento, mostrando el balance de pérdidas cuando se aplican distintas técnicas de conmutación en función de las condiciones de carga.

Finalmente se realizan ensayos para evaluar el efecto que tiene en la distorsión armónica de la corriente de salida la aplicación de diferentes técnicas de conmutación.

## 6.2 Plataforma de ensayo

Para la adquisición y análisis de datos experimentales se propone la construcción de una plataforma de ensayo basada en un inversor monofásico cuyos interruptores están constituidos por transistores conectados en paralelo. El control de los transistores se realiza mediante circuitos de disparo o *drivers* específicos para esta aplicación, y la etapa de acondicionamiento la conforman transductores de corriente y amplificadores de aislamiento para la medida de tensión. El control de la plataforma se implementa en un microcontrolador Cortex-M4F y la gestión de la conmutación en una FPGA.

La Figura 6.1 muestra una vista general de la plataforma de ensayo. En los siguientes apartados se describe la topología y el control del convertidor, así como el sistema de medida y acondicionamiento.

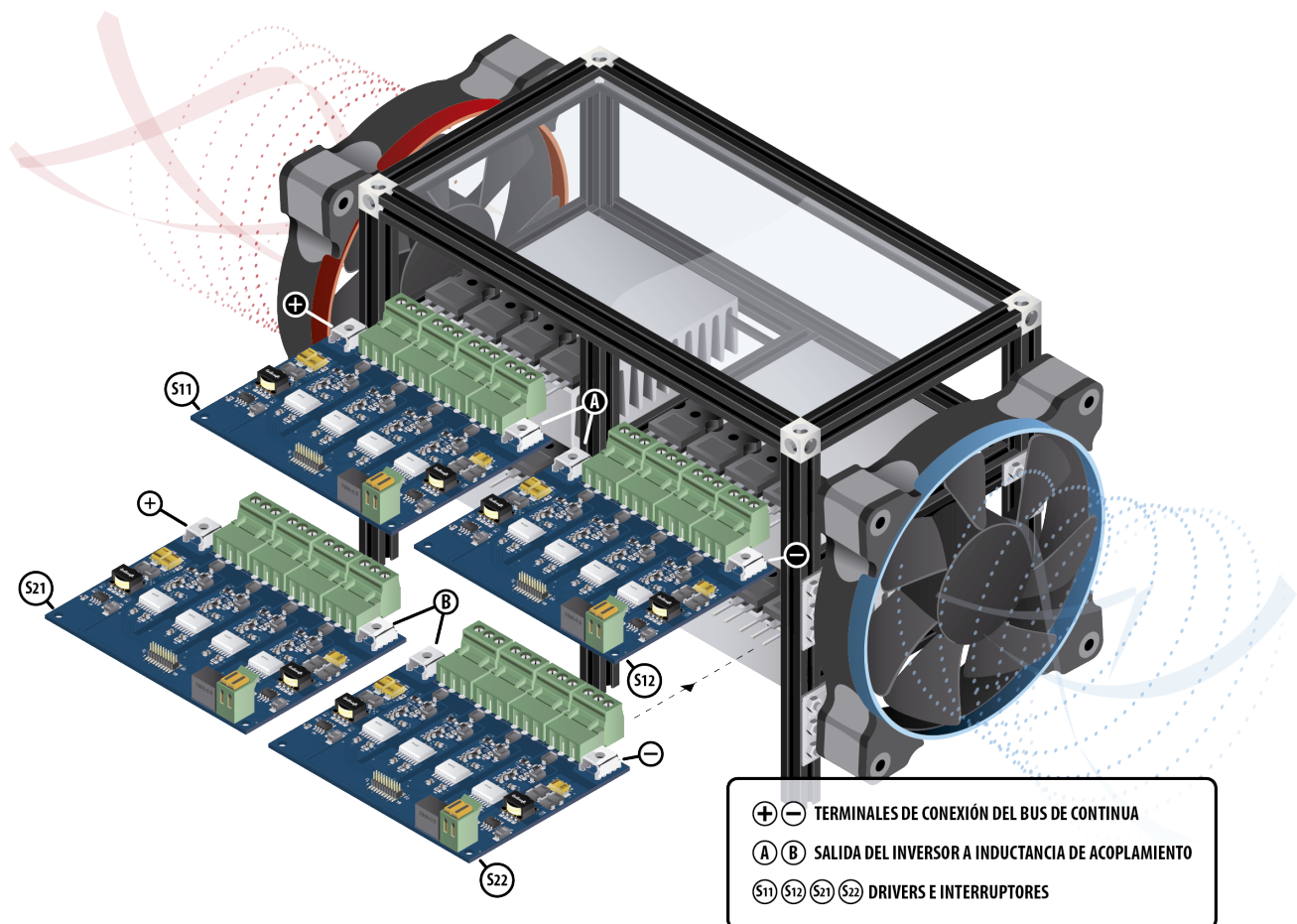


Figura 6.1 – Vista general de la plataforma de ensayo.

### 6.2.1 Inversor monofásico

La plataforma de ensayo se basa en un inversor monofásico cuyos interruptores están formados por cuatro transistores conectados en paralelo. El diseño de la plataforma es flexible y permite el cambio rápido del modelo de transistor, así como el número de transistores que conmutarán de forma simultánea. La inductancia de acoplamiento se conecta a la salida del inversor tal y como muestra el esquema de la Figura 6.2. Es habitual utilizar este circuito en ensayos para análisis de pérdidas y caracterización de inductancias y tiene las siguientes características:

- La potencia de entrada refleja las pérdidas del circuito, en los semiconductores y en la inductancia de acoplamiento. Esta característica facilita la adquisición y análisis de datos.
- La corriente de salida del inversor puede ser elevada sin necesidad dimensionar el resto de componentes del convertidor a la potencia que se requeriría en caso de inyectar la corriente a red.
- La conexión del convertidor en cortocircuito requiere que éste actúe como una fuente de corriente, por tanto, la implementación del control se basará en un lazo de corriente.

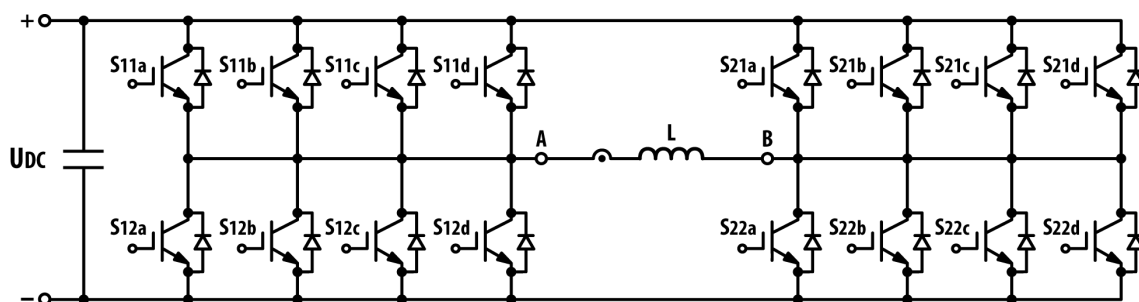


Figura 6.2 – Esquema del inversor monofásico con interruptores basados en la conexión de cuatro transistores en paralelo.

### 6.2.2 Circuito de disparo o *driver*

Se han diseñado *drivers* con capacidad de control de hasta 4 transistores de forma independiente, y se han dimensionado para que puedan controlar transistores de alta capacidad de corriente a elevadas frecuencias de conmutación. La Tabla 6.1 muestra las especificaciones más relevantes del *driver*.

Tabla 6.1 – Especificaciones de la placa de *drivers*.

Descripción		Valor
Tensión de alimentación		5 V
Driver Fairchild FOD8316	Corriente máxima	2,5 A
Niveles de tensión de control		+ 15 V / -5 V
Potencia máxima drivers		2 W
Corriente máxima total del interruptor		60 A

El *driver* se basa en el circuito *FOD8316* de *Fairchild Semiconductor*. Este circuito aísla, mediante acoplamiento óptico, la señal PWM de conmutación de los transistores, y proporciona protección por sobre-corriente mediante la monitorización de la tensión colector-emisor durante el tiempo de conducción. Se han añadido diodos *zener*  $D_{Z1}$ ,  $D_{Z2}$  para evitar que, de forma transitoria, el nivel de tensión aplicado a la puerta de los transistores supere la máxima tensión especificada. El conjunto  $R_{Gon}$ ,  $R_{Goff}$  y  $D_1$  permite modificar los tiempos de subida y bajada de la tensión de control del transistor. La placa de *drivers* contiene un circuito de control de disparo como el mostrado en la Figura 6.3 para cada transistor.

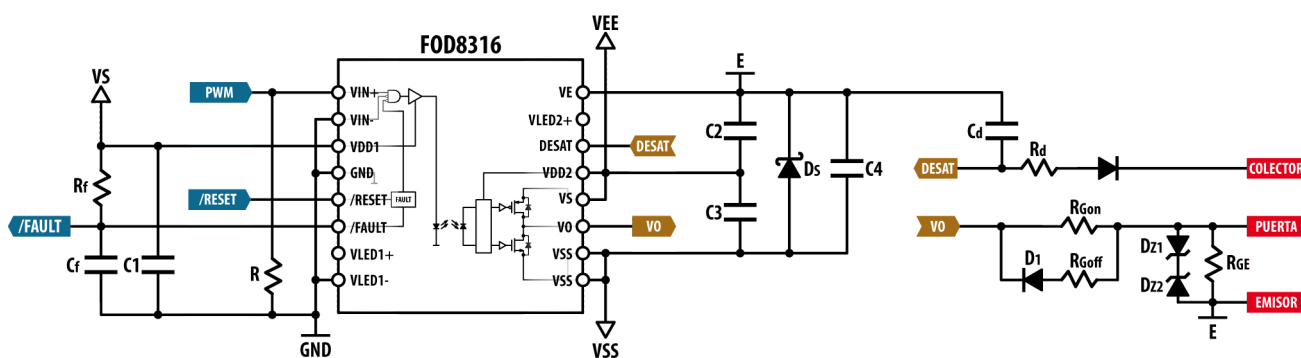


Figura 6.3 – Esquema del circuito de driver de control de transistores.

Para mantener el aislamiento del circuito *driver* es necesaria una fuente de alimentación que aisle el circuito de potencia del circuito de control de los transistores. Esta fuente que está basada en un circuito oscilador, se ha separado en dos partes (Figura 6.4).

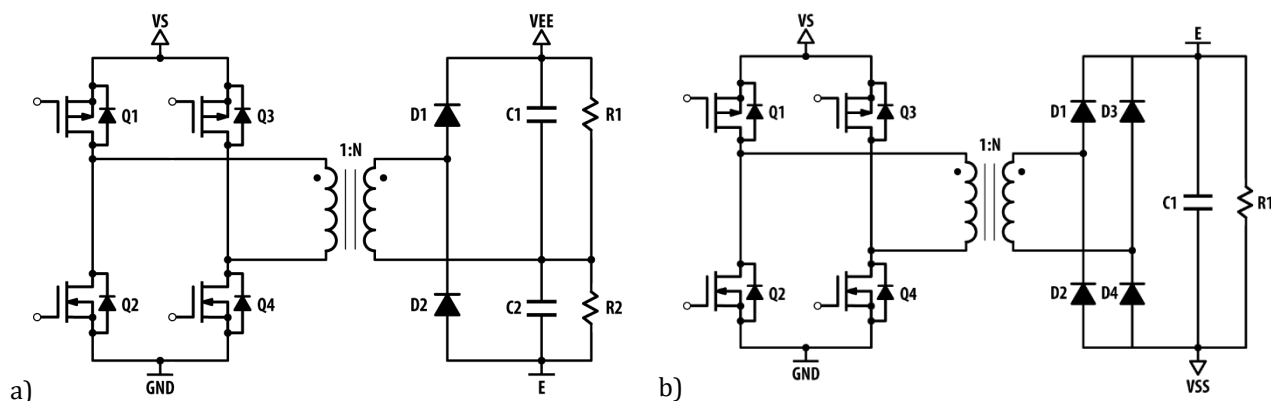


Figura 6.4 – Esquema de la fuente de alimentación aislada basada en un circuito oscilador: a) Salida positiva con rectificación de media onda doblador de tensión, b) Salida negativa con rectificación de onda completa.

La primera fuente genera una tensión positiva y proporciona un nivel de tensión suficiente para garantizar la activación del transistor. La segunda fuente genera un nivel de tensión negativo y garantiza el corte en transistores IGBT. Cada oscilador suministra una potencia de 1 W, cuya potencia combinada proporciona los 2 W especificados. El circuito oscilador proporciona protecciones de sobre-temperatura y cortocircuito. La Figura 6.5 muestra una vista general de la placa de *drivers* y detalla algunos de sus principales componentes.

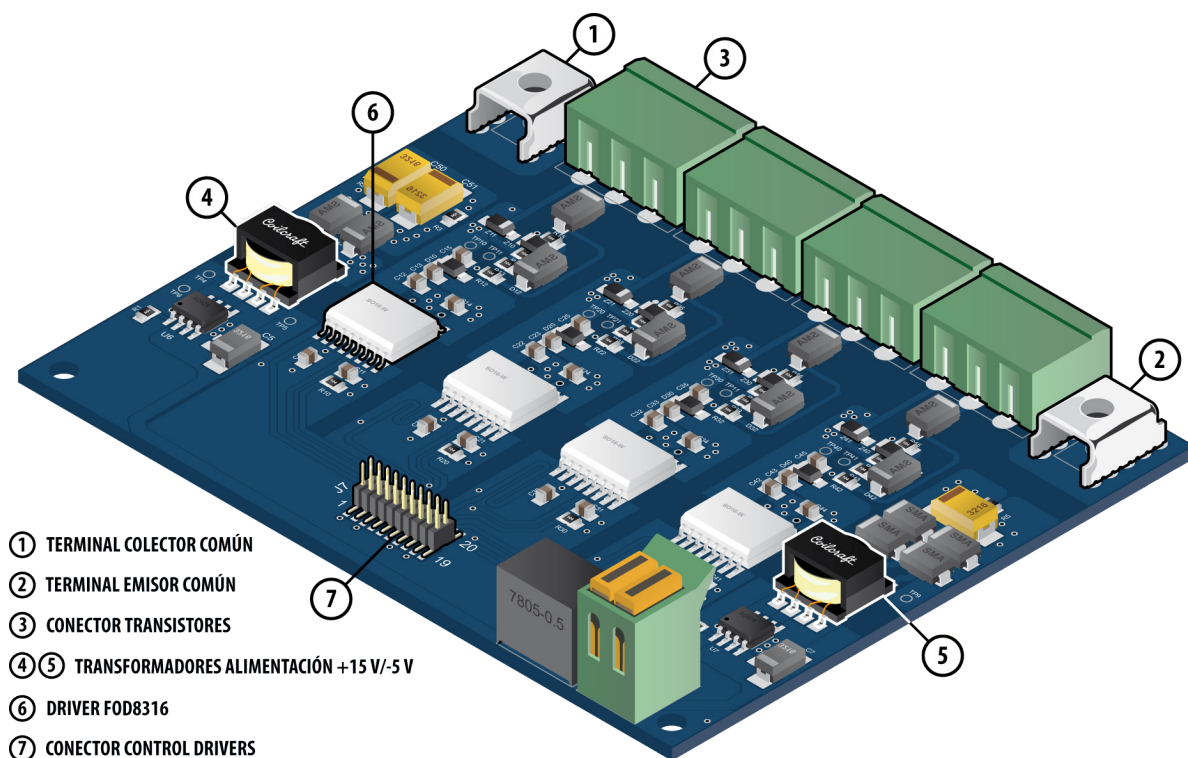


Figura 6.5 – *Drivers* adaptativos de 4 transistores en paralelo.

### 6.2.3 Sensado y acondicionamiento

Los objetivos del sistema de sensado y acondicionamiento son:

- Sensado de corriente para la implementación del control del convertidor.
- Gestión de conmutación adaptativa en función de la energía transferida por el convertidor.
- Obtención de datos para determinar el impacto que las distintas estrategias de conmutación tienen en la eficiencia del convertidor.

El sistema de sensado y acondicionamiento está implementada sobre una placa constituida por dos circuitos:

- Dos transductores de corriente.
- Dos amplificador diferenciales de aislamiento para la medida de tensión.

Las principales características de la palca de sensado y acondicionamiento se resumen en la Tabla 6.2.

Tabla 6.2 – Especificaciones de la placa de adquisición.

<i>Descripción</i>		<i>Valor</i>
<b>Tensión de alimentación</b>		5 V
<b>HO-NP/SP33 (LEM)</b>	<b>Corriente máxima</b>	$\pm 25$ ARMS
	<b>Ancho de banda</b>	250 kHz
	<b>Sensibilidad</b>	18,4 mV/A
<b>AMC1100 (Texas Instruments)</b>	<b>Tensión de entrada máxima</b>	$\pm 250$ mV
	<b>Ancho de banda mínimo</b>	60 kHz
	<b>Sensibilidad ajustable mediante resistencia <i>shunt</i> externa</b>	

La Figura 6.6 muestra el esquema simplificado de los circuitos de adquisición. Los circuitos *a* y *b* constituyen la etapa de acondicionamiento para la medida de tensión y corriente a baja frecuencia (50 Hz). El circuito *c* corresponde a la etapa de acondicionamiento de corriente utilizado en el lazo de control y en el sistema de adquisición para la medida de la distorsión armónica.



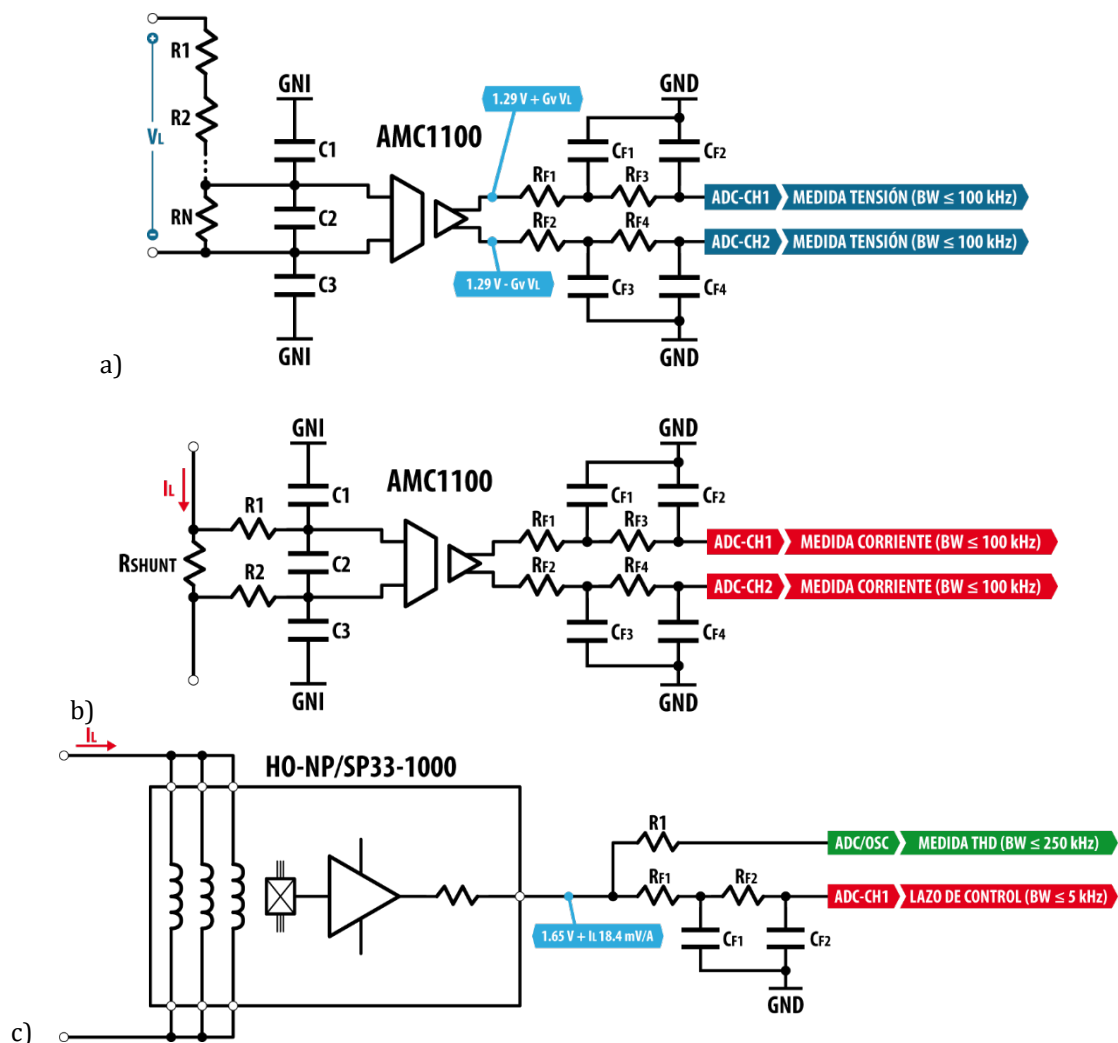


Figura 6.6 – Esquema y descripción del circuito de adquisición. Amplificador diferencial de aislamiento para ensayo de pérdidas a baja frecuencia en inductancia de acoplamiento: a) medida de tensión en inductancia, b) medida de corriente en inductancia y c) Transductor de corriente para implementar el lazo de control y medida en ensayo de distorsión armónica.

La placa de sensado y acondicionamiento cuenta con 2 transductores de corriente y 2 amplificadores de aislamiento diferenciales para la medida de tensión. Se proporciona además señales de detección de sobrecorriente y sobretensión. La Figura 6.7 muestra una vista general de la placa de sensado y acondicionamiento.

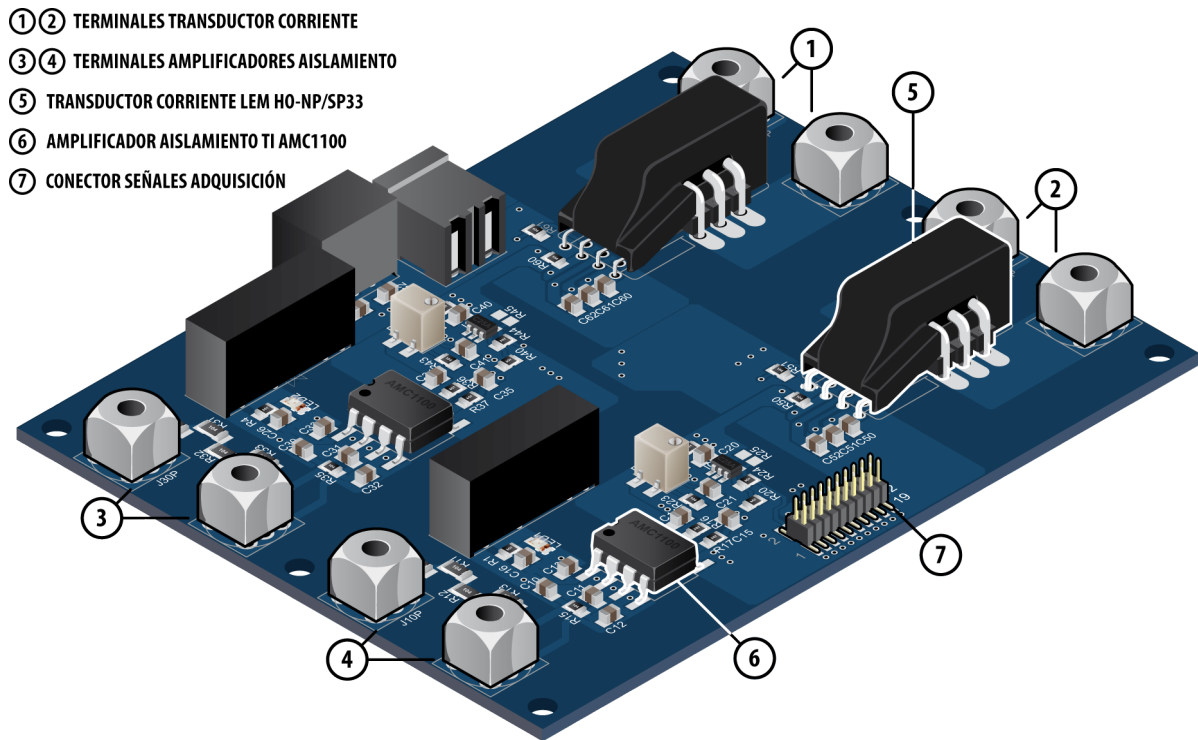


Figura 6.7 – Placa de sensores y acondicionamiento del sistema de adquisición.

#### 6.2.4 Circuito de control

El control de la plataforma está formado por dos circuitos:

- Microcontrolador con funciones DSP *STM32F407* de *ST Microelectronics* donde se implementa el control del convertidor.
- Dispositivo de lógica programable FPGA *Cyclone IV* de *Altera* donde se implementa el sistema de gestión adaptativo encargado de la conmutación de los transistores.

La Figura 6.8 muestra el diagrama de conexiones, la definición de las señales y la configuración del bus de comunicación entre dispositivos.

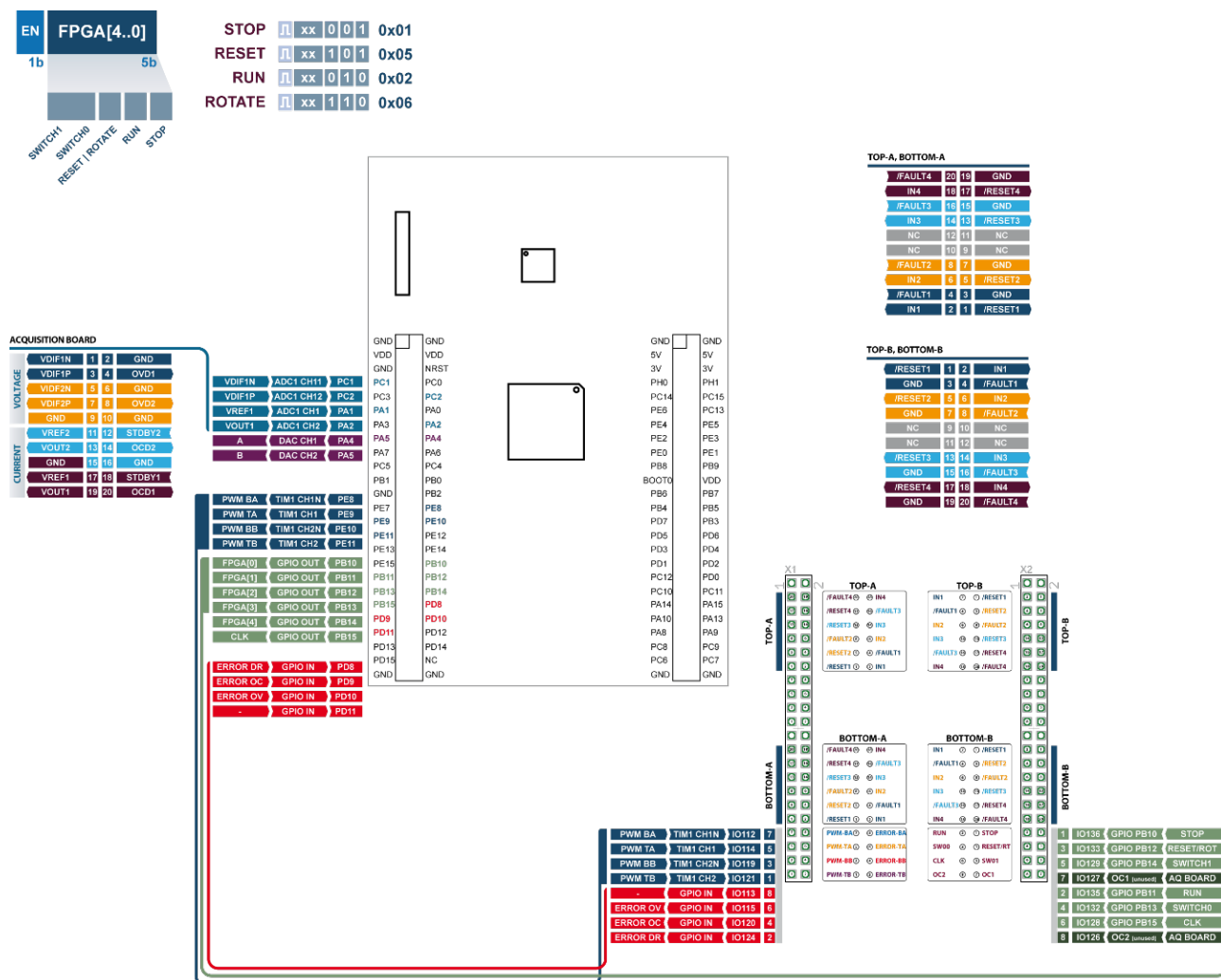


Figura 6.8 – Diagrama de conexiones de la plataforma de control.

### 6.3 Control de la plataforma de ensayo

#### 6.3.1 Introducción

En la mayoría de aplicaciones que utilizan inversores tales como control de motores de alterna, filtros activos de potencia o sistemas de alimentación ininterrumpida, incorporan un lazo de control de corriente PWM (CC-PWM). La función principal de un CC es la de forzar el paso de corriente eléctrica a través de una carga, monofásica o trifásica, siguiendo una señal de referencia. Esta acción se realiza comparando unas determinadas consignas con la medida de los valores instantáneos de las corrientes de fase y la acción posterior de una ley de control.

Existe una gran variedad de técnicas de control utilizadas en convertidores de potencia [KAZ02, BUS06 y YAZ10]. Las técnicas de control suelen clasificarse en dos grupos:

- Control lineal: Los controles pertenecientes a este grupo se caracterizan por tener una frecuencia de conmutación constante y, como consecuencia, un espectro armónico claramente definido. También destaca un patrón de conmutación y una utilización del bus de continua óptimos.
- Control no lineal: Los controles de este grupo destacan por el hecho de que la frecuencia de conmutación puede ser variable, dependiendo fundamentalmente de la inductancia de acoplamiento a red. Se han desarrollado técnicas para forzar frecuencias de conmutación constantes [KAZ98]. Como norma general, las técnicas de control no lineal requieren elevadas frecuencias de muestreo y ejecución del algoritmo de control. Esta característica se debe a la necesidad de detección de los rizados de corriente a través de las inductancias de acoplamiento a red.

El control CC-PWM utilizado en este trabajo está basado en un control vectorial en el plano síncrono. El control utilizado pertenece al grupo de control lineal que se describe a continuación.

### 6.3.2 Descripción del control de corriente

Para controlar la corriente de salida del convertidor se ha optado por un control vectorial aplicado a convertidores monofásicos. El control vectorial aporta una mayor inmunidad frente a ruidos y/o perturbaciones de red si se compara con un control tradicional basado en la realimentación y seguimiento de la corriente de salida del convertidor.

El control vectorial está diseñado en un sistema trifásico y por tanto requiere alguna adaptación para su aplicación en un inversor monofásico. En una red trifásica equilibrada, el control vectorial puede ser implementado utilizando dos fases, puesto que la tercera fase aporta el sentido de giro del sistema fasorial. Así, para implementar el control en una red monofásica es suficiente con retardar  $120^\circ$  la corriente del sistema monofásico. Existe la posibilidad de reducir el retardo a  $90^\circ$  en caso de retardar la proyección en  $\beta$ , sin embargo el sistema funcionaría únicamente con una señal sinusoidal y perdería efectividad frente a perturbaciones. Por este motivo se ha optado por un retardo de  $120^\circ$  tal y como muestra el diagrama de bloques de la Figura 6.9.

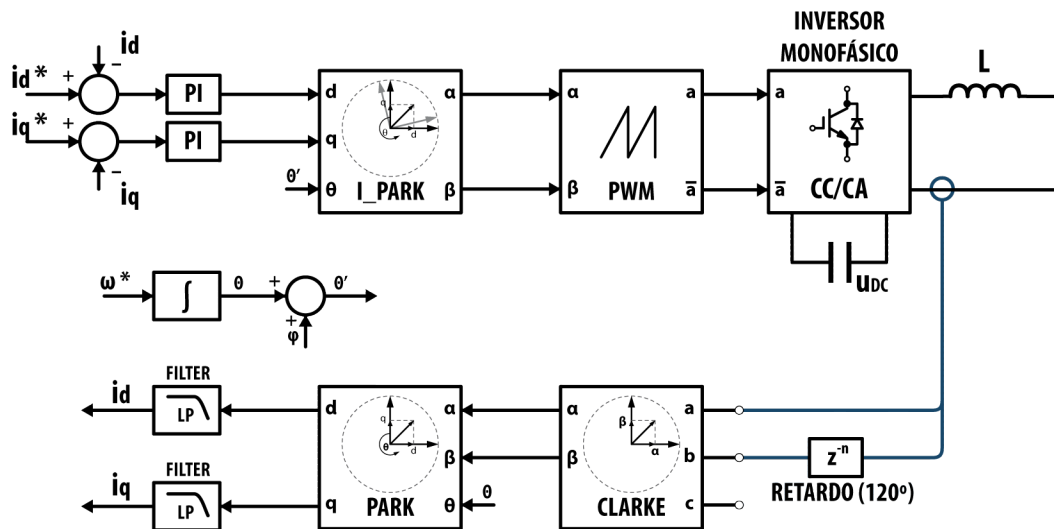


Figura 6.9 – Diagrama de control vectorial PI-SRF (*Proportional Integral - Synchronous Reference Frame*) en inversor monofásico.

### 6.3.3 Cancelación activa de distorsión en la corriente de salida

La tensión umbral  $V_{CEsat}$  existente en transistores IGBT provoca la aparición de una distorsión de la forma de onda de corriente cuando la modulación aplicada al convertidor es sinusoidal. La distorsión generada presenta múltiplos impares de la frecuencia fundamental tal y como muestra la Figura 6.10. La aparición de componentes de baja frecuencia puede alterar el resultado de los ensayos y por tanto debe ser corregida.

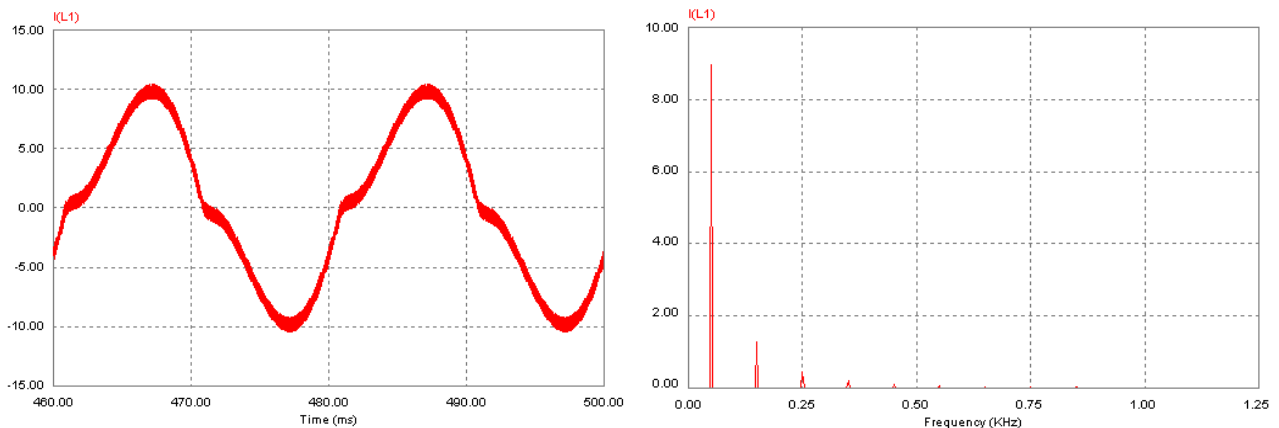


Figura 6.10 – Distorsión de la forma de onda de corriente de salida del convertidor en ensayo en cortocircuito y contenido armónico de baja frecuencia.

La inmunidad que el control vectorial proporciona frente a distorsiones en la forma de onda, requiere la inclusión de un mayor número de lazos de control, tantos como componentes frecuenciales se quieran cancelar. Esta técnica puede considerarse como una cancelación activa de distorsión de la forma de onda. La alternativa a esta estrategia consiste en incluir una

realimentación de la propia forma de onda, simplificando el algoritmo de control, pero perdiendo inmunidad frente a perturbaciones. Por este motivo, el control utilizado se basa en la inclusión de múltiples lazos de control para detectar y cancelar cada componente frecuencial tal y como muestra el diagrama de la Figura 6.11.

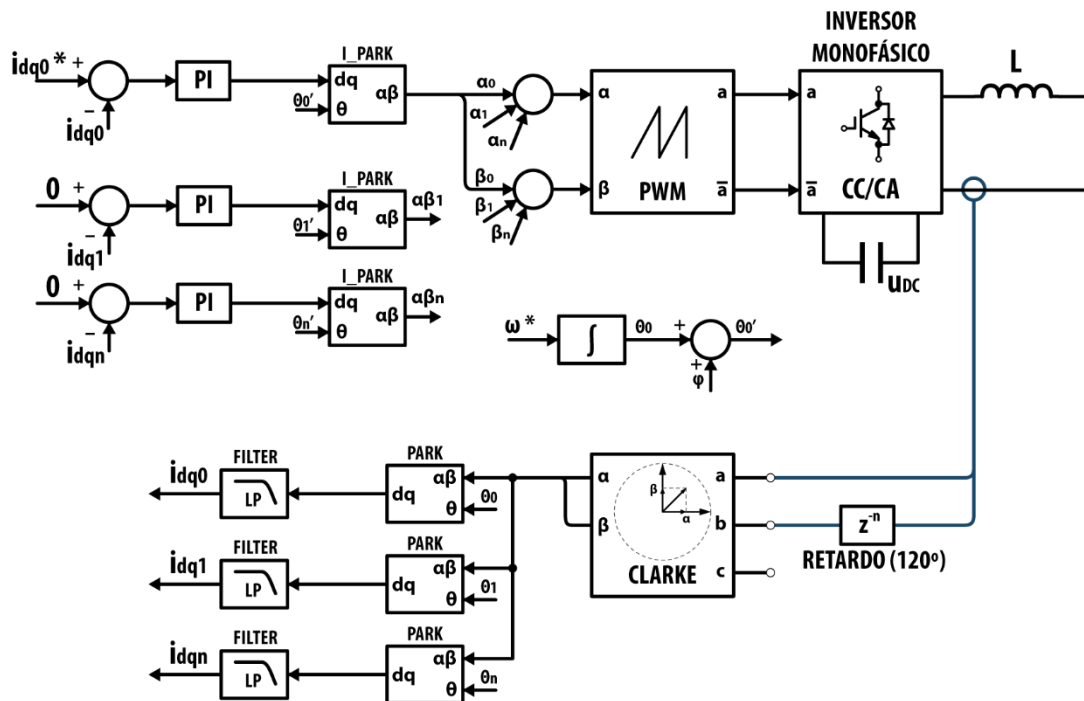


Figura 6.11 – Diagrama de control *PI-SRF* en inversor monofásico con cancelación activa de distorsión.

#### 6.3.4 Implementación del control

Considerando las metodologías utilizadas en sistemas de procesamiento de señal, pueden distinguirse dos métodos basados en la adquisición, procesamiento y su posterior actuación:

- Procesado por bloques. Es el método más eficiente puesto concentra las tareas de cálculo únicamente cuando se dispone de una serie o bloque de valores consecutivos.
- Procesado de valores individuales (*stream*). Este método minimiza el retardo en la respuesta del sistema y facilita la aplicación de funciones de transferencia recursivas, no obstante existe la posibilidad de generar funciones inestables. Como regla general, limitar el orden de las funciones de transferencia reduce la posibilidad de que las ecuaciones resultantes sean inestables.

Las Ecuaciones 6.3 a 6.5 muestran la función de transferencia, ecuación en diferencias y coeficientes de un filtro pasa bajos de segundo orden discretizado mediante el método de aproximación bilineal.

$$\frac{S(s)}{E(s)} = \frac{\omega^2}{s^2 + 2\zeta\omega s + \omega^2} \quad (6.3)$$

$$s(n) = a(e(n) + 2e(n - 1) + e(n - 2)) + b_1s(n - 1) - b_2s(n - 2) \quad (6.4)$$

$$a = \frac{\frac{\omega^2 T^2}{4}}{\left(1 + \zeta\omega T + \frac{\omega^2 T^2}{4}\right)}, \quad b_1 = \frac{2\left(1 - \frac{\omega^2 T^2}{4}\right)}{\left(1 + \zeta\omega T + \frac{\omega^2 T^2}{4}\right)}, \quad b_2 = \frac{\left(1 - \zeta\omega T + \frac{\omega^2 T^2}{4}\right)}{\left(1 + \zeta\omega T + \frac{\omega^2 T^2}{4}\right)} \quad (6.5)$$

Las Ecuaciones 6.6 y 6.7 muestran la función de transferencia y ecuación en diferencias de un regulador PI.

$$\frac{C(s)}{E(s)} = \frac{k_p s + k_i}{s} \quad (6.6)$$

$$c(n) = \left(\frac{k_i T}{2} + k_p\right)e(n) + \left(\frac{k_i T}{2} - k_p\right)e(n - 1) + c(n - 1) \quad (6.7)$$

La Tabla 6.3 resume los parámetros de control utilizados para la realización de ensayos. Los parámetros de control se encuentran dentro de un rango de valores que dependen de la frecuencia de conmutación (corrección de ganancia) y de la frecuencia de sincronización del lazo de regulación, en el caso del sistema de cancelación activa de distorsión.

Tabla 6.3 - Parámetros utilizados en la implementación del control.

<i>Descripción</i>		<i>Valor</i>
<i>T</i>	<b>Periodo de ejecución de algoritmo</b>	100 μs
<i>f</i>	<b>Frecuencia de corte de filtros d/q</b>	20 Hz
<i>ζ</i>	<b>Coefficiente de amortiguamiento del filtro</b>	0,7
<i>k<sub>p</sub></i>	<b>Constante proporcional (regulador PI)</b>	1,2 - 0,4
<i>k<sub>i</sub></i>	<b>Constante integral (regulador PI)</b>	10 - 0,2
<i>φ</i>	<b>Ángulo de corrección de fase tensión-corriente</b>	5 ° - 10°

### 6.3.5 Control adaptativo

El sistema de control de la plataforma también se encarga de la detección del nivel de corriente para determinar el número de transistores que deben conmutar de forma simultánea o seleccionar la frecuencia de conmutación de la portadora. El funcionamiento de este sistema de control adaptativo se basa en un comparador con histéresis de múltiples niveles. El número de niveles depende del número de transistores integrados en los interruptores del convertidor,

cuando se actúa sobre los transistores, o del número de portadoras, cuando se aplican distintas frecuencias de conmutación. La Figura 6.12 muestra el diagrama de bloques del algoritmo de selección de transistores implementado en el control adaptativo.

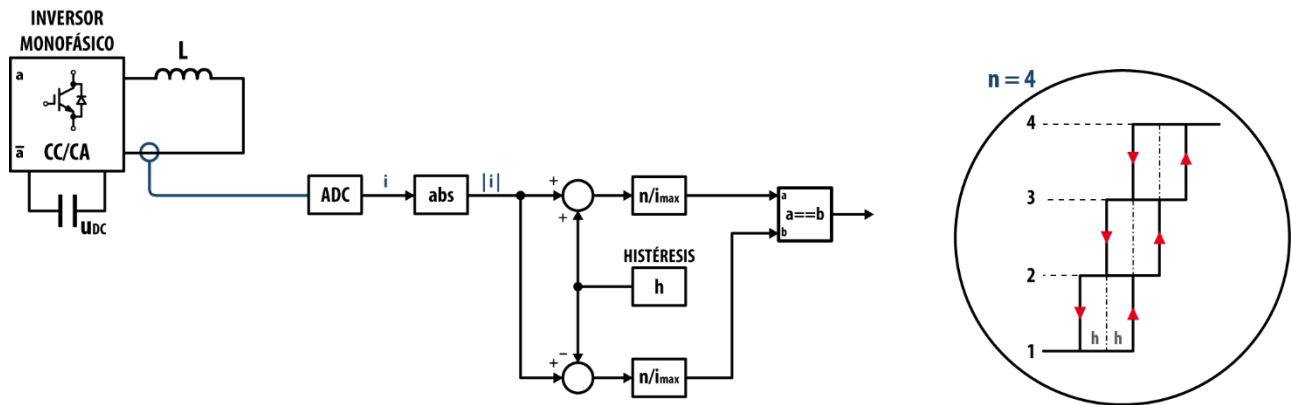


Figura 6.12 – Diagrama de bloques del algoritmo de selección de transistores implementado en el control adaptativo.

Las Figuras 6.13 a 6.15 muestran cómo el aumento de la amplitud de la corriente de salida modifica el valor del índice de selección de transistores.

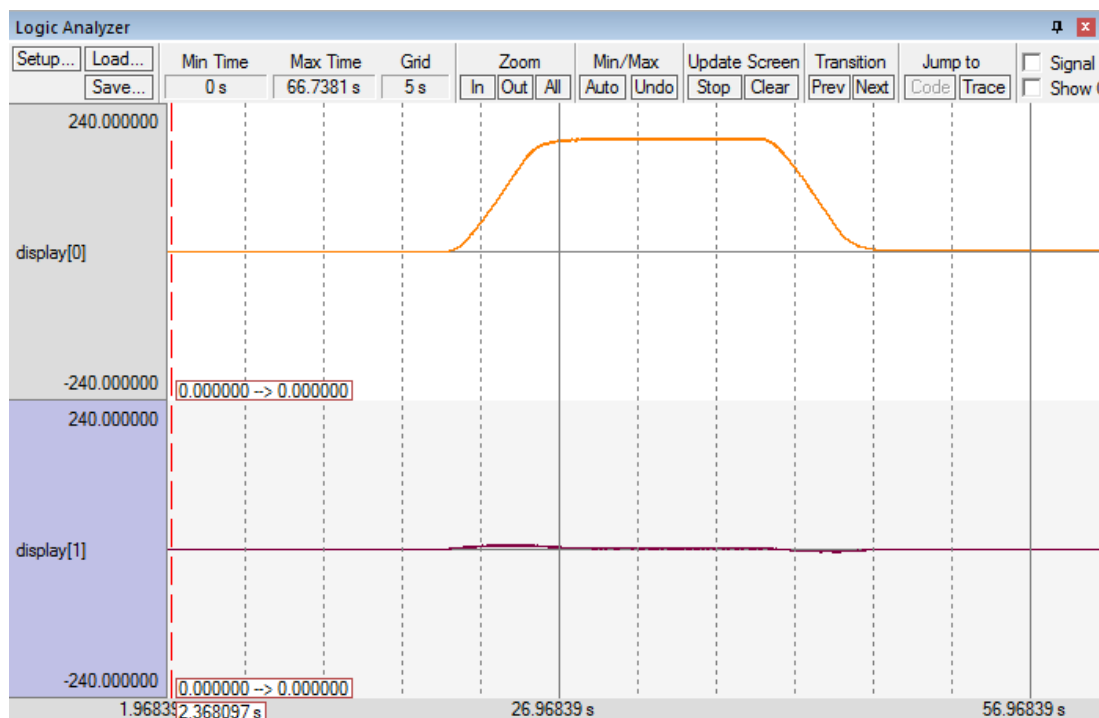


Figura 6.13 – Respuesta de componentes  $d$  y  $q$ .



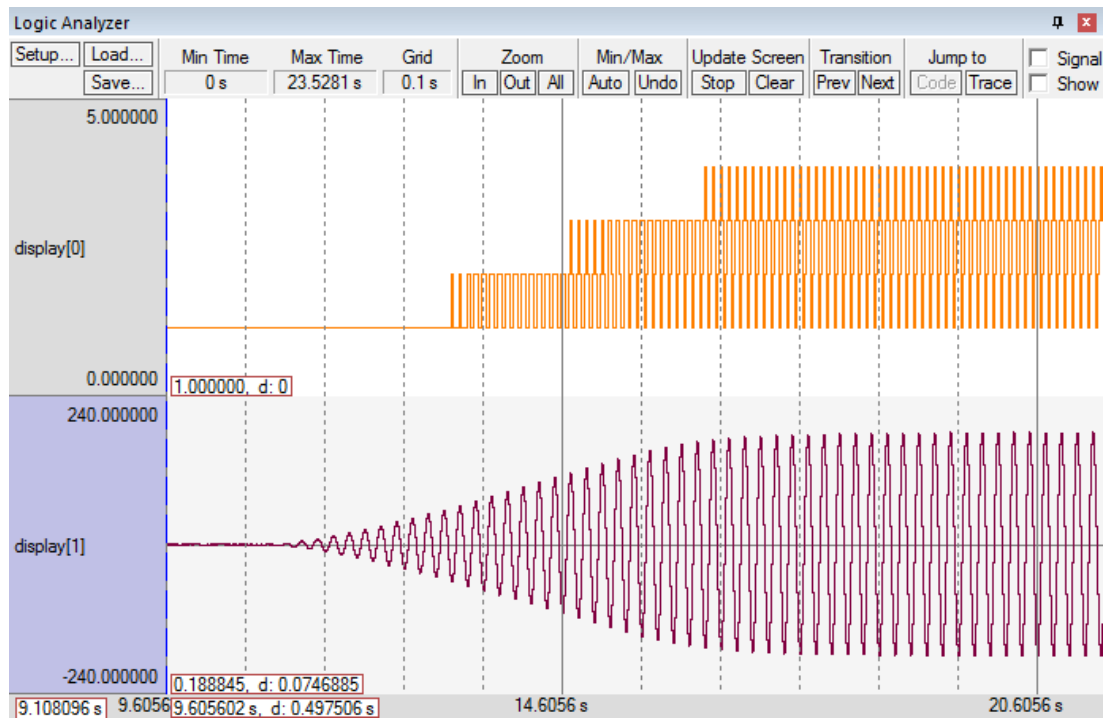


Figura 6.14 – La señal *display[0]* muestra la evolución del índice de selección de transistor y la señal *display[1]* la medida adquirida por el conversor analógico digital.

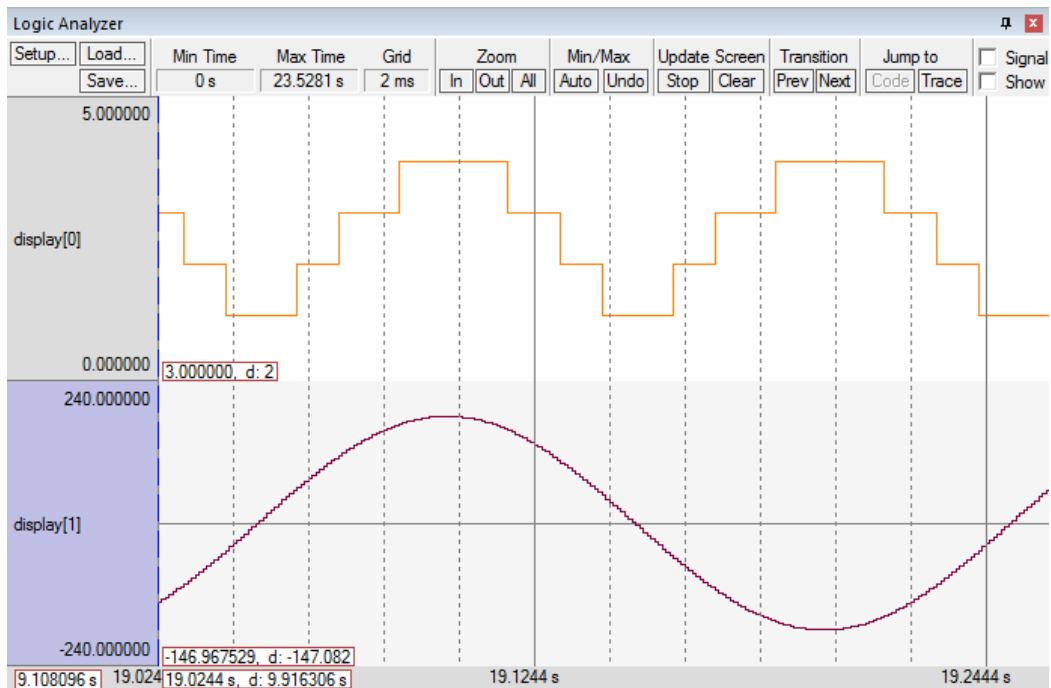


Figura 6.15 – Detalle de las señales de la Figura 6.14.

La Figuras 6.15 muestra la evolución del índice de selección de transistores en función de la medida de corriente adquirida por el conversor analógico digital. El valor del índice varía entre

1 y 4 puesto que el interruptor implementado cuenta con cuatro transistores. A partir del valor de este índice, la FPGA selecciona qué transistores deben conmutar. La Figura 6.16 muestra las salidas PWM para el control de uno de los interruptores.

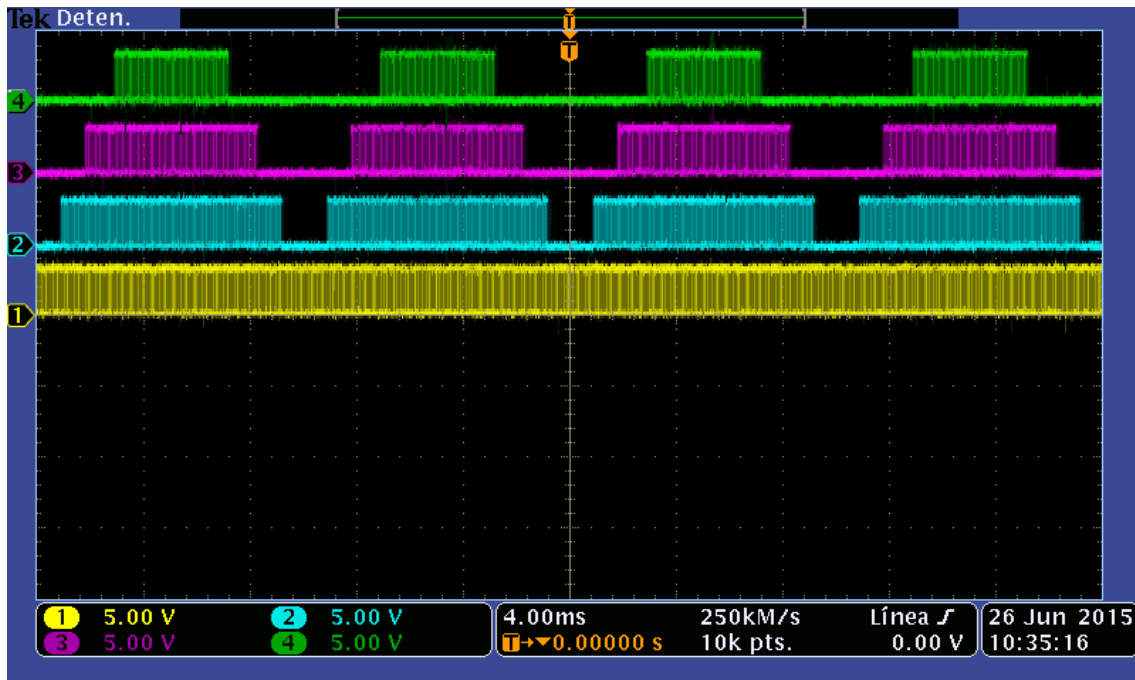


Figura 6.16 – Señal PWM multiplexada para el control de un interruptor de cuatro transistores.

Cualquier cambio en la selección de transistores se sincroniza utilizando como referencia el flanco de bajada de la señal PWM procedente del microcontrolador, el objetivo es evitar que el proceso de multiplexado intervenga en el control del convertidor. La frecuencia de reloj de la FPGA (50 MHz  $\Rightarrow$  20 ns) garantiza que cualquier cambio efectuado por el control de multiplexado sea inferior a 250 ns, que es el tiempo muerto configurado para el control PWM del convertidor.

Las Figuras 6.17 y 6.18 muestran el funcionamiento descrito cuando se aplica en un interruptor formado por tres transistores conectados en paralelo.

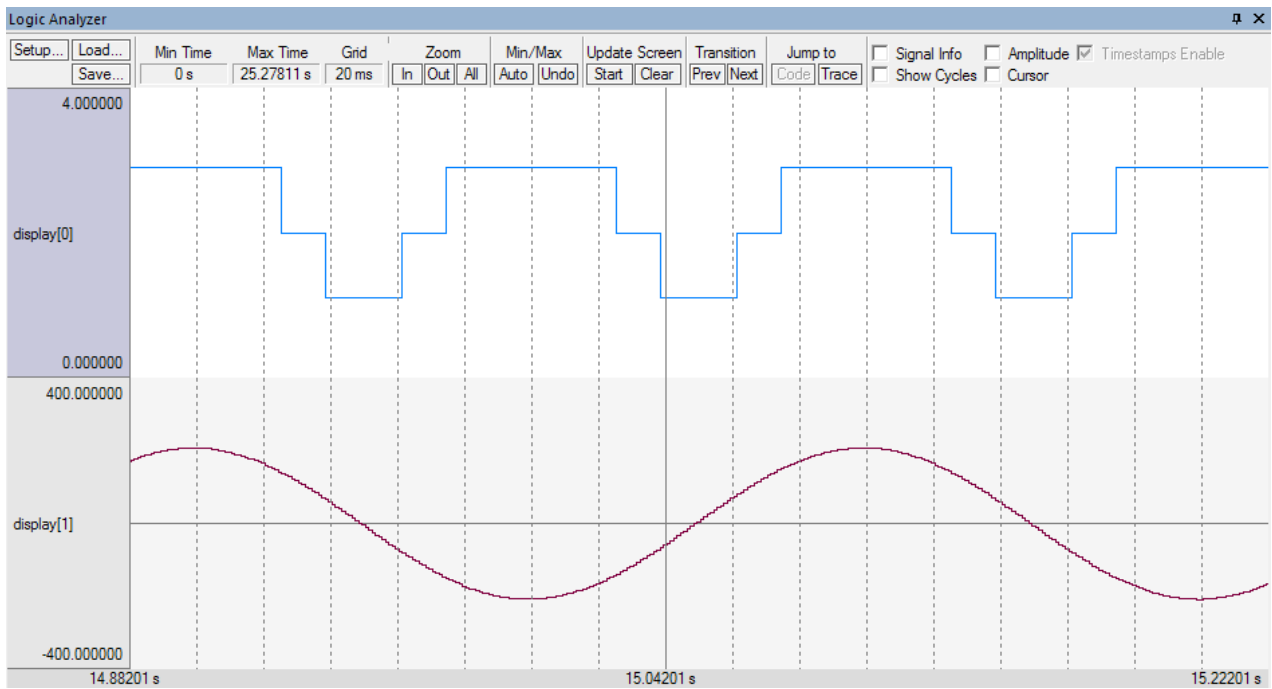


Figura 6.17 – Evolución del índice de control de multiplexado en interruptor de tres transistores.

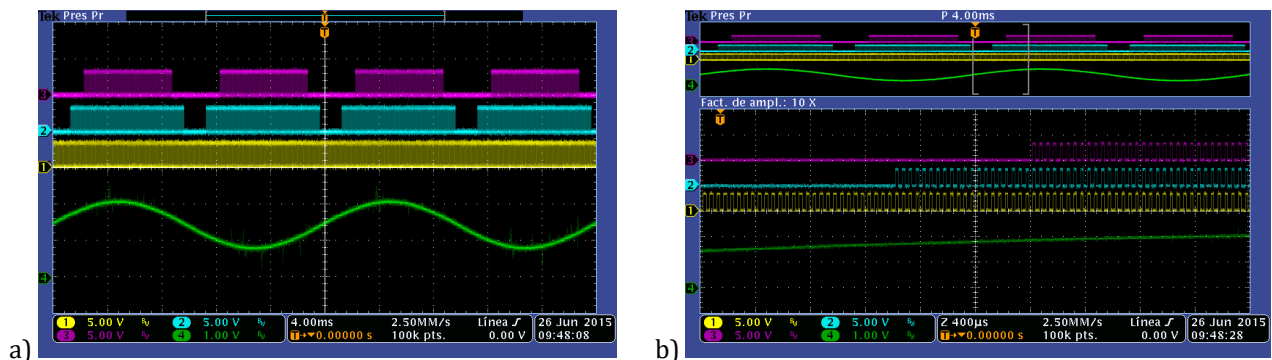


Figura 6.18 – Señal PWM multiplexada en interruptor de tres transistores sin rotación. La señal sinusoidal (CH4) es la entrada de sincronización del control de multiplexado.

La Figura 6.19 muestra la secuencia de entrada en conducción de los transistores a medida que la amplitud de la corriente de salida aumenta. Las capturas de osciloscopio muestran la tensión  $V_{cesat}$  puesto que es proporcional a la corriente que circula a través de los transistores.

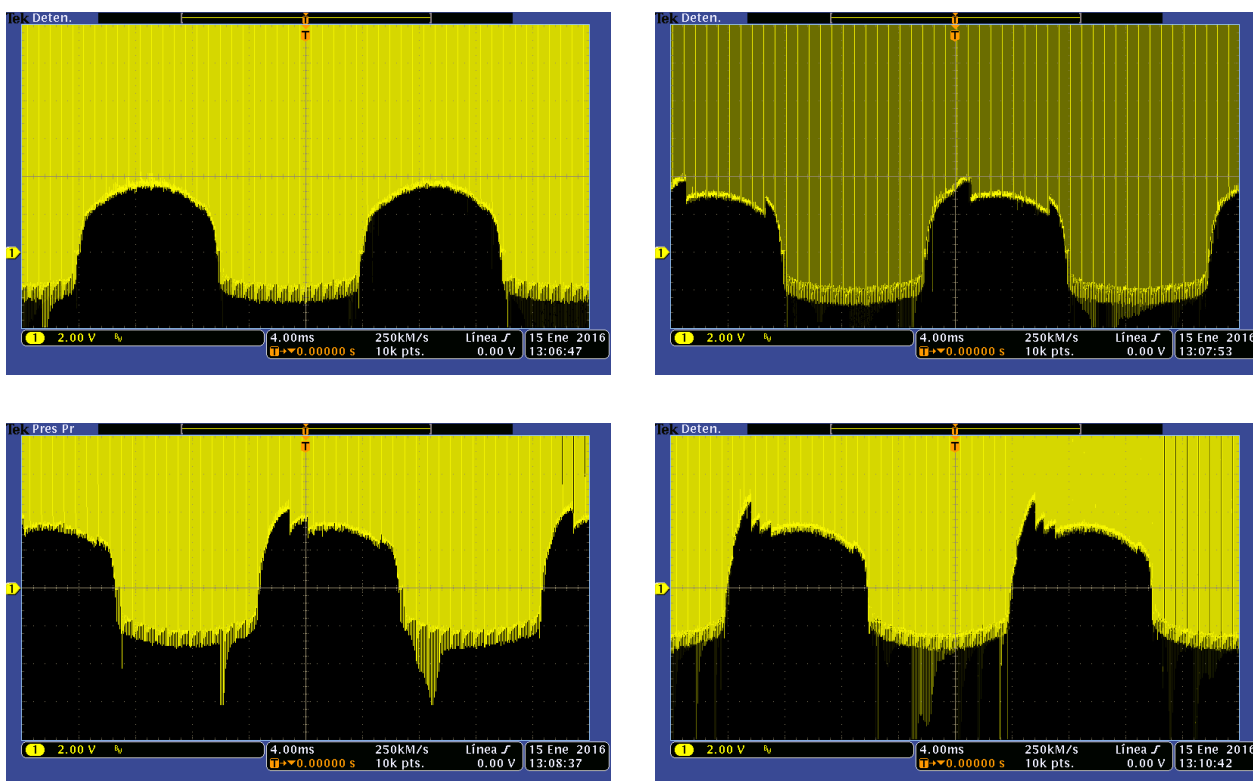


Figura 6.19 – Tensión  $V_{ce}$  en dos periodos de la señal de salida. Las capturas muestran el comportamiento del interruptor equivalente a medida que la amplitud de la corriente de salida aumenta.

### 6.3.5.1 Frecuencia de conmutación del convertidor constante

En el capítulo 2 se han identificado dos estrategias distintas que hacen referencia a la gestión de la conmutación del grupo de transistores conectados en paralelo. Utilizando la primera estrategia, se observa un decremento de la frecuencia de conmutación de los transistores cuando el número de transistores requerido es inferior al número de transistores instalados. En este caso, la frecuencia del inversor se mantiene constante. La Figura 6.20 muestra este comportamiento en las señales PWM cuando se aplican a un grupo de tres transistores conectados en paralelo. Se ha habilitado la rotación de los pulsos PWM con el objetivo de homogeneizar el tiempo de actividad de los transistores.

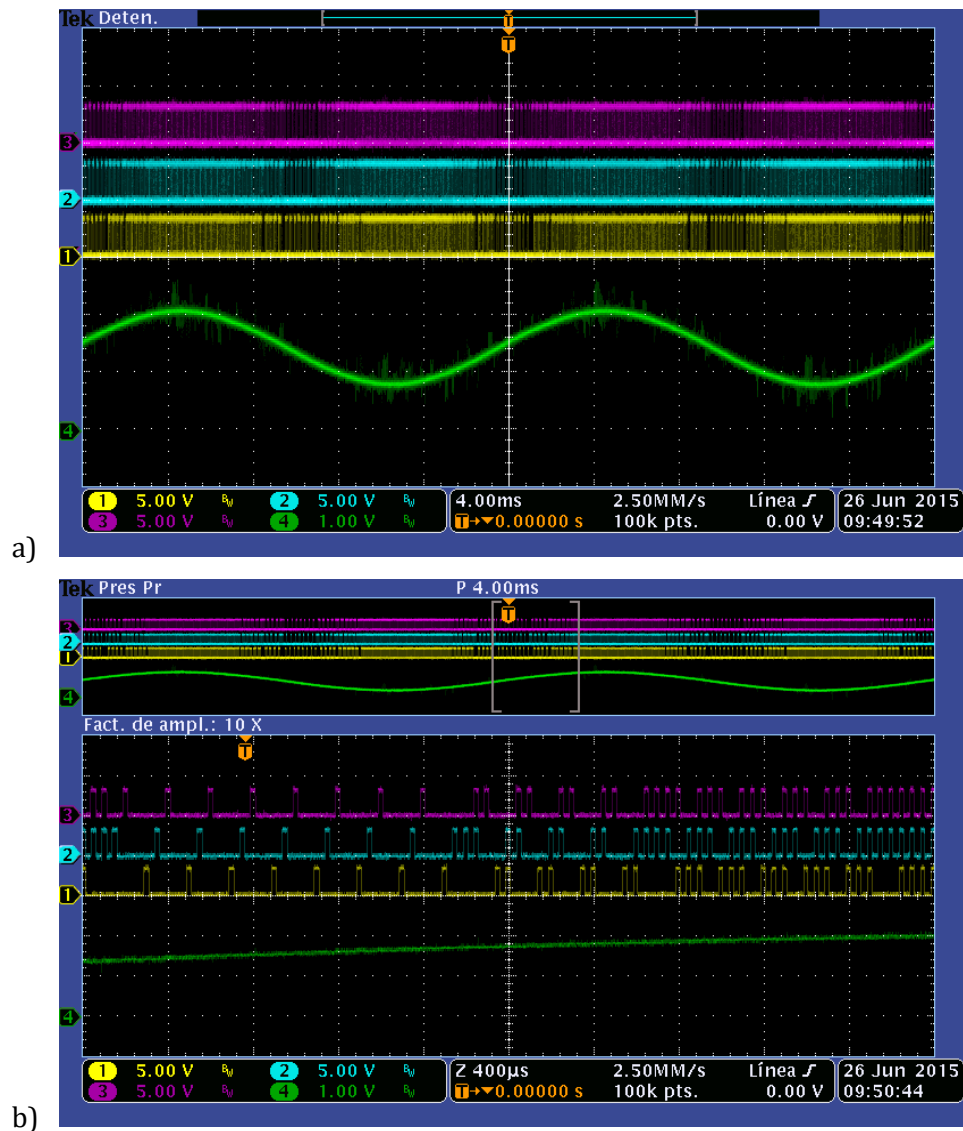


Figura 6.20 – Señal de salida de la placa de drivers en control de multiplexado en interruptor de tres transistores con rotación. La señal sinusoidal es la entrada de sincronización del control de multiplexado.

### 6.3.5.2 Frecuencia de conmutación de transistores constante

Si se fuerza a un valor constante la frecuencia de conmutación en los transistores produce como resultado un incremento de la frecuencia de conmutación del convertidor si el número de transistores requeridos es inferior al número de transistores instalados. Este comportamiento puede observarse en las capturas de osciloscopio de la Figura 6.21. En ellas se muestran las señales PWM para el control de conmutación de un grupo de tres transistores conectados en paralelo. Se ha habilitado la rotación de los pulsos PWM con el objetivo de homogeneizar el tiempo de actividad de los transistores.

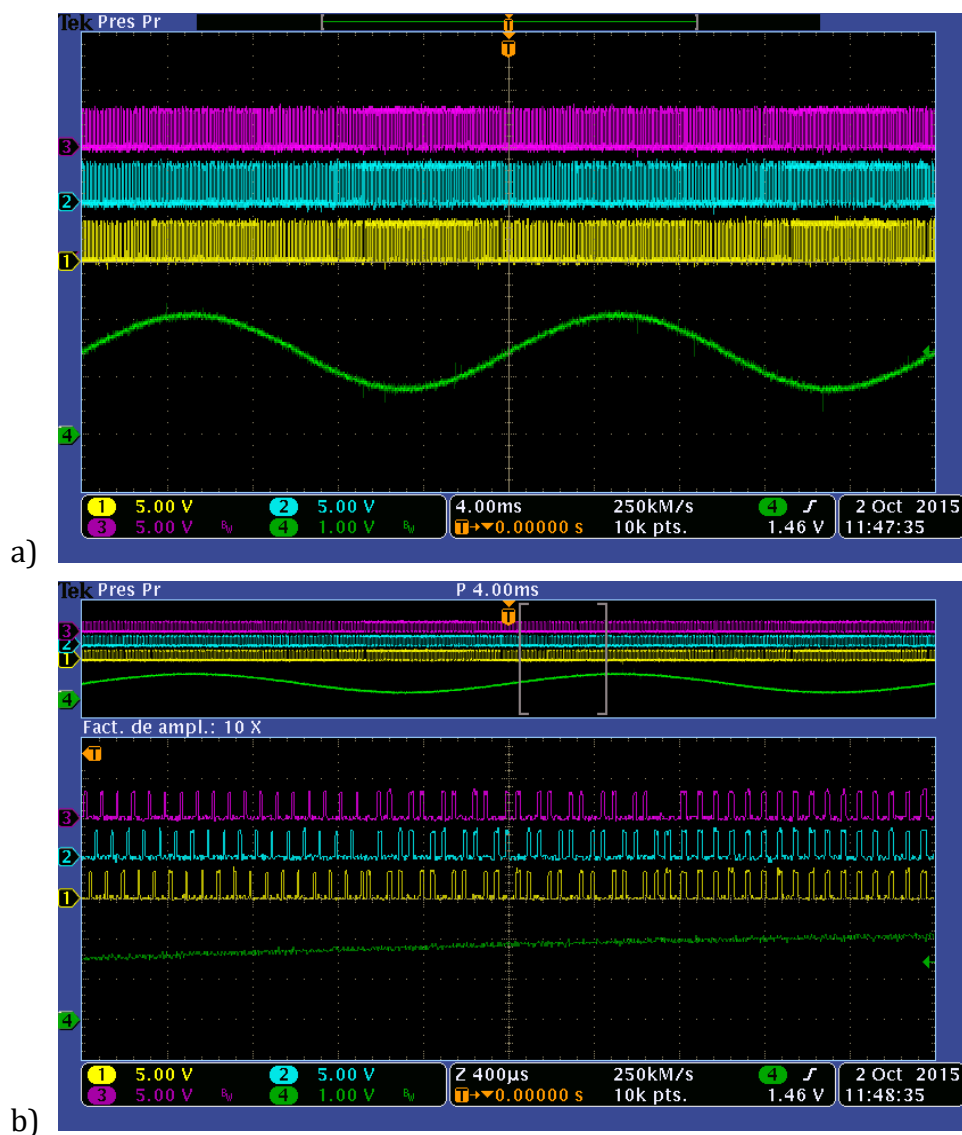


Figura 6.21 – Señal de salida de la placa de drivers en control de multiplexado en interruptor de tres transistores con rotación y portador multifrecuencia.

#### 6.4 Metodología y análisis de datos

En este apartado se describe la instrumentación y métodos utilizados en la adquisición, análisis e interpretación de datos. Los ensayos realizados tienen como principal objetivo determinar las pérdidas en los semiconductores aplicando distintas estrategias de conmutación, para ello, es necesario obtener medidas que permitan discriminar las pérdidas en la inductancia de acoplamiento. Los ensayos propuestos están orientados a identificar las pérdidas en semiconductores por conducción y conmutación, y las pérdidas en la inductancia debidas a la corriente de baja frecuencia (sinusoidal 50Hz) y a la corriente de alta frecuencia (modulación PWM) tal y como indica la Ecuación 6.8.

$$P_{inv} = P_{sw} + P_{cn} + P_{Llf} + P_{Lhf} \quad (6.8)$$

En los ensayos se utilizarán inductancias de valores diferentes, proporcionando distintas amplitudes de rizado de corriente. De este modo pueden discriminarse las pérdidas debidas a la corriente de alta frecuencia  $P_{Lhf}$  a partir de los resultados obtenidos en la medida de potencia de pérdidas debidas a la corriente de baja frecuencia  $P_{Llf}$ .

Como objetivo secundario también se analiza el índice de distorsión armónica total (THD) cuando la estrategia aplicada modifica la frecuencia de conmutación del convertidor. Los ensayos resumidos en la Tabla 6.4 se han realizado para distintos valores de corriente e inductancia de salida.

Tabla 6.4 – Descripción de ensayos y obtención de datos.

<i>Descripción</i>	<i>Información</i>
<b>Potencia en inductancia de acoplamiento debida a la corriente fundamental de 50 Hz.</b>	$P_L = P_{Llf}$
<b>Potencia de entrada en función de la frecuencia de conmutación.</b>	$L \Downarrow, f_{sw} \Downarrow \Rightarrow P_{inv} \cong P_{cn} + P_{Llf} + P_{Lhf}$
	$L \Downarrow, f_{sw} \Uparrow \Rightarrow P_{inv} \cong P_{sw} + P_{cn} + P_{Llf} + P_{Lhf}$
	$L \Uparrow, f_{sw} \Downarrow \Rightarrow P_{inv} \cong P_{cn} + P_{Llf}$
	$L \Uparrow, f_{sw} \Uparrow \Rightarrow P_{inv} \cong P_{sw} + P_{cn} + P_{Llf}$
<b>Potencia de entrada en función del número de transistores operando en paralelo.</b>	$P_{inv} = P_{sw} + P_{cn} + P_{Llf} + P_{Lhf}$
<b>Potencia de entrada en sistemas basados en portadora multifrecuencia.</b>	$P_{inv} = P_{sw} + P_{cn} + P_{Llf} + P_{Lhf}$
<b>Distorsión armónica total en función de la frecuencia de conmutación.</b>	$THD_i$
<b>Distorsión armónica total en sistemas basados en portadora multifrecuencia.</b>	$THD_i$

#### 6.4.1 Medida de potencia debida a la corriente de baja frecuencia

Los ensayos para determinar la potencia de pérdidas en la inductancia debida a la corriente fundamental se obtiene mediante el cálculo de la potencia instantánea a partir de la adquisición de valores de tensión y corriente en bornes de la inductancia de ensayo. Las características del sistema de medida se resumen en la Tabla 6.5.

El método de ensayo se basa en el promediado de 200 medidas de la potencia instantánea obtenidas cada 250 ms para cada uno de los valores de corriente. La Figura 6.22 muestra un

diagrama del circuito de ensayo y del sistema de medida de potencia de pérdidas en la inductancia debidas a una corriente fundamental de 50 Hz.

Tabla 6.5 – Características del sistema de adquisición para la medida de potencia de pérdidas en inductancia debida a la corriente de baja frecuencia.

Descripción	Valor
Frecuencia de muestreo	100 kM/s
Tiempo de muestreo máximo	5 $\mu$ s
Rango de corriente	0,5 A a 10,0 A

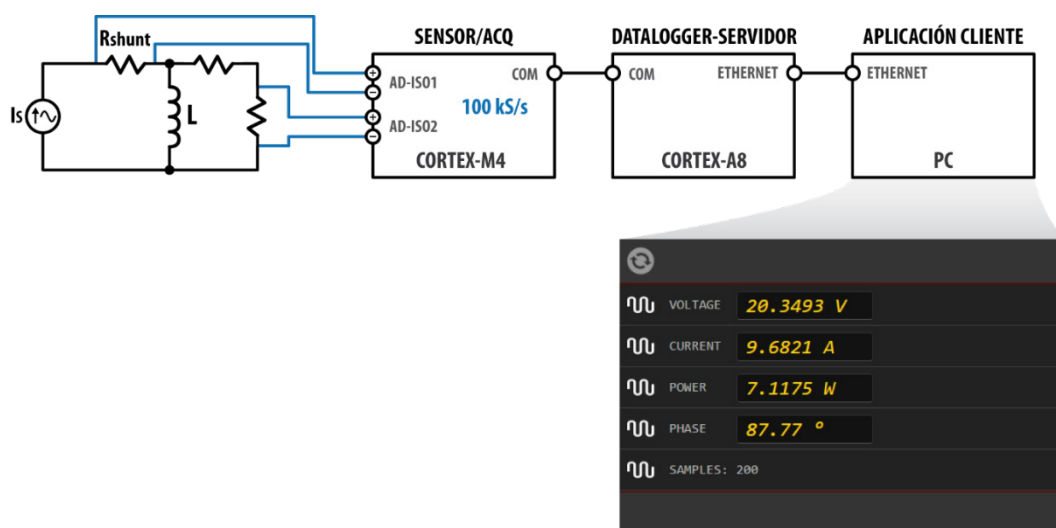


Figura 6.22 – Circuito de ensayo para la obtención de pérdidas debidas a la corriente fundamental en la inductancia de acoplamiento.

#### 6.4.2 Medida de potencia de entrada

La potencia de entrada se obtiene a partir de la medida de la tensión y corriente de entrada del bus de continua del inversor monofásico. La Figura 6.23 muestra el esquema del circuito de ensayo.

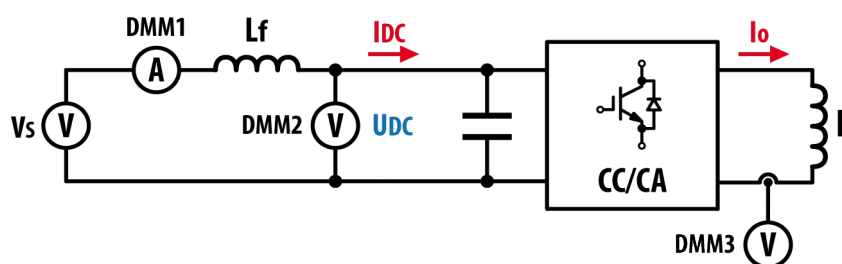


Figura 6.23 – Circuito de ensayo e instrumentación para la adquisición de datos.



Cada ensayo consiste en la adquisición y promediado de 200 valores de tensión y corriente de entrada capturados de forma instantánea cada 25 ms para un conjunto de valores de la corriente de salida del convertidor. Se han realizado ensayos para distintos valores de corriente en un rango entre 0.5 A y 10.0 A con incrementos de 0.5 A, capturando un total de 20 pares de valores. Finalmente, cada ensayo se repite a distintas frecuencias de conmutación comprendidas entre 5 kHz y 70 kHz.

El objetivo de los ensayos descritos es el de crear un mapa completo de las pérdidas en distintas condiciones de trabajo, poniendo de manifiesto la influencia que tiene en el convertidor tanto los semiconductores como la aplicación de distintas técnicas de conmutación. La Tabla 6.6 resume las principales características de la plataforma de ensayo para la medida de la potencia de entrada del convertidor.

Tabla 6.6 – Especificaciones de la plataforma de ensayo.

Referencia	Descripción	Características
<b>DMM1, DMM2</b>	<b>Multímetros de medida de tensión y corriente de entrada</b>	<i>Keithley 2100</i> : 6½ dígitos, $V_{DCMAX} = 1000V$ , $I_{DCMAX} = 3 A$ , precisión 0,0038 % (escala 10 V).
<b>DMM3</b>	<b>Multímetro de medida de la corriente de salida</b>	<i>Hameg HM8012</i> : 4¾ dígitos, precisión 0,05 %.
	<b>Osciloscopio</b>	<i>Tektronix DPO 3014</i> (BW = 100 MHz, 2,5 GS/s)
<b>Vs</b>	<b>Fuente de alimentación</b>	<i>Xantrex XFR 100-12</i> ( $V_{DC} = 0-100 V$ , $I_{DC} = 0-12 A$ )

#### 6.4.3 Medida de distorsión armónica total

La adquisición y medida de distorsión armónica se basa en la captura de la forma de onda de la corriente de salida. El circuito de ensayo es el utilizado en la medida de la potencia de entrada del inversor monofásico mostrado en la Figura 6.11. La frecuencia de muestreo utilizada para este ensayo es de 250 kM/s de modo que el espectro analizado cubre el rango de frecuencias de 0 a 125 kHz. El análisis posterior se basa en el cálculo de la suma cuadrática de cada conjunto de valores que supera un determinado umbral  $h$  tal y como muestra la Ecuación 6.9. De este modo se obtiene el valor de amplitud de cada una de las frecuencias de la señal analizada, el diagrama de la Figura 6.24 muestra gráficamente el proceso descrito. Finalmente se determina el índice de distorsión armónica total según la Ecuación 6.10.

$$A_n = \sqrt{A_{n1}^2 + A_{n2}^2 + \dots + A_{nm}^2} \quad (6.9)$$

$$THD_I(\%) = \frac{\sqrt{\sum_{n=1}^{\infty} A_n^2}}{A_0} \cdot 100 \quad (6.10)$$

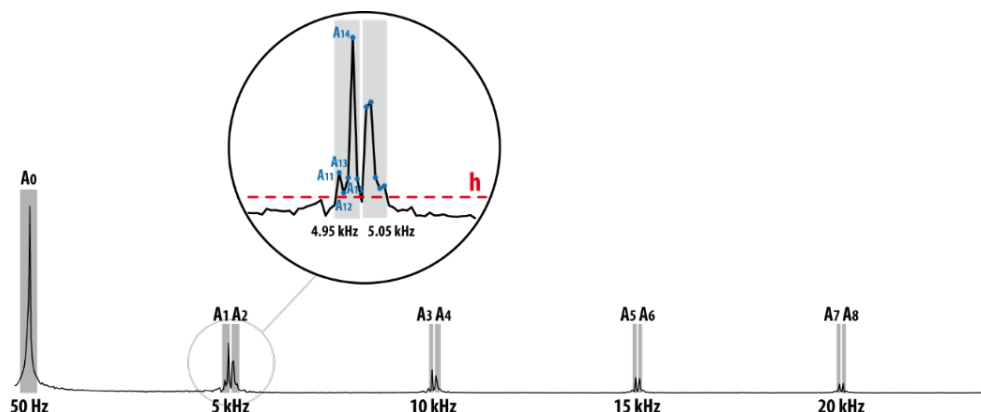


Figura 6.24 – Diagrama del método de análisis de distorsión armónica total en la corriente de salida del convertidor.

## 6.5 Ensayos

Según el estudio realizado en el capítulo 5. *Estimación de pérdidas del filtro de acoplamiento a red*, las pérdidas en el núcleo de la inductancia de acoplamiento son debidas a la suma de la componente de baja frecuencia de la corriente de salida del inversor y las componentes de alta frecuencia debidas al rizado de la corriente de salida. Por este motivo, para realizar los ensayos se van a utilizar inductancias de valores muy distintos con el objetivo de discriminar las pérdidas asociadas al rizado de corriente de salida del convertidor. La Tabla 6.7 resume las condiciones de los ensayos descritos en el apartado 6.4 *Metodología y análisis de datos*.

Tabla 6.7 – Condiciones de ensayo.

	Descripción	Valor
<b>Inductor L1</b>	<b>Inductancia</b>	5,23 mH
<b>Inductor L2</b>	<b>Inductancia</b>	1615 μH
<b>Inductor L3</b>	<b>Inductancia</b>	161.5 μH
<b>Transistor IGBT</b>	<b>Modelo</b>	SKP02N120
	<b>Corriente de colector (I<sub>c</sub>)</b>	2 A
	<b>Tensión colector emisor (V<sub>CE</sub>)</b>	1200 V
	<b>Energía de encendido (E<sub>on</sub>)</b>	0,16 mJ
	<b>Energía de paro (E<sub>off</sub>)</b>	0,06 mJ
<b>Inversor monofásico</b>	<b>Tensión del bus (V<sub>Dc</sub>)</b>	100 V

6.5.1 Potencia de pérdidas en inductancia de acoplamiento

Siguiendo el proceso descrito en el apartado 6.4.1 *Medida de potencia debida a la corriente de baja frecuencia*, a continuación se muestra los resultados de ensayo en los que se observa la evolución de la potencia de pérdidas en las inductancias de acoplamiento. Estos resultados van a permitir discriminar las pérdidas en la inductancia debidas a la corriente de baja frecuencia. Las características de las inductancias se resumen en la Tabla 6.8.

Tabla 6.8 – Características de las inductancias de acoplamiento utilizadas en los ensayos.

Descripción	Parámetros L1	Parámetros L2	Parámetros L3
<b>Inductancia</b>	5,23 mH	1615 $\mu$ H	161,5 $\mu$ H
<b>Resistencia serie</b>	72 m $\Omega$	99 m $\Omega$	6 m $\Omega$
<b>Impedancia (50 Hz)</b>	1,6430 $\Omega$	0,5073 $\Omega$	0,05073 $\Omega$
<b>Desfase teórico</b>	87,49 °	78,75 °	83,21 °
<b>Referencia núcleo</b>	T250-1603 63,5 mm x 31,75 mm x 25,4 mm		

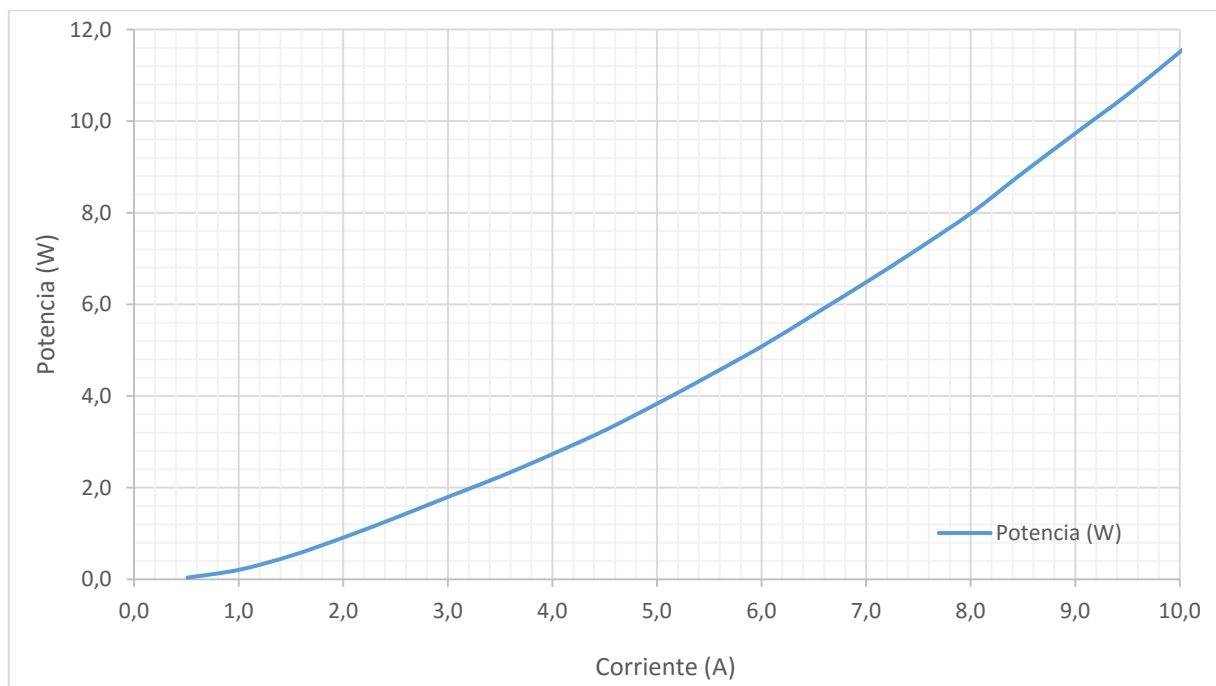


Figura 6.25 – Pérdidas en las inductancias en función de la amplitud de corriente de 50 Hz y L1 = 5,23 mH.

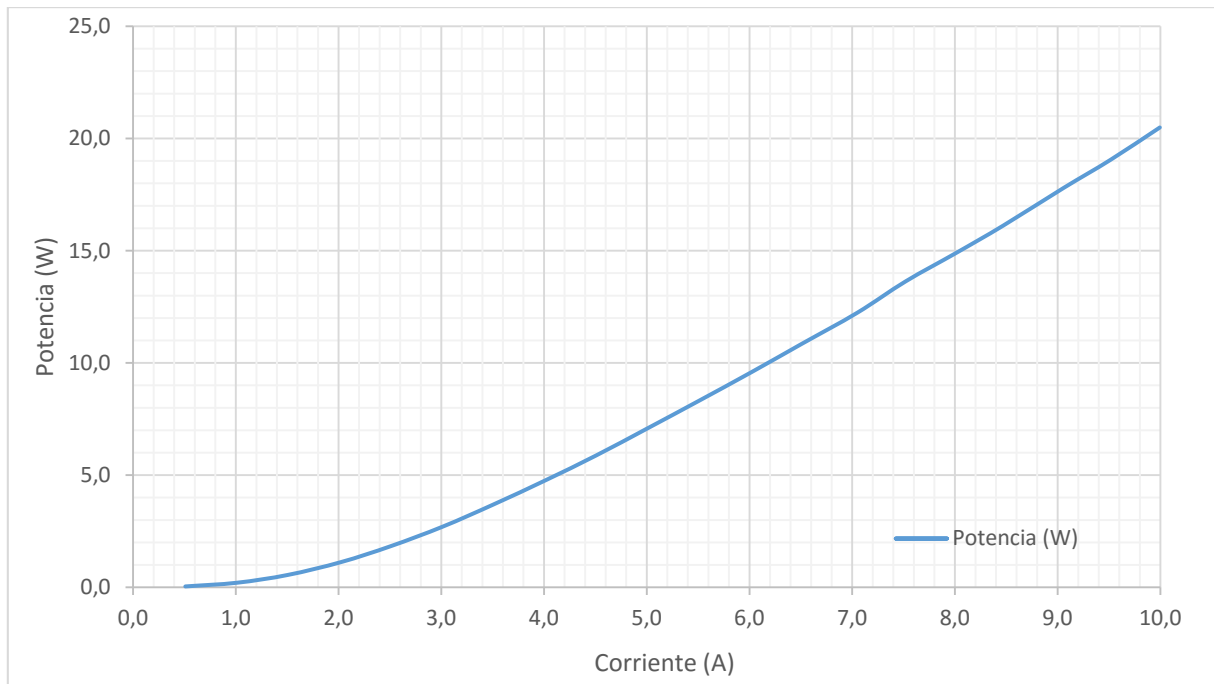


Figura 6.26 – Pérdidas en las inductancias en función de la amplitud de corriente de 50 Hz y  $L2 = 1615 \mu\text{H}$ .

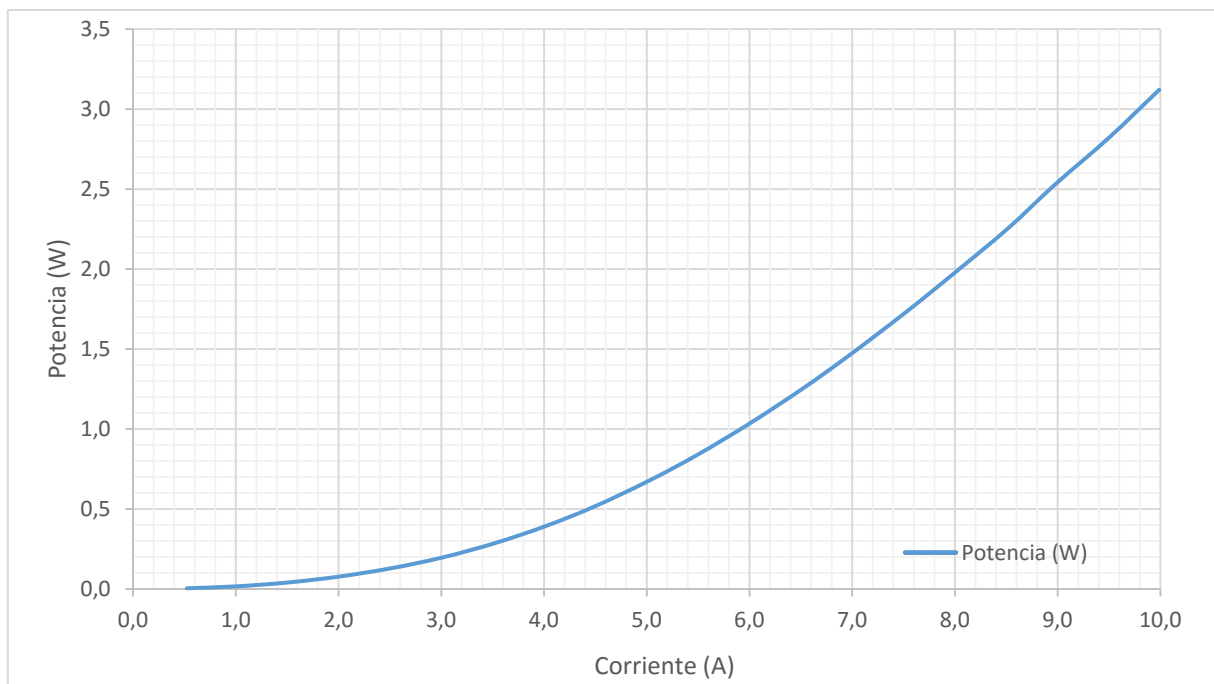


Figura 6.27 – Pérdidas en las inductancias en función de la amplitud de corriente de 50 Hz y  $L3 = 161,5 \mu\text{H}$ .

En el apartado *A.3.1 Potencia de pérdidas en inductancia debida a la corriente fundamental* del Anexo de este documento pueden consultarse los datos obtenidos en la realización de estos ensayos.

### 6.5.2 Potencia de pérdidas en inversor monofásico

En los siguientes apartados se describen los ensayos realizados para obtener la potencia de pérdidas en los semiconductores del convertidor en las siguientes condiciones:

- Pérdidas en interruptores formados por un transistor de 8 A de corriente nominal.
- Pérdidas en interruptores formados por cuatro transistores en paralelo y activación adaptativa. Corriente nominal de 2 A por transistor.
- Pérdidas en interruptores formados por cuatro transistores en paralelo y activación simultánea. Corriente nominal de 2 A por transistor.
- Pérdidas en interruptores formados por cuatro transistores en convertidor con modulación basada en multiportadora. Corriente nominal de 2 A por transistor.

En el apartado A.3.2 *Pérdidas en interruptores* del Anexo de este documento pueden consultarse los datos obtenidos en la realización de estos ensayos.

#### 6.5.2.1 Pérdidas en interruptores de un transistor

El gráfico de la Figura 6.28 indica la evolución de la potencia de entrada del convertidor en función de la corriente de salida en un ensayo en cortocircuito, la figura muestra las pérdidas a distintas frecuencias de conmutación.

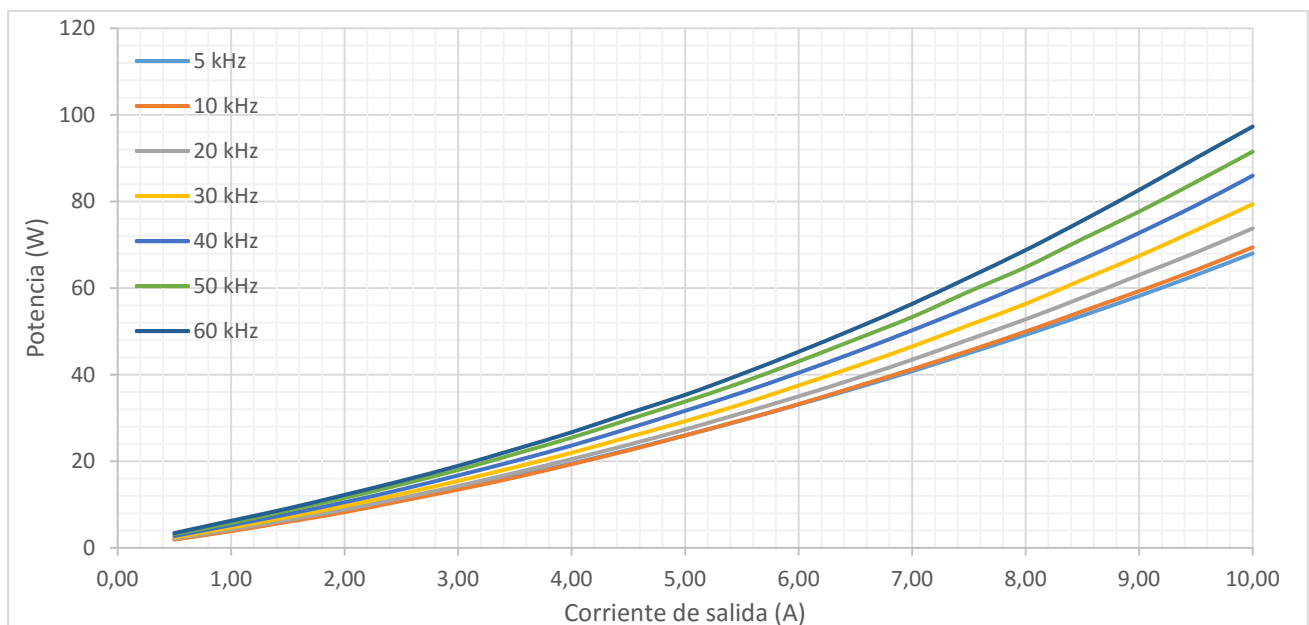


Figura 6.28 – Potencia de entrada en función de la corriente de salida del inversor a distintas frecuencias de conmutación. Cada interruptor está constituido por un transistor SKW07N120.

En la Figura 6.29 se comparan las pérdidas en un ensayo a 10 kHz y 40 kHz con las estimadas a partir de la hoja de especificaciones del transistor SKW07N120. El trazo discontinuo muestra la estimación de pérdidas mientras que el trazo continuo muestra los resultados del ensayo.

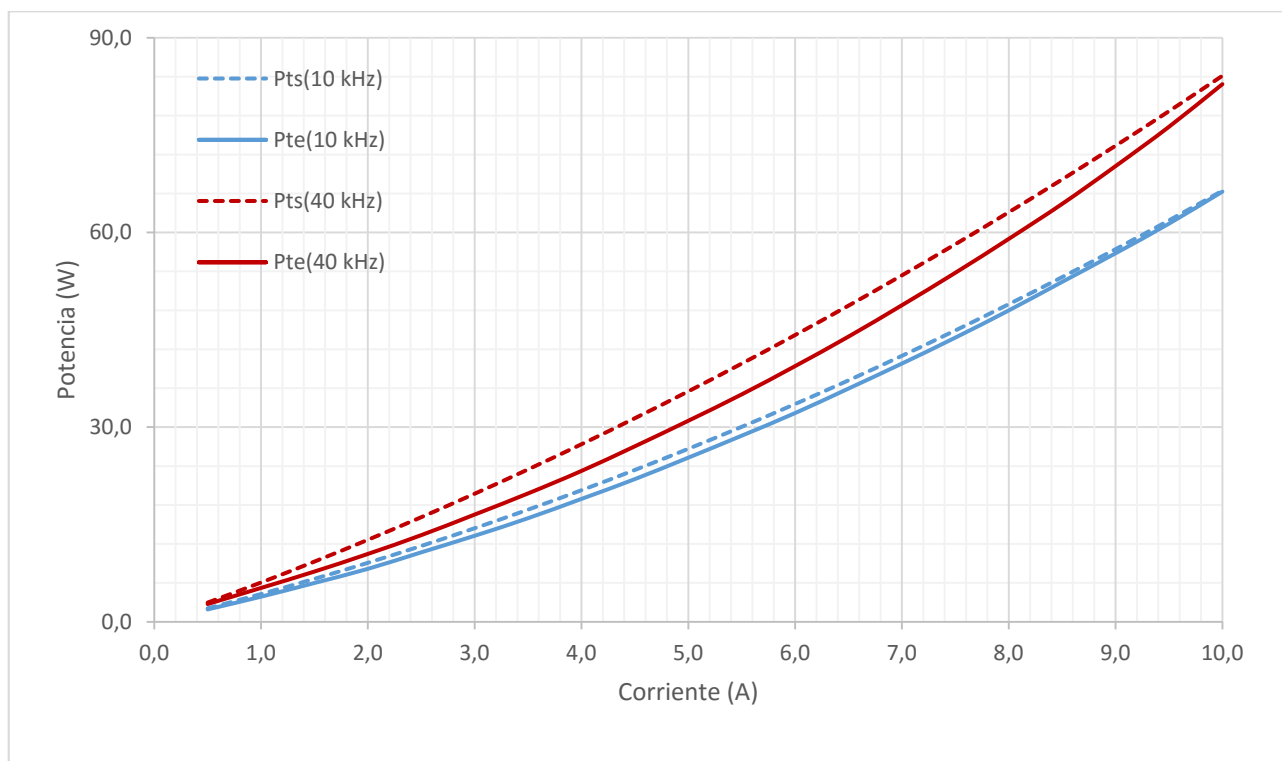


Figura 6.29 – Comparativa de resultados de simulación y ensayo con transistor SKW07N120.

### 6.5.2.2 Pérdidas en interruptores de cuatro transistores y conmutación simultánea

La Figura 6.30 muestra la potencia de entrada en función de la corriente de salida y distintas frecuencias de conmutación. Considerando la corrección de ganancia que requiere el aumento de la frecuencia de salida del PWM, la curva de 70 kHz muestra una cierta inestabilidad debida a la pérdida de resolución del PWM. A medida que la frecuencia de conmutación aumenta, el valor máximo del contador disminuye. A partir de 50 kHz, la resolución del PWM es inferior a la del ADC de modo que es posible adquirir valores que el PWM no puede representar. En estas condiciones aparece una cierta oscilación en torno a la referencia del control.

Realizando el ensayo en las mismas condiciones que en el apartado anterior, los resultados muestran menores pérdidas cuando los interruptores del inversor están basados en la conexión en paralelo de cuatro transistores SKP02N120. Este comportamiento es más destacable a medida que la corriente nominal del interruptor aumenta, no obstante, este ensayo muestra que la conexión en paralelo de transistores puede aportar una mejor eficiencia en un convertidor al reducir las pérdidas en sus semiconductores.

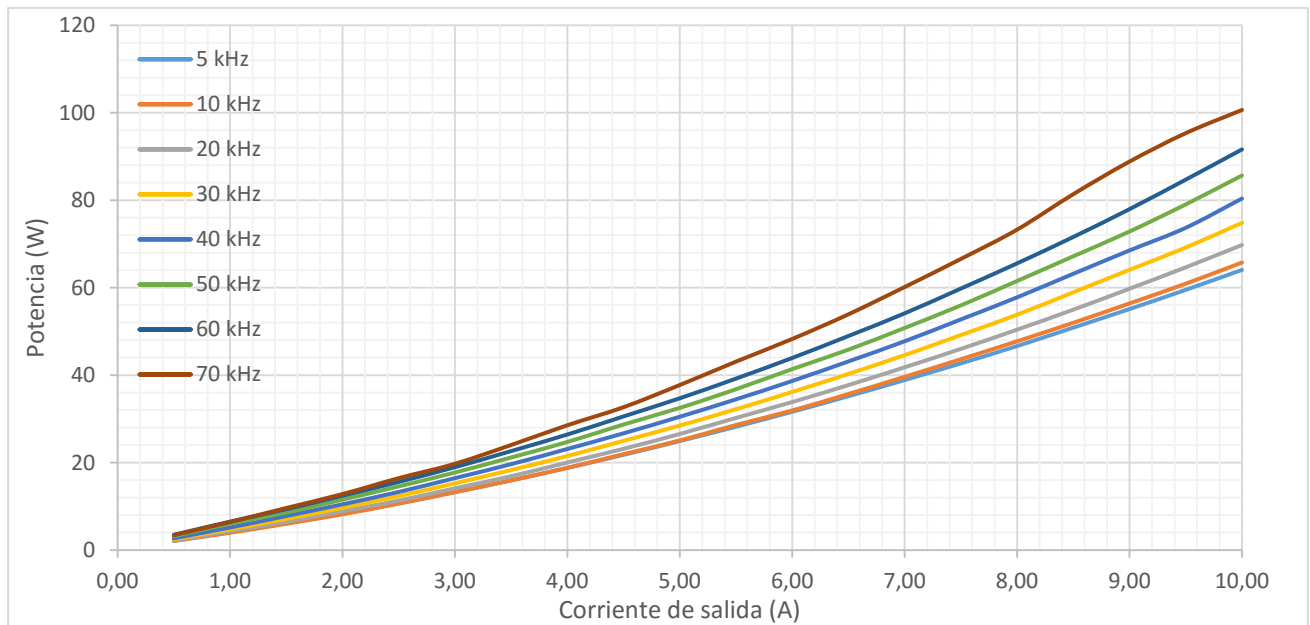


Figura 6.30 – Potencia de entrada en función de la corriente de salida del inversor a distintas frecuencias de conmutación. Cada interruptor integra cuatro transistores SKP02N120.

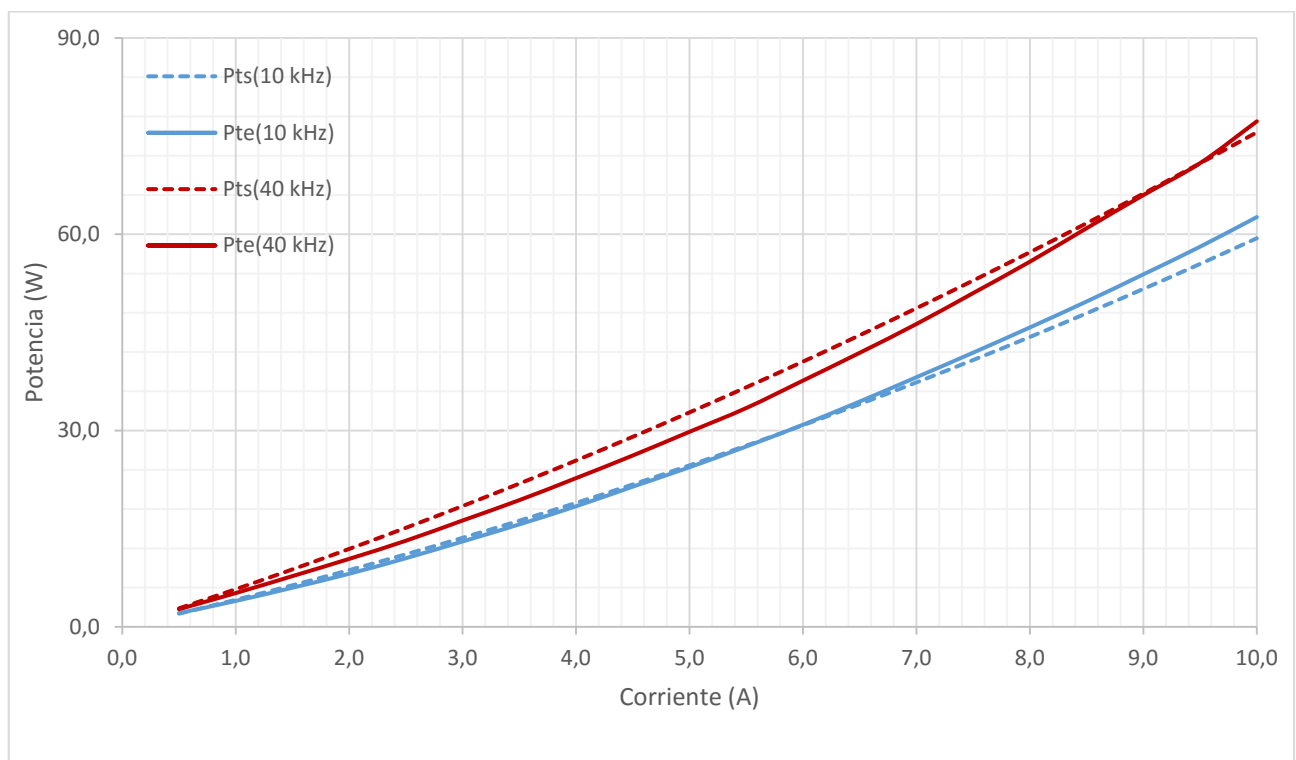


Figura 6.31 – Comparativa de resultados de simulación y ensayo con transistor SKP02N120.

En la Figura 6.31 se comparan las pérdidas en un ensayo a 10 kHz y 40 kHz con las estimadas a partir de la hoja de especificaciones del transistor SKP02N120. El trazo discontinuo muestra la estimación de pérdidas mientras que el trazo continuo muestra los resultados del ensayo.

A continuación se muestran los resultados del mismo ensayo en cortocircuito pero modificando la inductancia de salida del convertidor. La Figura 6.32 muestra la evolución de la potencia de entrada en función de la corriente de salida del inversor con una inductancia  $L_2$  de 1,6 mH.

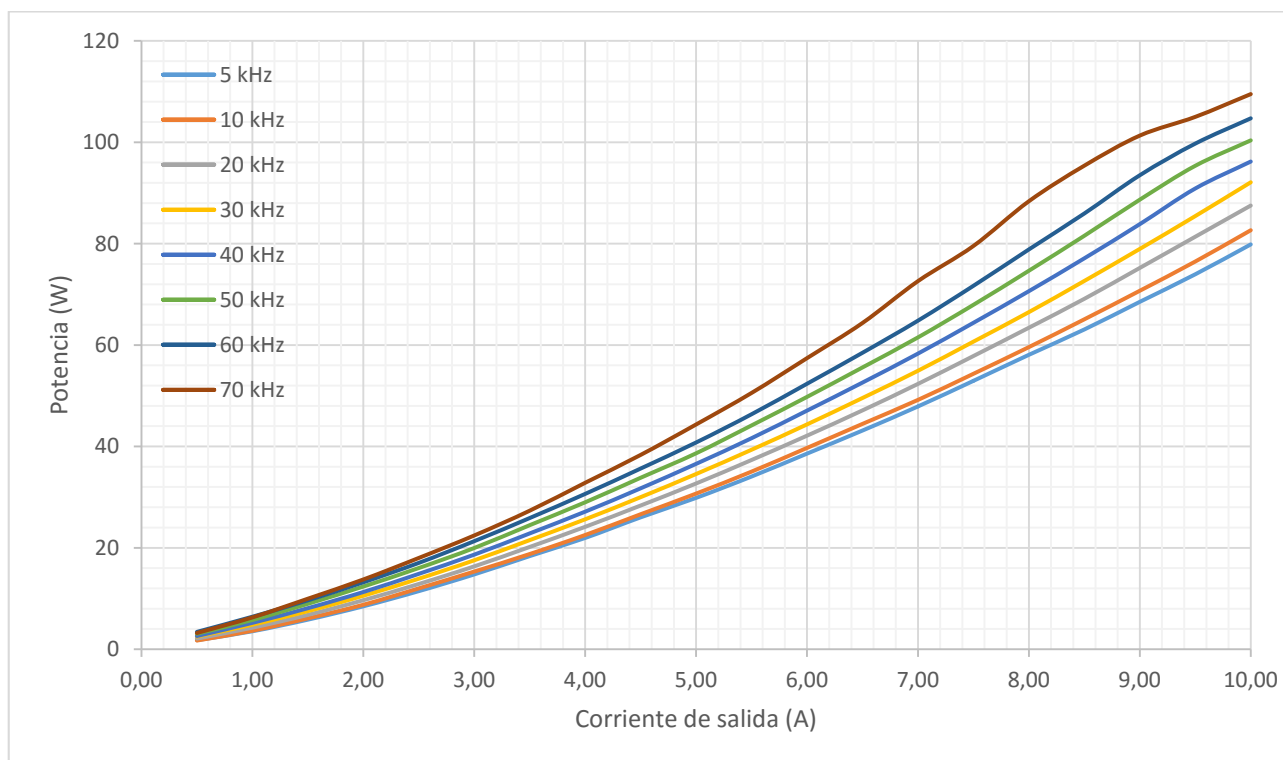


Figura 6.32 – Potencia de entrada en función de la corriente de salida y la frecuencia de conmutación (Inductancia de ensayo  $L_2$ ).

### 6.5.2.3 Pérdidas en interruptores de cuatro transistores y conmutación adaptativa

El conjunto de ensayos que se describe a continuación muestran una comparativa de la evolución de la potencia de entrada en función de la corriente de salida del inversor. En este caso se pretende observar la potencia de entrada del inversor si la conmutación de los transistores es simultánea y compararlos cuando la estrategia de conmutación es adaptativa.

Los resultados permiten comparar las pérdidas en interruptores formados por transistores conectados en paralelo. La Figura 6.33 muestra como la configuración adaptativa, que optimiza la superficie del semiconductor en función de la necesidad de conducción de corriente, se



desplaza entre el conjunto de curvas a medida que la amplitud de corriente aumenta, incrementando el número de transistores conmutando de forma simultánea. Así, al incrementar el número de transistores activados en paralelo, las pérdidas disminuyen pero nunca son inferiores a las observadas cuando todos los transistores conmutan de forma simultánea en todo momento.

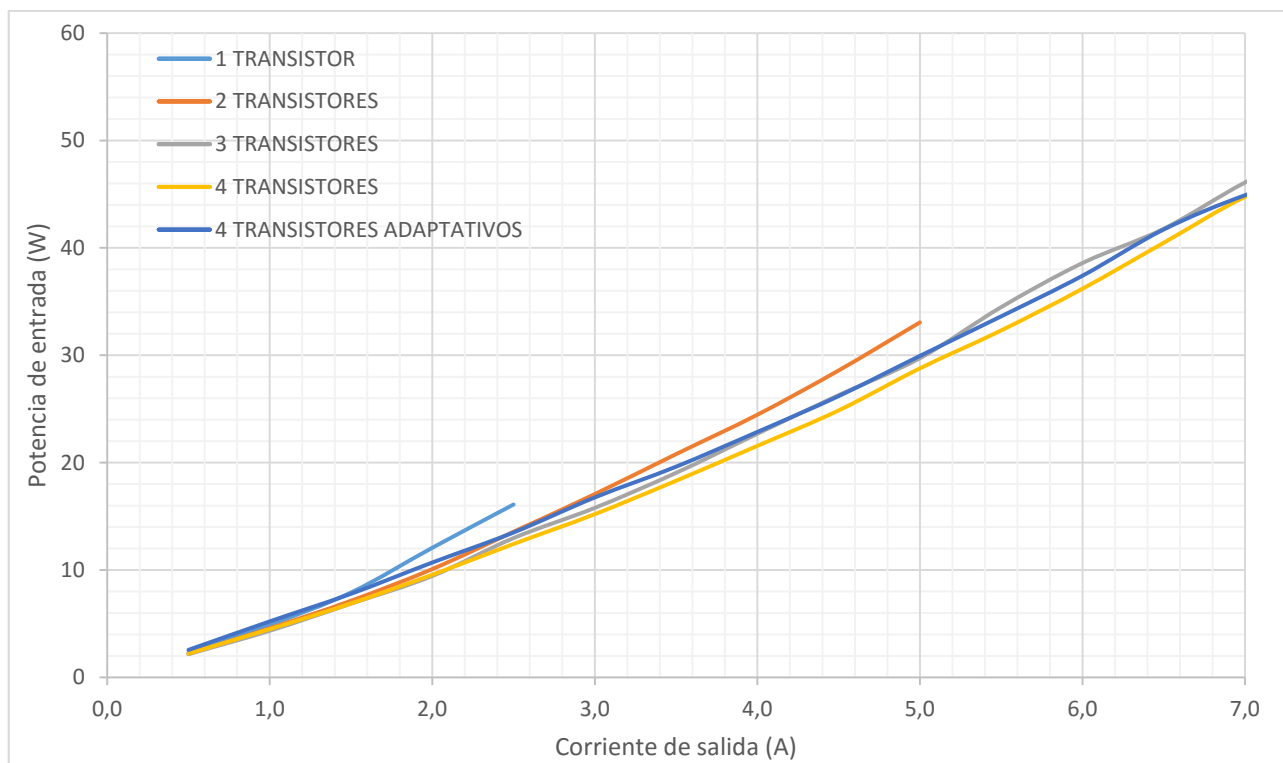


Figura 6.33 – Potencia de entrada en función de la corriente de salida del inversor con interruptores formados por cuatro transistores conectados en paralelo y frecuencia de conmutación de 10 kHz.

Los resultados obtenidos, tanto en simulación como en ensayo, indican que este tipo de gestión en la conmutación no proporciona más eficiencia al convertidor. La rotación permite homogeneizar el uso de los transistores y reduce el número de conmutaciones pero incrementa el nivel de pérdidas totales del interruptor.

La Figura 6.34 muestra la potencia de pérdidas atribuible principalmente a la conmutación y a la conducción de los transistores. La diferencia corresponde a las pérdidas en la inductancia debidas a la corriente de baja frecuencia. Puesto que el rizado es muy bajo, las pérdidas asociadas a la corriente de alta frecuencia pueden ser despreciadas.

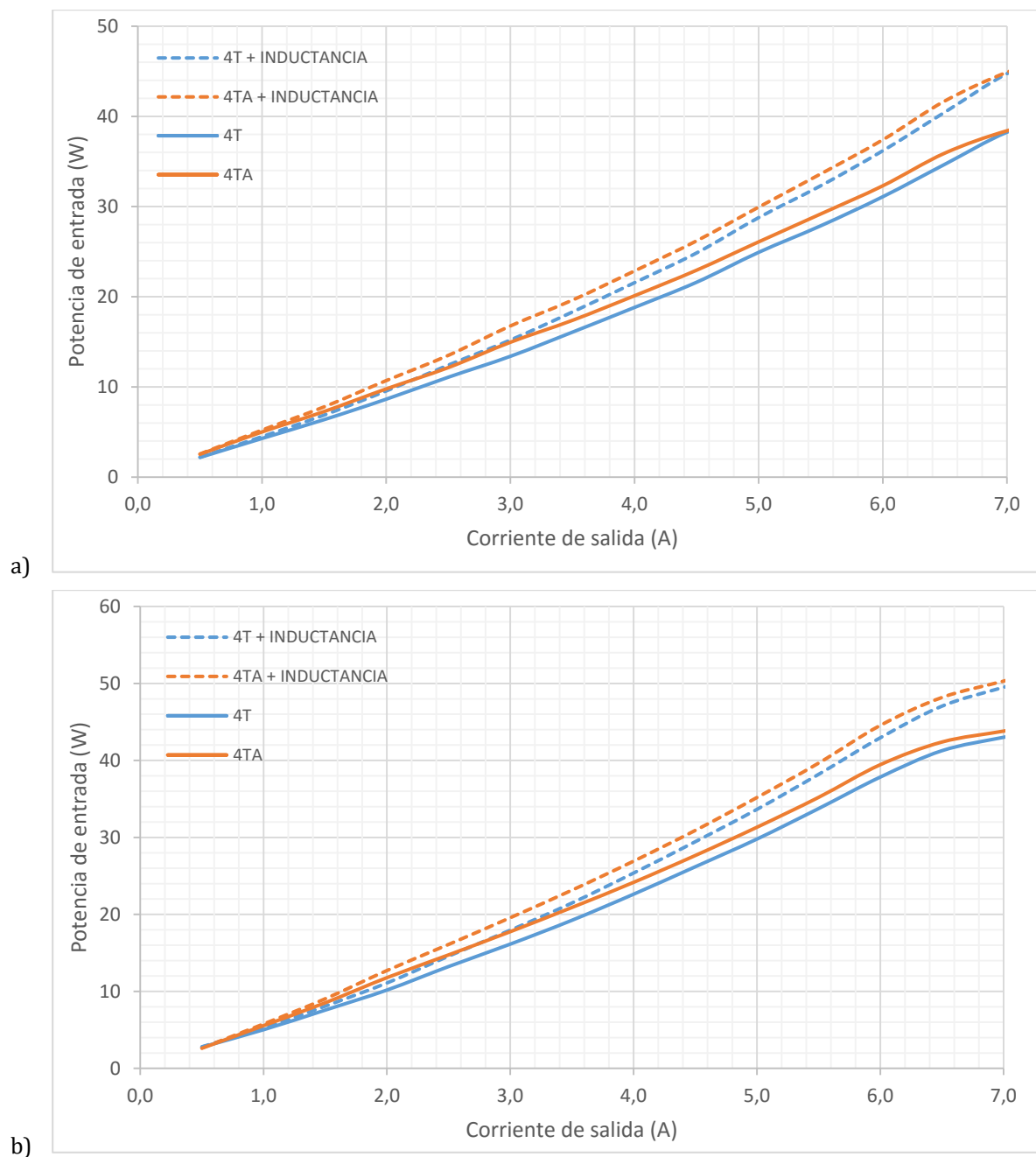


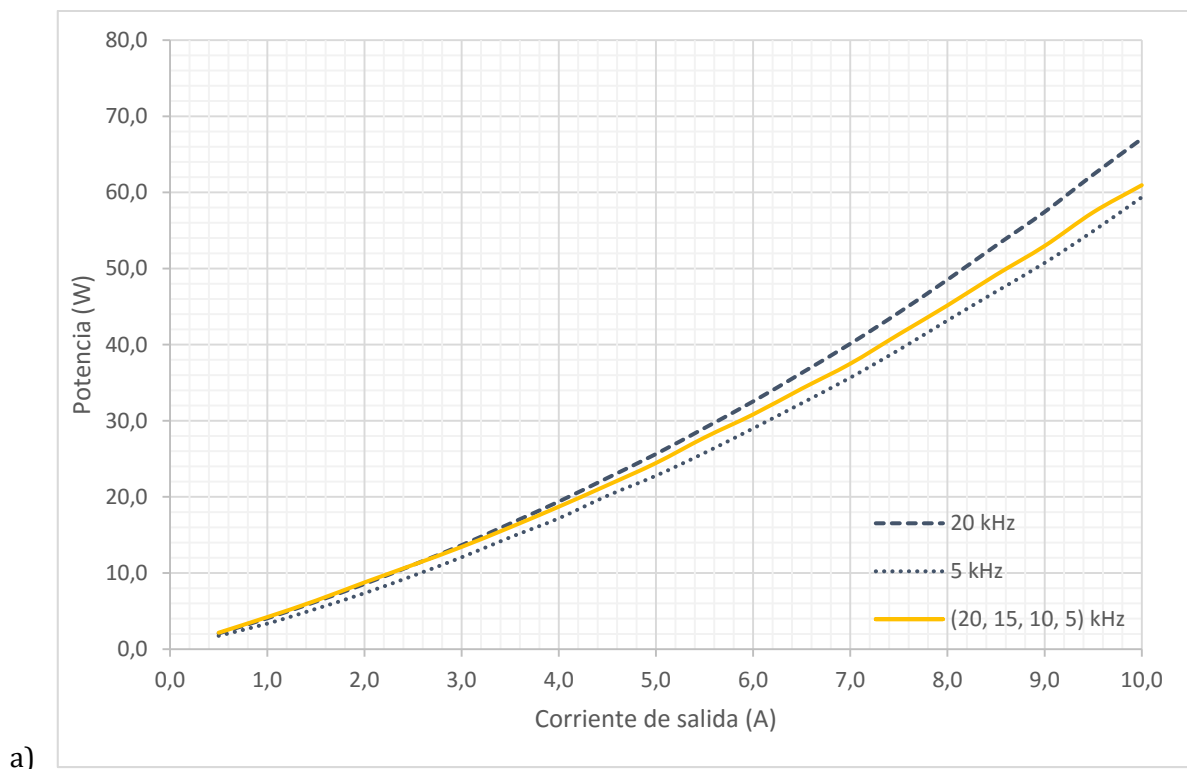
Figura 6.34 – Potencia de pérdidas en transistores a)  $f_s = 10$  kHz, b)  $f_s = 40$  kHz.

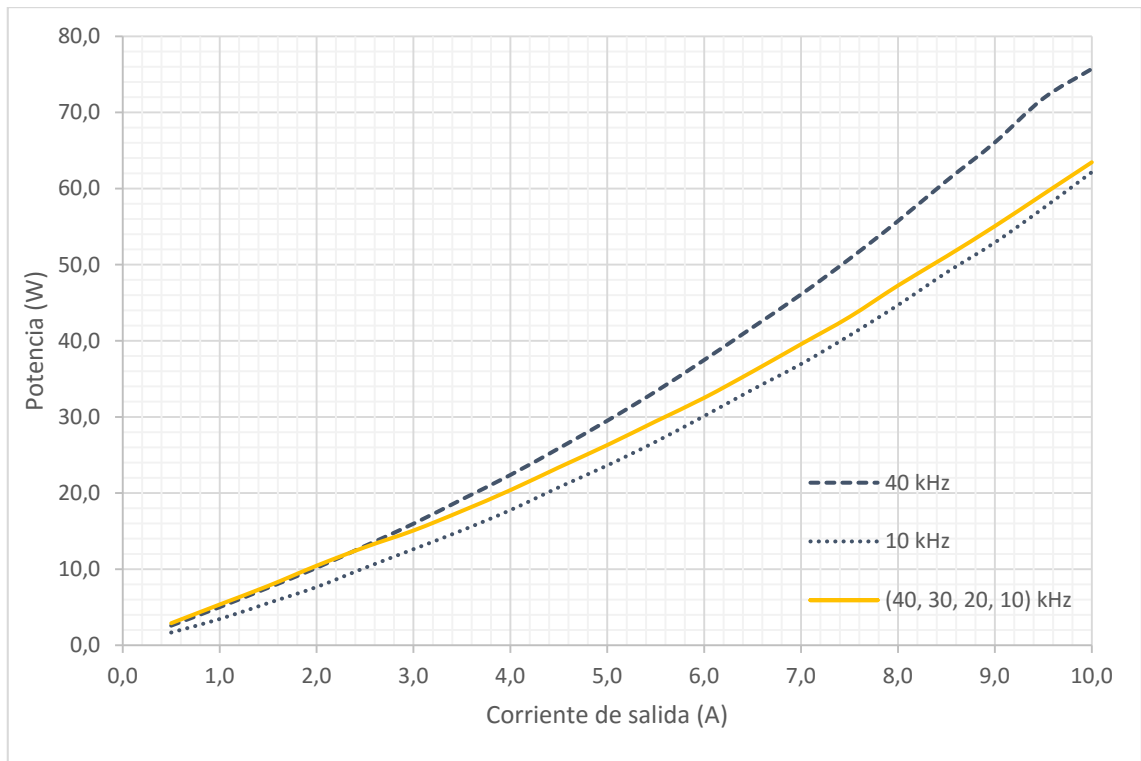
Los resultados obtenidos y descritos en el apartado anterior muestran que la configuración que proporciona más eficiencia al convertidor en interruptores formados por transistores conectados en paralelo es la conmutación simultánea de todos ellos, independientemente de la energía transferida. Por este motivo, los siguientes ensayos se han realizado forzando la conmutación de los cuatro transistores que integra cada interruptor, de este modo se podrá evaluar y determinar la configuración más eficiente cuando se aplican técnicas de modulación basadas en portadoras multifrecuencia.

#### 6.5.2.4 Pérdidas en modulación basada en portadora multifrecuencia

El siguiente grupo de ensayos muestra la potencia de entrada en un inversor cuando se aplican técnicas de modulación basadas en la variación de la frecuencia de conmutación. En este caso, se utiliza el método de la Figura 6.19 y, por tanto, depende de la amplitud de corriente de salida del convertidor.

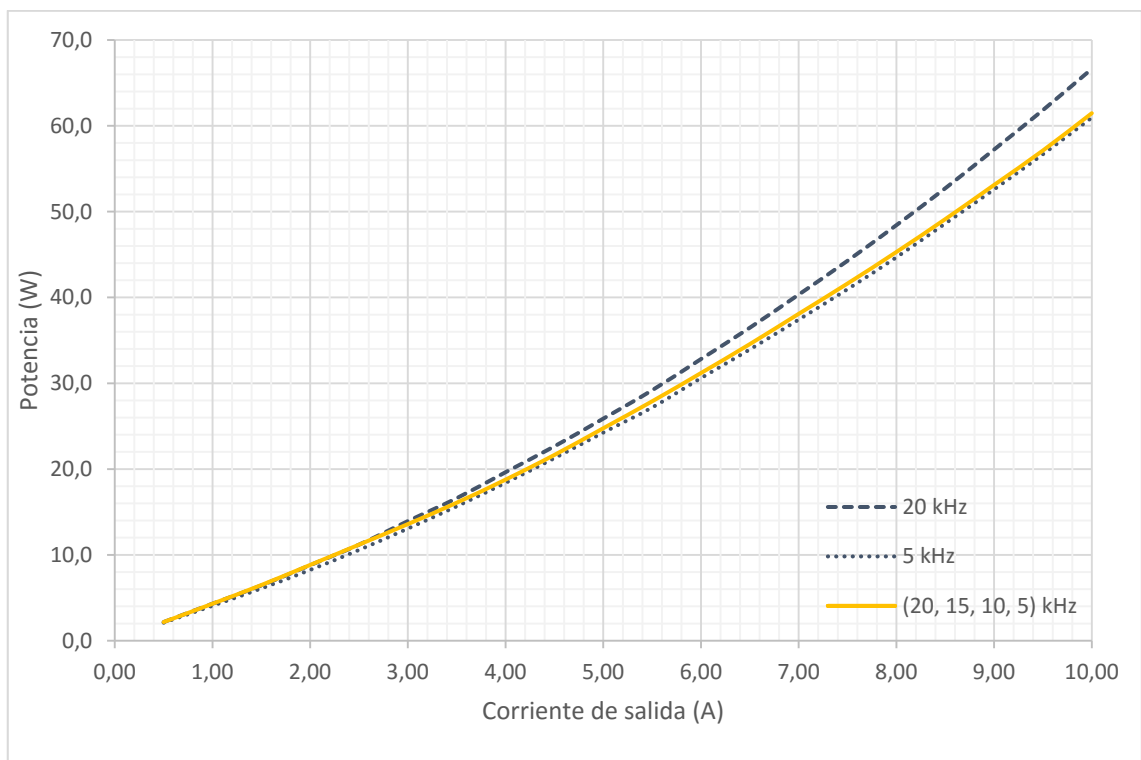
Las Figuras 6.35 y 6.36 muestra los resultados de dos ensayos con inductancias de salida distintas ( $L_2$  y  $L_3$ ) y frecuencia de conmutación constante (líneas discontinuas) y frecuencia de conmutación variable (línea continua) basada en una portadora multifrecuencia. Los gráficos muestran como la curva correspondiente al sistema con portadora multifrecuencia se desplaza entre las curvas asociadas a las pérdidas cuando el convertidor conmuta a frecuencia constante. A medida que la amplitud de corriente de salida aumenta, las pérdidas tienden a aproximarse a las producidas cuando los interruptores del convertidor funcionan a la mínima frecuencia de conmutación.



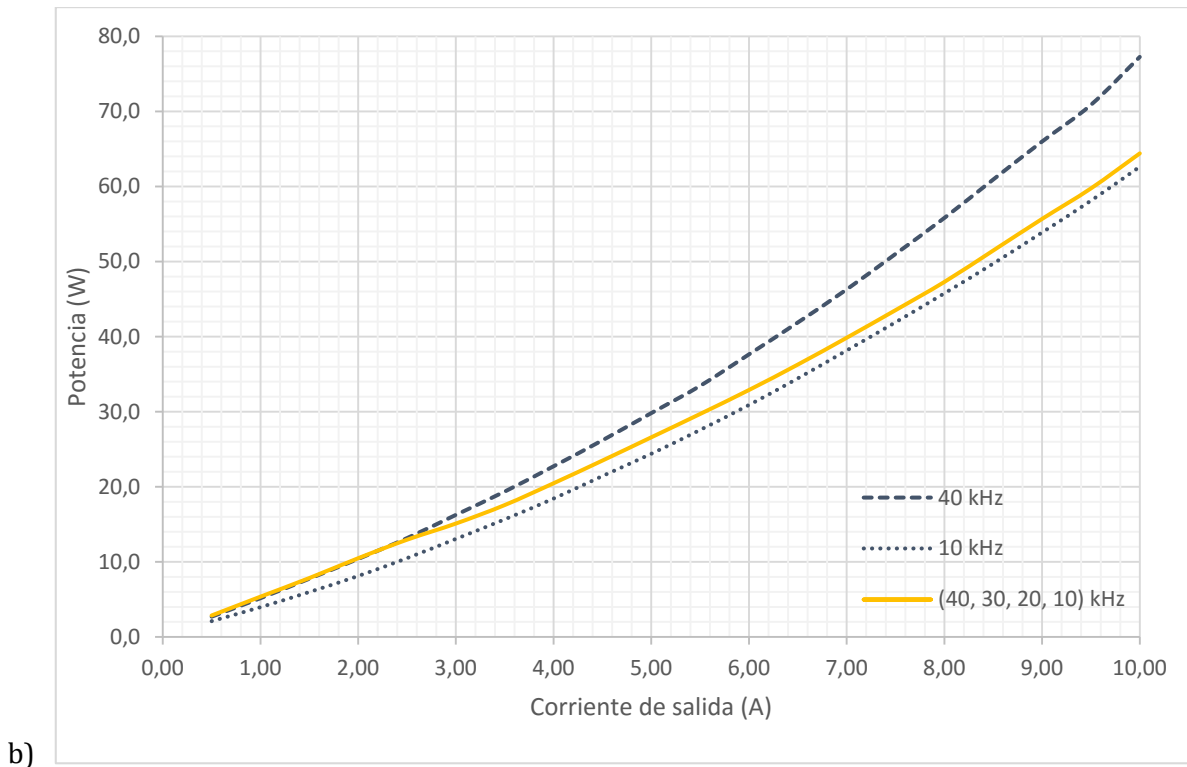


b)

Figura 6.35 - Potencia de entrada en inversor monofásico con modulación basada en portadora multifrecuencia. Inductancia de ensayo L2: a) frecuencia de conmutación (20, 15, 10, 5) kHz y b) frecuencia de conmutación (40, 30, 20, 10) kHz.



a)



b) Figura 6.36 - Potencia de entrada en inversor monofásico con modulación basada en portadora multifrecuencia. Inductancia de ensayo L3: a) frecuencia de conmutación (20, 15, 10, 5) kHz y b) frecuencia de conmutación (40, 30, 20, 10) kHz.

La Figura 6.37 muestra capturas de la forma de onda de corriente de salida a medida que la amplitud aumenta.

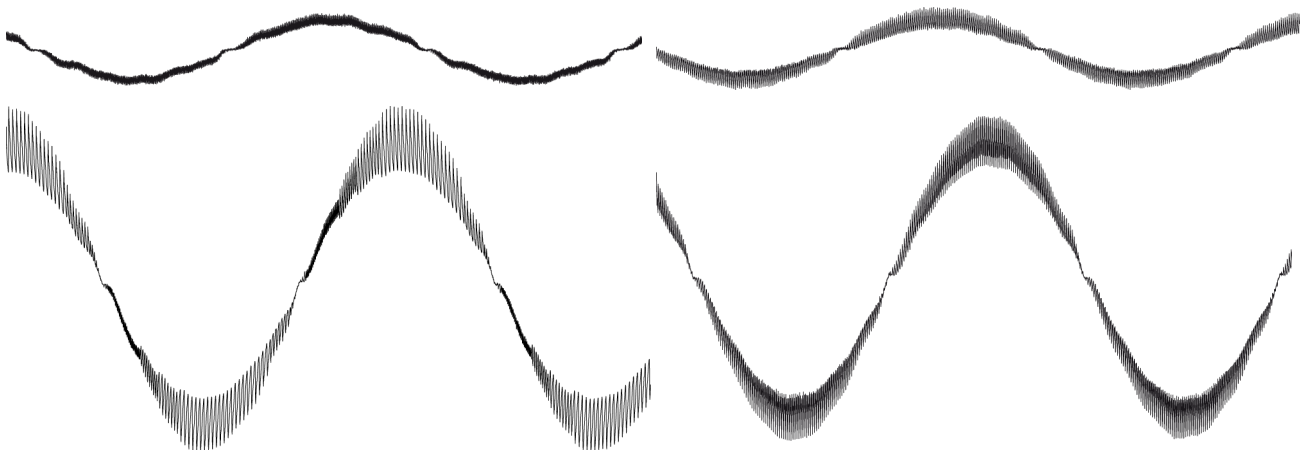


Figura 6.37 - Forma de onda de corriente de salida de 2 A y 10 A con modulación basada en portadora multifrecuencia (izquierda) y con frecuencia de conmutación constante de 10 kHz (derecha).

### 6.5.3 Distorsión armónica total (THD)

El uso de una portadora multifrecuencia permite reducir las pérdidas del inversor aplicando una frecuencia de conmutación menor en condiciones de máxima transferencia de potencia. El método aplicado escala la amplitud del rizado de corriente en función de la amplitud de la corriente fundamental con el objetivo de mantener constante la distorsión armónica de la corriente de salida.

La Figura 6.38 muestra una comparativa del índice THD obtenido en función de la amplitud de corriente en convertidores de frecuencia de conmutación fija y en un inversor con control de conmutación basado en una portadora multifrecuencia.

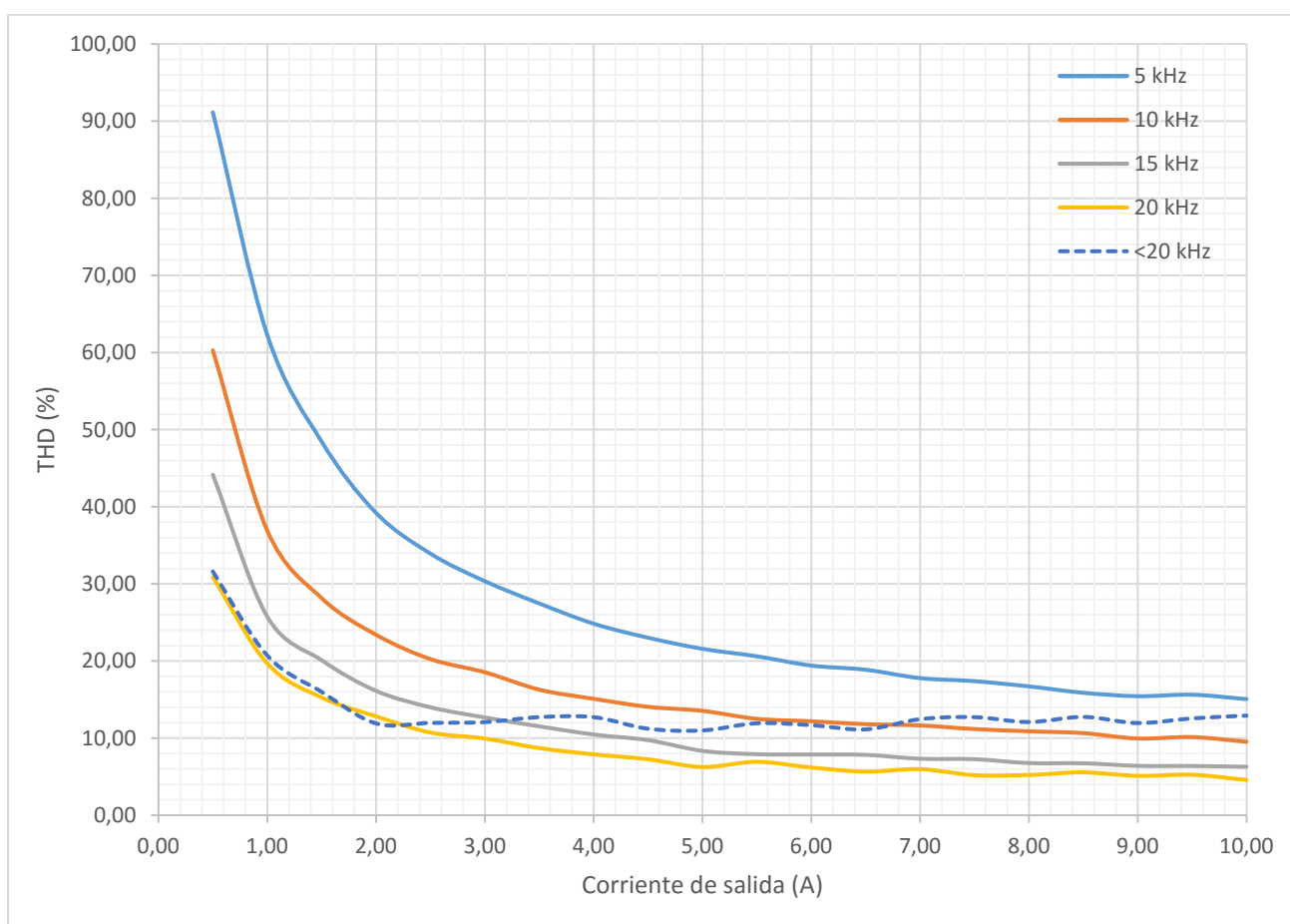


Figura 6.38 – Índice de distorsión armónica total de la corriente de salida del inversor monofásico con frecuencia de conmutación fija y con portadora multifrecuencia (5, 10, 15 y 20) kHz.

Las curvas con el trazo continuo muestran la evolución del índice THD en función de la corriente de salida de un inversor monofásico con frecuencia de conmutación fija para frecuencias de 5 kHz, 10 kHz, 15 kHz y 20 kHz. A medida que la amplitud de corriente aumenta, el índice THD disminuye puesto que el contenido armónico asociado al rizado de corriente permanece

constante. El sistema basado en una portadora multifrecuencia, mostrada en la figura con un trazo discontinuo, inicialmente sigue la evolución de la curva de 20 kHz, esto se debe a que cuando la amplitud de corriente es baja la frecuencia de conmutación aplicada es máxima. A medida que la amplitud de corriente aumenta, la frecuencia de conmutación disminuye. El método utilizado para seleccionar la frecuencia de conmutación es el mostrado en la Figura 6.19. Las Figuras 6.39 a 6.43 muestran la forma de onda de corriente de salida para una amplitud de 10 A y un detalle del contenido armónico. El apartado *A.3.3 Distorsión armónica total (THD)* del Anexo de este documento muestra los resultados obtenidos en la realización de los ensayos.

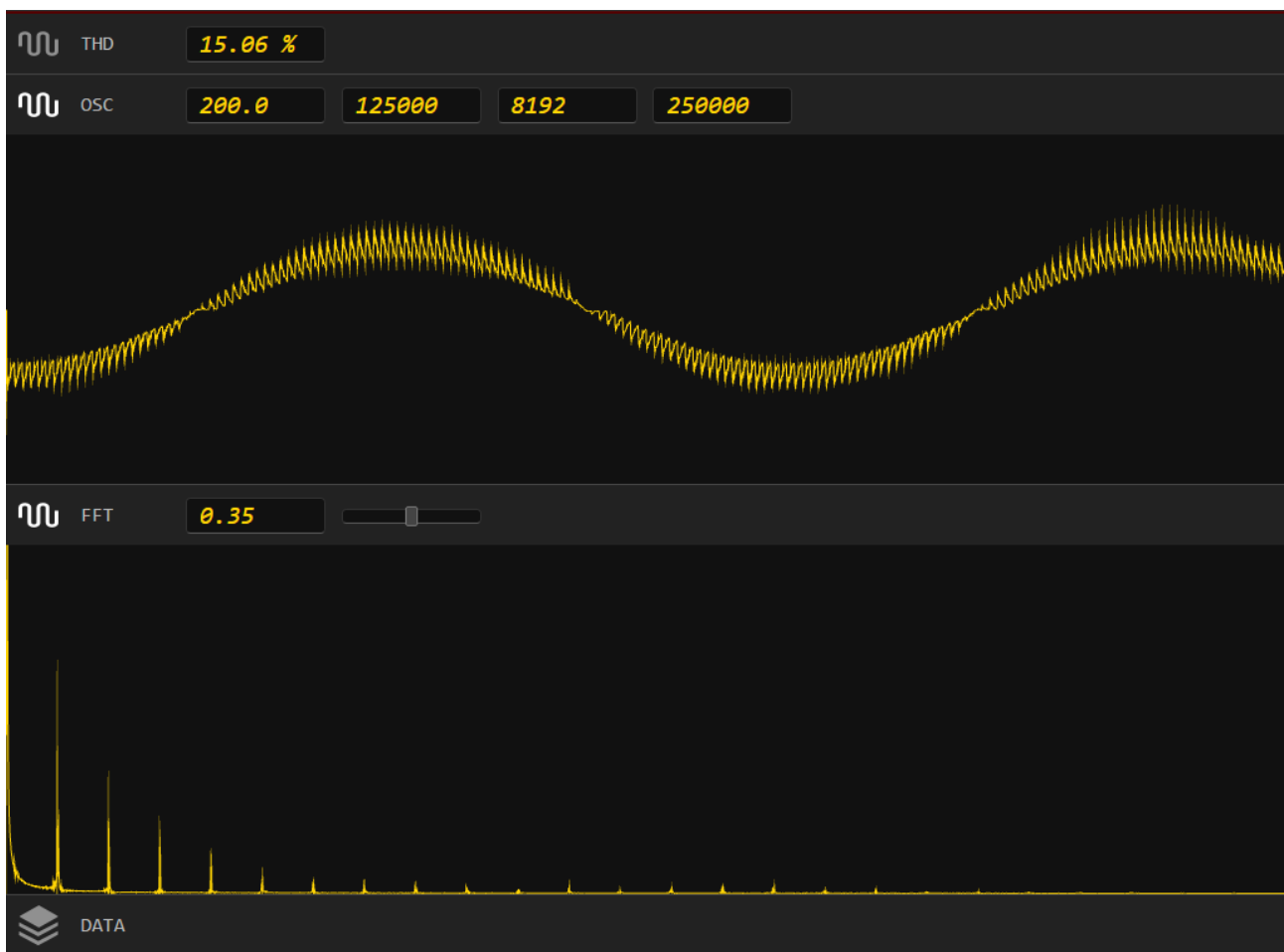


Figura 6.39 – Resultado de ensayo para una corriente de 10 A y 5 kHz de frecuencia de conmutación.

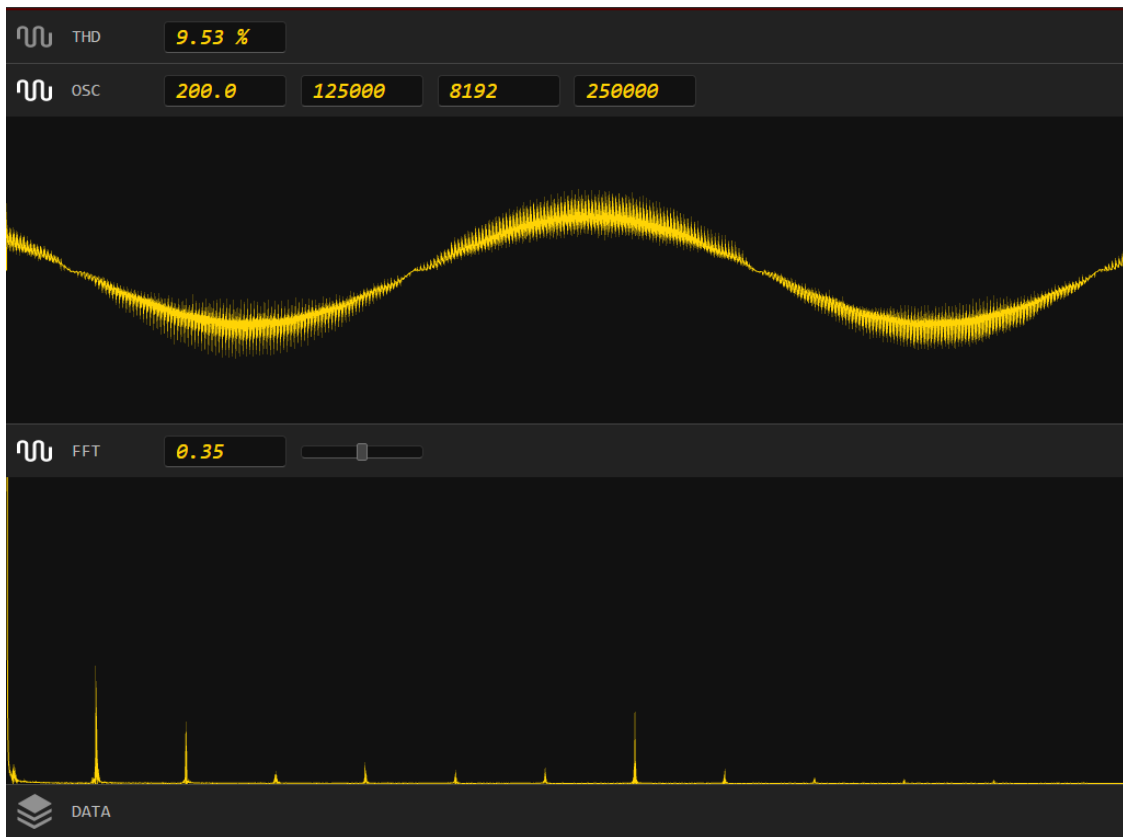


Figura 6.40 – Resultado de ensayo para una corriente de 10 A y 10 kHz de frecuencia de conmutación.

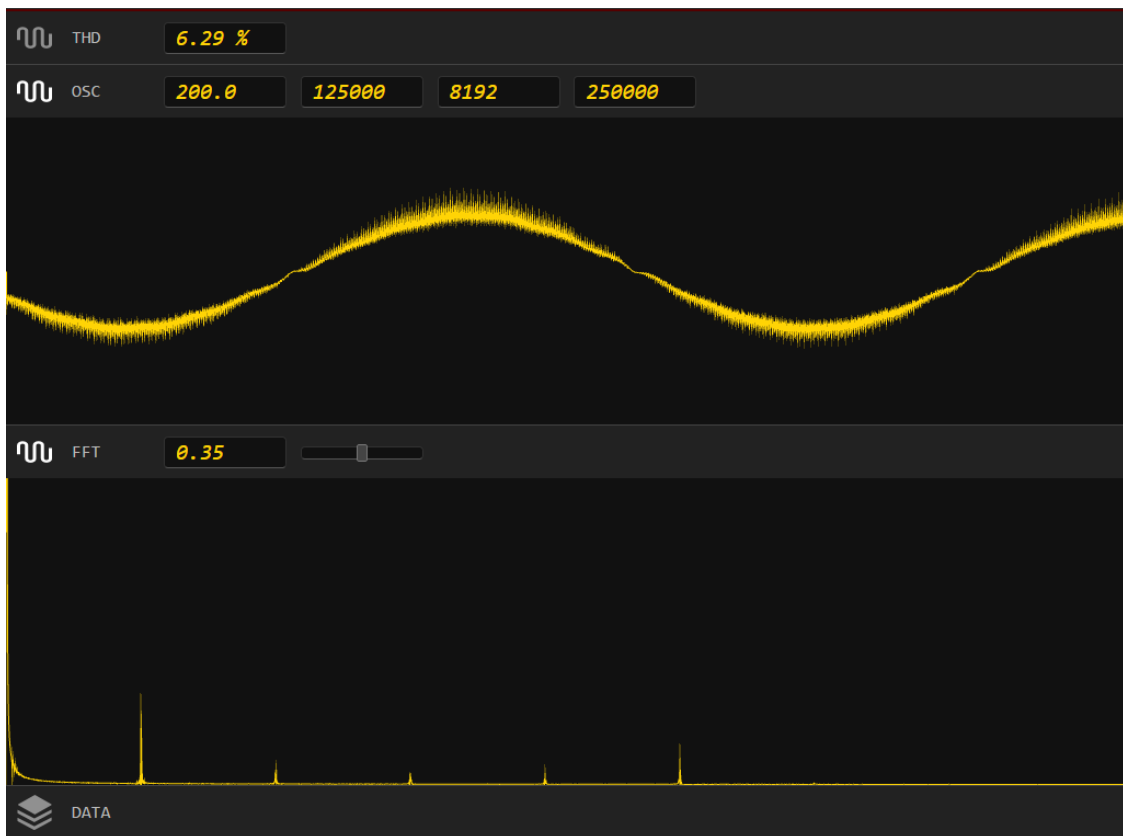


Figura 6.41 – Resultado de ensayo para una corriente de 10 A y 15 kHz de frecuencia de conmutación.



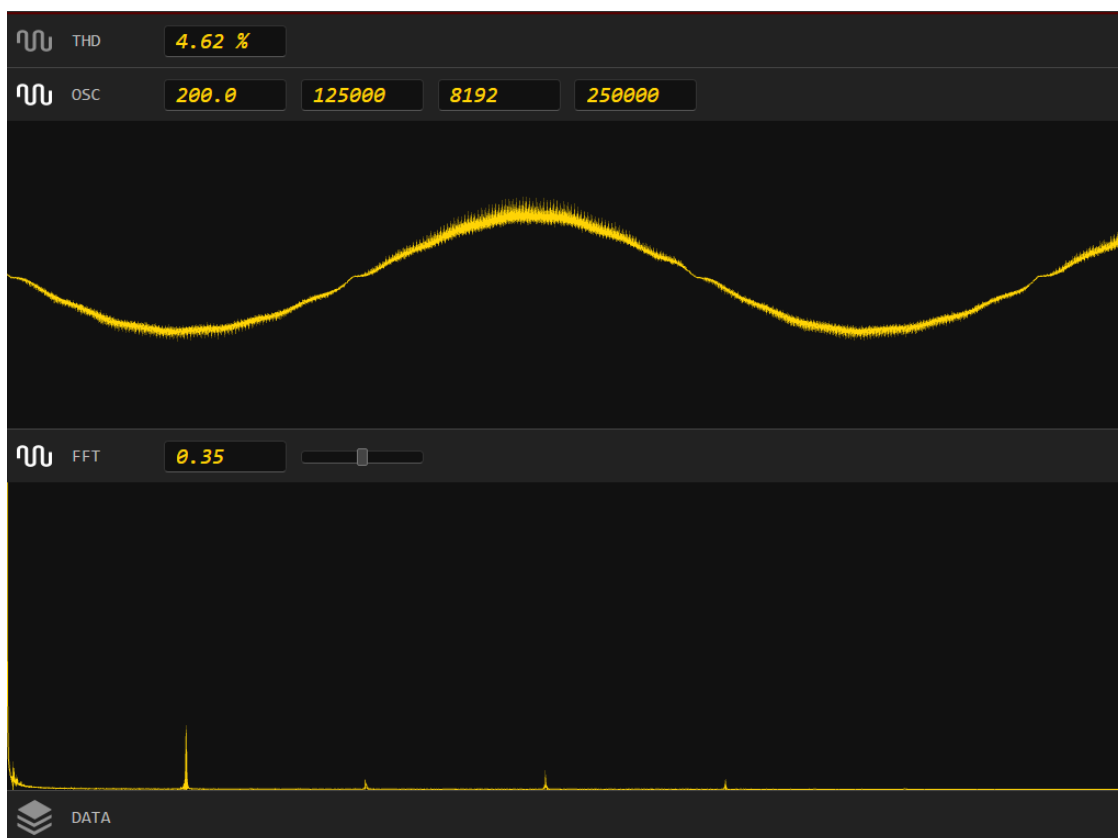


Figura 6.42 – Resultado de ensayo para una corriente de 10 A y 20 kHz de frecuencia de conmutación.

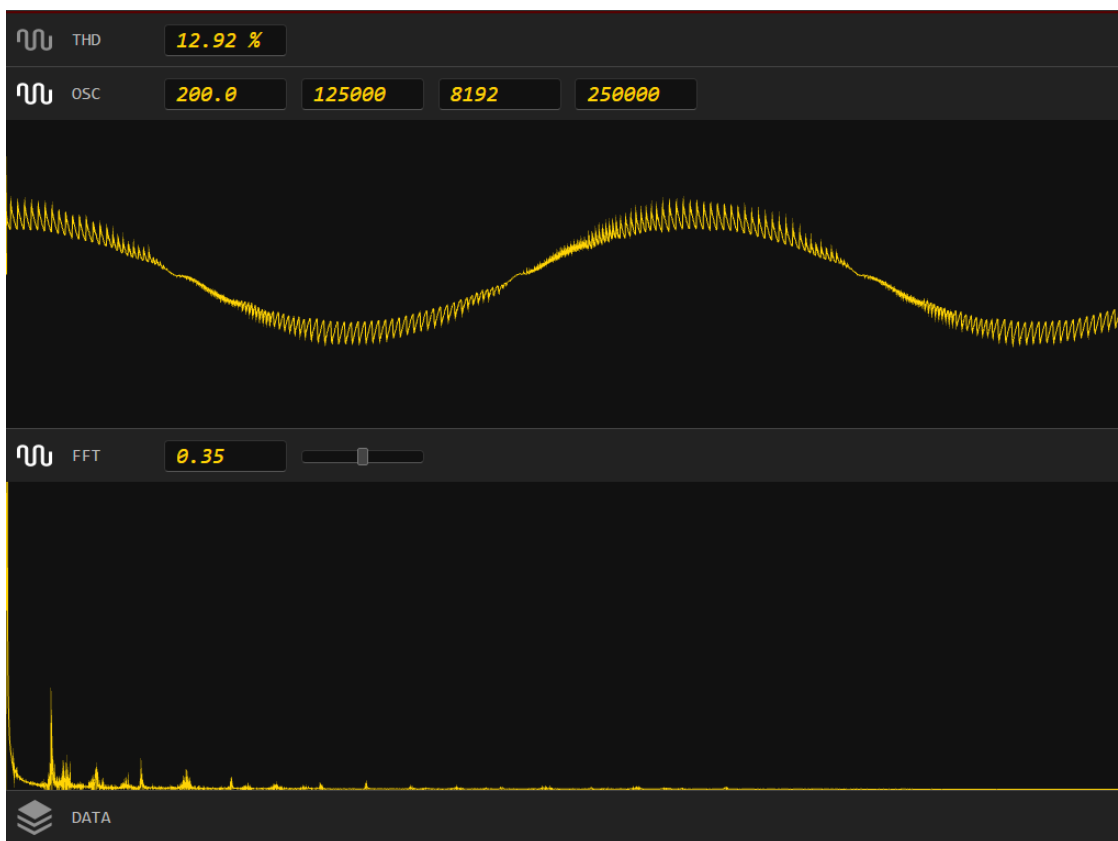


Figura 6.43 – Resultado de ensayo para una corriente de 10 A y frecuencia de conmutación variable.

## 6.6 Conclusiones

En este capítulo se han presentado resultados experimentales del balance de pérdidas en un inversor monofásico, concretamente en los transistores del convertidor y en la inductancia de acoplamiento a red.

A partir de los ensayos realizados se extraen las siguientes conclusiones:

- La conexión en paralelo de transistores puede reducir las pérdidas en los semiconductores y en consecuencia incrementar la eficiencia global del convertidor.
- La aplicación de técnicas adaptativas en la configuración del interruptor basado en la energía transferida no reduce las pérdidas de conmutación si se compara con el mismo grupo de transistores si conmutan de forma simultánea independientemente de la corriente transferida.
- La aplicación de técnicas adaptativas basadas en la modulación mediante portadoras multifrecuencia permite reducir la distorsión armónica total en condiciones de baja amplitud de corriente de salida.
- La gestión realizada en el grupo de transistores en paralelo indica que la aplicación de técnicas de conmutación puede mejorar la eficiencia del convertidor siendo óptima en todo momento sin importar el nivel de energía transferida. La gestión en interruptores es rígida y no permite obtener distintos máximos de eficiencia en función del nivel de carga del convertidor.

# CAPÍTULO 7

---

## Conclusiones y futuras líneas de investigación

### 7.1 Conclusiones

Las condiciones de funcionamiento variables a las que ven sometidos los sistemas de procesamiento de energía pueden resultar un obstáculo cuando se pretende maximizar la eficiencia del sistema. No obstante, configuraciones basadas en la conexión de múltiples sistemas de procesamiento de energía y una adecuada gestión en la conexión de estos sistemas han demostrado un incremento de la eficiencia global de la instalación.

Considerando la configuración dinámica utilizada para mejorar la eficiencia global de una instalación y trasladándola a un único convertidor, la conexión en paralelo de transistores ofrece mecanismos de control que permiten modificar su comportamiento en función de las condiciones de trabajo en las que se ve sometido.

El trabajo descrito en esta tesis muestra el impacto que tienen en la eficiencia del convertidor distintas técnicas de modulación considerando como principal elemento la conexión en paralelo de transistores. El estudio realizado muestra la influencia que tiene en la eficiencia global del convertidor el comportamiento de los transistores, la tecnología de construcción en la que se basan y la estrategia utilizada para el control del estado de los transistores. Las áreas estudiadas son:

- Condiciones y mecanismos que contribuyen al reparto de corriente en aplicaciones de procesamiento de energía.

- Impacto en la eficiencia cuando se aplican técnicas activas de equilibrado de corriente.
- Desarrollo de modelos de estimación de pérdidas en interruptores constituidos por la conexión en paralelo de transistores.
- Análisis y estimación de pérdidas en la inductancia de acoplamiento a red cuando se aplican técnicas de conmutación que producen variaciones de la frecuencia de conmutación del convertidor.
- Estudio experimental de pérdidas en un inversor monofásico con interruptores basados en la conexión en paralelo de transistores.

La principal ventaja que proporciona el control de conmutación de los transistores, es la capacidad de adaptación del convertidor de forma instantánea. El método desarrollado en esta tesis se adapta en tiempos inferiores a un ciclo de conmutación y no requiere ningún control de sincronización. Los métodos analizados adaptan la configuración de los interruptores del convertidor aplicando dos estrategias distintas:

- Configuración multiplexada de transistores.
- Modulación basada en portadora multifrecuencia.

La configuración multiplexada de transistores permite determinar el número de transistores utilizados en cada instante en función de un determinado criterio de actuación. El criterio de selección de transistores propuesto se basa en la energía transferida a partir del valor instantáneo de la corriente de salida del convertidor, y proporciona las siguientes ventajas:

- Cuando se aplican técnicas de conmutación adaptativas se consigue reducir en aproximadamente un 25 % el número de conmutaciones de los transistores.
- La reducción del número de conmutaciones permite reducir el estrés de conmutación del transistor favoreciendo una mayor durabilidad del dispositivo.
- Las técnicas de control multiplexadas no proporcionan la mejor configuración posible si se considera como óptima la que proporciona una mejor eficiencia al convertidor.
- La conexión en paralelo de transistores sí permite maximizar la eficiencia del convertidor, reduciendo las pérdidas en el interruptor. Este comportamiento es el observado en convertidores conectados en paralelo.
- Optimiza la disipación del calor utilizando de un modo más eficiente los dispositivos de refrigeración.

Es indudable que la mayor aportación de la modulación basada en una portadora multifrecuencia es el control que proporciona sobre la distorsión armónica de la corriente de salida del convertidor. Este método proporciona las siguientes ventajas:

- Mejora la proporción de amplitudes entre el rizado y la corriente de frecuencia fundamental. Esta característica permite mantener constante la relación del índice THD en prácticamente todo el rango de corriente que puede conducir los interruptores del convertidor. Cuando la amplitud de corriente es baja, el índice THD resultante es el mejor posible puesto que el convertidor trabaja con la frecuencia de conmutación más elevada.
- Reduce el estrés de los transistores puesto que escala las pérdidas de conmutación a medida que las pérdidas de conducción aumentan.
- El escalado del rizado de corriente permite reducir el valor de la inductancia de acoplamiento a red. Reducir el valor de la inductancia permite reducir las pérdidas que se producen en este dispositivo.
- Un bajo índice THD proporciona una menor distorsión del sistema incluso con amplitudes de corriente bajas.

La conexión en paralelo de transistores como elemento principal a la hora de definir la cantidad de energía transferida por un convertidor proporciona otras ventajas si se consideran factores económicos:

- Reducción de los costes de producción, puesto que el incremento del nivel de potencia transferida depende únicamente del número de transistores conectados en paralelo.
- La construcción de interruptores a partir de transistores discretos reduce el coste de interruptor si se compara con módulos de mayor corriente.
- El control del convertidor es único y no requiere de ningún método de sincronización en caso de producirse variaciones de las condiciones de trabajo.
- Reducción de las dimensiones y coste de la inductancia de acoplamiento a red cuando se utilizan técnicas basadas en portadoras multifrecuencia.
- El coste de la instalación se reduce al requerirse un único convertidor.
- Los costes de mantenimiento se reducen puesto que el número de componentes es menor.
- El periodo de amortización de una instalación es menor.

Si se consideran factores ambientales se obtienen los siguientes beneficios:

- El incremento de la frecuencia de conmutación permite reducir el nivel de ruido acústico.
- La reducción del tamaño de las inductancias disminuye la cantidad de material utilizado.
- Puesto que este método analizado se basa en la construcción de un único convertidor, la menor cantidad de material utilizado supone una gestión más eficiente de los recursos utilizados.

## 7.2 Aportaciones

El desarrollo de esta tesis ha propiciado las siguientes aportaciones:

Contribuciones a congresos:

- Raúl Pérez, Albert Codina, Manuel Román, Alfonso Conesa, Guillermo Velasco, “Convertidor CA/CA para ensayo de Inductancias con Retorno de Energía a Red”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación, Bilbao, Julio 2010.
- Raúl Pérez, Albert Codina, Sandra Baró, Manuel Román, Alfonso Conesa, Guillermo Velasco, Fernando Rodríguez, “Plataforma de Generación y Compensación Selectiva de Armónicos para Ensayo de Condensadores”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación, Badajoz, Julio 2011.
- Raúl Pérez, Manuel Román, Guillermo Velasco, “Estrategia de control para el equilibrado de corriente en transistores IGBT conectados en paralelo”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación, Guimaraes, Portugal, Julio 2012.
- Raúl Pérez, Manuel Román, Guillermo Velasco, “Estudio eléctrico y térmico en transistores IGBT en paralelo con control de reparto de corriente”, Seminario Anual de Automática, Electrónica Industrial e Instrumentación, Tánger, Marruecos, Junio 2014.
- Raúl Pérez, Guillermo Velasco, Manuel Román, “Current Sharing Control Strategy for IGBTs Connected in Parallel”, Journal of Power Electronics, Vol.16, No.2, pp.769-777, March 2016.

Participación en proyectos:

- Generador de armónicos para test de inductancias conectadas a convertidores PWM de alta potencia. MIMAVEN ELÉCTRICA S.A.

- Desarrollo de la nueva familia de convertidores estáticos para soldadura por ultrasonidos con control digital. ULTRASONIDOS J. TIRONI S.L.
- Desarrollo de un filtro activo y compensador de reactiva en tres hilos de 100 kVA. EPCOS ELECTRONIC COMPONENTS, S.A.
- Banco de test para la medida eléctrica térmica y sonora de inductores para energías renovables. NUCTOR, S.A. – Programa PROFIT del MITYC.
- Convertidor de CC/CC de 4 kV/24 V y 24 W para alimentación de equipos auxiliares, en instalaciones fijas, desde la catenaria de RENFE. PROAT S.L.
- Desarrollo de un transformador de corriente compensado. PREMO S.A. – Programa PROFIT del MITYC.

### 7.3 Futuras líneas de investigación

El continuo desarrollo tecnológico proporciona un cambio constante de las condiciones de funcionamiento en cualquier sistema basado en dispositivos electrónicos en general y en sistemas de procesado de energía en particular. El trabajo realizado en esta tesis muestra que existen dos áreas estrechamente vinculadas con la eficiencia del convertidor:

- Tecnología de los componentes:  
El estudio realizado en los semiconductores de potencia, especialmente en transistores IGBT, evidencia la continua evolución de estos dispositivos. Mejoras del diseño y construcción permite reducir las pérdidas asociadas a su funcionamiento permitiendo una mejor respuesta estática y dinámica cuando están conectados en paralelo.  
Otras mejoras constructivas tales como el encapsulado incrementan la capacidad de conducción de corriente. Mejorando la transferencia térmica del dispositivo, posibilita una mayor integración, incrementando la potencia por unidad de volumen.
- Topologías y técnicas de modulación:  
La disponibilidad de plataformas de control DSP de bajo coste y bajo consumo posibilita la capacidad de incorporar algoritmos de control avanzados sin que ello suponga un sobrecoste en el desarrollo de los circuitos de disparo de los transistores. Existe, por tanto, una mayor facilidad en la adaptación de las topologías utilizadas o las características del control en función de la energía procesada.

Considerando el factor de escala como un elemento clave de motivación para el desarrollo tecnológico, existen dos líneas de investigación muy claras de estudio en los dispositivos utilizados en los sistemas de procesado de energía:

- Maximizar la potencia por unidad de volumen:  
Esta característica supone incrementar la capacidad de gestión y procesado de potencia en un convertidor e implica el desarrollo de nuevas composiciones utilizadas en semiconductores y en la aplicación de nuevos materiales en la implementación de interruptores de potencia. También supone optimizar la capacidad de refrigeración de los dispositivos utilizados. Esta característica es una de los principales obstáculos en la capacidad de integración de cualquier sistema, especialmente en sistemas encargados del procesamiento de energía.
  
- Maximizar la eficiencia por unidad de volumen:  
Esta característica no está ligada a la obtención de una mayor capacidad de potencia, sino más bien al uso óptimo de los recursos utilizados en un sistema de procesado de energía. Maximizar la eficiencia es un modo de aproximarse a la obtención de una mayor capacidad de gestión de potencia desde otra perspectiva y permite resolver los obstáculos encontrados cuando se trata de maximizar la potencia por unidad de volumen.

En cualquiera de las dos líneas de investigación, el coste y la fiabilidad son parámetros ligados al desarrollo tecnológico que también deben considerarse.

A pesar de que los interruptores del convertidor y la inductancia de salida son dos de los principales dispositivos en cualquier convertidor de potencia, no son los únicos que inciden en la eficiencia del convertidor y por ello, también son susceptibles de estudio el banco de condensadores que conforma el bus de continua del convertidor o el diseño y materiales utilizados en el circuito impreso para aplicaciones de potencia.



# ANEXO

## A.1 Comparativa de transistores IGBT

Las Figuras 3.1 y 3.2 del capítulo 3 se basan en los datos mostrados en la Tabla A.1 a A.11. Las tablas muestran una selección de las principales características de transistores IGBT de 1200 V disponibles en el mercado.

Tabla A.1.1 – Transistores IGBT discretos de 1200 V de *Fairchild Semiconductor*.

<b>Fairchild</b>							
<b>Referencia</b>	<b>Tecnología</b>	<b>Encapsulado</b>	<b><math>I_{cmax(100\text{ }^{\circ}\text{C})}</math> (A)</b>	<b><math>V_{CESat}</math> (V)</b>	<b><math>V_F</math> (V)</b>	<b>Precio (\$) (1k) #1</b>	<b>Precio (\$) (100) #2</b>
FGH15T120SMD	FS Trench	TO-247	15	1,80	2,80	3,030	2,93
FGH25T120SMD	FS Trench	TO-247	25	1,80	2,80	4,380	4,16
FGH25N120FTDS	FS Trench	TO-247	25	1,60	2,50	3,840	4,75
FGH40T120SMDL4	FS Trench	TO-247	40	1,80	3,80	7,140	12,41
FGH40T120SMD	FS Trench	TO-247	40	1,80	3,80	5,760	5,70
FGL35N120FTD	FS Trench	TO-264	35	1,68	2,70	4,930	6,95
FGA30N120FTD	FS Trench	TO-3PN	30	1,60	1,30	4,670	4,53
FGA20N120FTD	FS Trench	TO-3PN	20	1,60	1,30	2,980	3,02
FGA15N120ANTDTU	NPT Trench	TO-3PN	15	1,90	1,70	1,960	2,63
FGA25N120ANTDTU	NPT Trench	TO-3PN	25	2,00	2,00	2,390	3,21
FGA25N120ANTD	NPT Trench	TO-3PN	25	2,00	2,00	2,380	3,21
HGTP5N120BND	NPT	TO-220	10	2,45	2,50	1,620	-
HGTG5N120BND	NPT	TO-247	10	2,45	2,50	2,080	2,02
HGTG10N120BND	NPT	TO-247	17	2,45	2,50	2,790	2,96
HGTG11N120CND	NPT	TO-247	22	2,10	2,50	2,910	2,91
HGTG18N120BND	NPT	TO-247	26	2,54	2,80	4,620	4,80
FGL40N120AND	NPT	TO-264	40	2,60	3,20	8,310	7,43

#1 Precio de fabricante, #2 Precio de distribuidor

Tabla A.1.2 – Transistores IGBT discretos de 1200 V de *Infineon*.

<b>Infineon</b>							
<b>Referencia</b>	<b>Tecnología</b>	<b>Encapsulado</b>	<b><math>I_{cmax(100\text{ }^{\circ}\text{C})}</math> (A)</b>	<b><math>V_{CEsat}</math> (V)</b>	<b><math>V_F</math> (V)</b>	<b>Precio (\$) (1k) <sup>#1</sup></b>	<b>Precio (\$) (100) <sup>#2</sup></b>
IKW08T120FKSA1	TrenchStop	TO-247	8	1,70	1,70	1,620	3,10
IKW15T120FKSA1	TrenchStop	TO-247	15	1,70	1,70	2,260	4,35
IKW15N120T2FKSA1	TrenchStop	TO-247	15	1,70	1,75	2,150	4,15
IHW15N120R3FKSA1	TrenchStop	TO-247	15	1,48	1,55	1,290	2,48
IKW15N120H3FKSA1	TrenchStop	TO-247	15	2,05	2,40	2,150	4,15
IHW20N120R3FKSA1	TrenchStop	TO-247	20	1,48	1,55	1,540	2,96
IHW20N120R5XKSA1	TrenchStop	TO-247	20	1,55	1,60	1,590	3,05
IKW25T120FKSA1	TrenchStop	TO-247	25	1,70	1,70	3,090	5,37
IHW25N120R2FKSA1	TrenchStop	TO-247	25	1,60	1,50	1,740	3,35
IKW25N120T2FKSA1	TrenchStop	TO-247	25	1,70	1,65	2,940	5,11
IKW25N120H3FKSA1	TrenchStop	TO-247	25	2,05	2,40	2,940	5,11
IHW30N120R3FKSA1	TrenchStop	TO-247	30	1,55	1,60	1,950	3,76
IKW40T120FKSA1	TrenchStop	TO-247	40	1,70	1,75	4,040	7,01
IKW40N120T2FKSA1	TrenchStop	TO-247	40	1,75	1,75	3,850	4,89
IKW40N120H3FKSA1	TrenchStop	TO-247	40	2,05	2,40	3,850	6,70
IHW40N120R3FKSA1	TrenchStop	TO-247	40	1,55	1,60	2,210	4,25

#1 Precio de fabricante, #2 Precio de distribuidor

Tabla A.1.3 – Transistores IGBT discretos de 1200 V de *International Rectifier*.

<b>International Rectifier</b>							
<b>Referencia</b>	<b>Tecnología</b>	<b>Encapsulado</b>	<b><math>I_{cmax(100\text{ }^{\circ}\text{C})}</math> (A)</b>	<b><math>V_{CEsat}</math> (V)</b>	<b><math>V_F</math> (V)</b>	<b>Precio (\$) (1k) <sup>#1</sup></b>	<b>Precio (\$) (100) <sup>#2</sup></b>
IRG4PH20KD	Planar (-)	TO-247	5	3,17	2,50	1,975	2,80
IRGB5B120KD	Planar (-)	TO-220	6	2,75	2,13	2,755	3,89
IRG8P08N120KD	Trench	TO-247	8	1,70	2,30	3,181	4,21
IRG4PH30KD	Planar (-)	TO-247	10	3,10	3,40	2,500	2,58
IRG8P15N120KD	Trench	TO-247	15	1,70	2,10	4,894	6,25
IRG7PH28UD1	Trench	TO-247	15	1,95	1,10	1,794	2,54
IRG4PH40KD	Planar (-)	TO-247	15	2,74	2,60	3,340	3,42
IRG7PH30K10D	Trench	TO-247	16	2,05	2,00	4,280	4,96
IRGP20B120UD-E	Planar NPT	TO-247	20	3,05	1,67	5,089	5,70
IRG4PH40UD	Planar (-)	TO-247	21	2,43	3,40	3,584	4,16
IRG4PH40UD2-E	Planar (-)	TO-247	21	2,43	2,60	3,234	3,76
IRG4PH50UD	Planar (-)	TO-247	24	2,78	2,50	5,034	6,48
IRG4PH50KD	Planar (-)	TO-247	24	2,77	2,50	4,684	6,22
IRG8P25N120KD	Trench	TO-247	25	1,70	2,10	3,579	4,56
IRG7PH37K10D	Trench	TO-247	25	1,90	2,50	3,125	4,15
IRG7PH35UD1M	Trench	TO-247	25	1,90	1,15	3,450	-
IRG7PH35UD	Trench	TO-247	25	1,90	2,80	4,500	5,97
IRG7PH35UD1	Trench	TO-247	25	1,90	1,15	3,450	3,41
IRGP30B120KD-E	Trench	TO-247	30	2,46	1,86	5,700	6,68
IRGPS40B120UD	Planar NPT	TO-274	40	3,12	2,03	7,741	9,83
IRG7PH44K10D	Trench	TO-247	40	1,90	4,20	4,338	5,75

IRG8P40N120KD	Trench	TO-247	40	1,70	2,60	4,970	6,34
IRG4PSH71KD	Planar (-)	TO-274	42	2,97	2,50	11,416	14,50
IRG7PH42UD	Trench	TO-247	45	1,70	2,20	5,713	6,76
IRG7PH42UD1	Trench	TO-247	45	1,70	1,20	4,875	4,73
IRG7PH42UD1M	Trench	TO-247	45	1,70	1,20	4,875	6,46
IRG4PSH71UD	Planar (-)	TO-274	50	2,52	2,92	13,060	15,94
IRG7PH50K10D	Trench	TO-247	50	1,90	4,50	4,670	6,19
IRG8P50N120KD	Trench	TO-247	50	1,70	2,60	5,148	6,83
IRG7PH46UD	Trench	TO-247	57	1,70	3,10	6,562	6,42
IRGPS60B120KD	Planar NPT	TO-274	60	2,50	1,93	9,758	12,39
IRG8P60N120KD	Trench	TO-247	60	1,70	2,60	6,041	7,71
IRG7PSH54K10D	Trench	TO-274	65	1,90	3,50	7,675	9,74
IRG7PSH50UD	Trench	TO-274	70	1,70	3,40	6,250	7,94

#1 Precio de fabricante, #2 Precio de distribuidor

Tabla A.1.4 – Transistores IGBT discretos de 1200 V de *ST Microelectronics*.

<b>ST Microelectronics</b>							
Referencia	Tecnología	Encapsulado	$I_{cmax(100^{\circ}C)}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (1k) <sup>#1</sup>	Precio (\$) (100) <sup>#2</sup>
STGW15S120DF3	FS Trench	TO-247	15	1,75	2,70	2,800	5,23
STGW25S120DF3	FS Trench	TO-247	25	1,80	2,95	3,600	6,73
STGW40S120DF3	FS Trench	TO-247	40	1,90	2,85	4,650	8,79

#1 Precio de fabricante, #2 Precio de distribuidor

Tabla A.1.5 – Transistores IGBT discretos de 1200 V de *IXYS*.

<b>IXYS</b>							
Referencia	Tecnología	Encapsulado	$I_{cmax(100^{\circ}C)}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (1k)	Precio (\$) (100) <sup>#2</sup>
IXA12IF1200HB	XPT	TO-247	13	1,80	2,20		3,37
IXYH20N120C3D1	XPT	TO-247	17	3,40	1,75		7,05
IXA20IF1200HB	XPT	TO-247	22	1,80	2,20		4,72
IXA33IF1200HB	XPT	TO-247	34	1,80	2,20		6,31
IXYH40N120C3D1	XPT	TO-247	40	4,00	3,00		8,08
IXYH30N120C3D1	XPT	TO-247	30	3,30	3,00		7,58
IXA45IF1200HB	XPT	TO-247	45	1,80	2,20		7,50
IXYH50N120C3D1	XPT	TO-247	50	4,00	3,00		5,40

#1 Precio de fabricante, #2 Precio de distribuidor

Tabla A.1.6 – Módulos IGBT de 1200 V de *Infineon/International Rectifier*.

<b>Infineon/IRF</b>						
Referencia	Tecnología	Encapsulado	$I_{cmax(100^{\circ}C)}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (100) <sup>#2</sup>
FF50R12RT4	FS Trench	Dual	50	1,85	1,75	50,86
FF75R12RT4	FS Trench	Dual	75	1,85	1,70	61,93
FF100R12RT4	FS Trench	Dual	100	1,75	1,75	70,50
FF150R12RT4	FS Trench	Dual	150	1,75	1,75	84,51
FF150R12MS4G	FS Trench	Dual	150	3,20	2,00	118,02
FF200R12KT4	FS Trench	Dual	200	1,75	1,65	119,69

FF225R12ME4	FS Trench	Dual	225	1,85	1,65	127,65
FF300R12KT4	FS Trench	Dual	300	1,75	1,65	152,26

#2 Precio de distribuidor

Tabla A.1.7 – Módulos IGBT de 1200 V de IXYS.

<b>IXYS</b>						
Referencia	Tecnología	Encapsulado	$I_{cmax(80\text{ }^{\circ}\text{C})}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (100) #2
MIXA100PF1200TMH	XPT	Dual	108	1,80	2,20	-
MIXA225PF1200TSF	XPT	Dual	250	1,80	2,10	91,72
MIXA300PF1200TSF	XPT	Dual	325	1,80	2,20	109,41
MIXA450PF1200TSF	XPT	Dual	450	1,80	2,30	139,78

#2 Precio de distribuidor

Tabla A.1.8 – Módulos IGBT de 1200 V de Mitsubishi Electric.

<b>Mitsubishi Electric</b>						
Referencia	Tecnología	Encapsulado	$I_{cmax(100\text{ }^{\circ}\text{C})}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (100) #2
CM150DX-24S	CST	Dual	150	1,70	1,70	-
CM200DX-24S	CST	Dual	200	1,70	1,70	-
CM300DX-24S	CST	Dual	300	1,70	1,70	110,00
CM450DX-24S	CST	Dual	450	1,70	1,70	-

#2 Precio de distribuidor, CST: Carrier Stored Trench

Tabla A.1.9 – Módulos IGBT de 1200 V de Microsemi.

<b>Microsemi</b>						
Referencia	Tecnología	Encapsulado	$I_{cmax(80\text{ }^{\circ}\text{C})}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (100) #2
APTGF50VDA120T3G	NPT	Dual	50	3,20	2,50	44,22

#2 Precio de distribuidor

Tabla A.1.10 – Módulos IGBT de 1200 V de Semikron.

<b>Semikron</b>						
Referencia	Tecnología	Encapsulado	$I_{cmax(>70\text{ }^{\circ}\text{C})}$ (A)	$V_{CEsat}$ (V)	$V_F$ (V)	Precio (\$) (100) #1
SK25GB12T4	Trench	Dual	30	1,85	2,40	12,51
SK35GB12T4	Trench	Dual	35	1,85	2,30	14,45
SK50GB12T4T	Trench	Dual	56	1,85	2,20	27,34
SK75GB12T4T	Trench	Dual	65	1,85	2,10	33,92
SK100GB12T4T	Trench	Dual	80	1,85	2,25	41,90
SKiiP24GB12T4V1	Trench	Dual	138	1,85	2,20	49,24
SKiiP26GB12T4V1	Trench	Dual	182	1,80	2,20	57,76
SKM300GB12T4	Trench	Dual	324	1,85	2,17	98,25

#1 Precio de fabricante

Tabla A.1.11 – Módulos IGBT de 1200 V de *Fuji Electric*.

<b>Fuji Electric</b>						
<b>Referencia</b>	<b>Tecnología</b>	<b>Encapsulado</b>	<b><math>I_{cmax(&gt;70^{\circ}C)}</math> (A)</b>	<b><math>V_{CEsat}</math> (V)</b>	<b><math>V_F</math> (V)</b>	<b>Precio (\$) (100) #1</b>
2MBI75VA-120-50	FS Trench	Dual	75	1,95	1,80	48,72
2MBI100VA-120-50	FS Trench	Dual	100	1,90	1,80	52,18
2MBI150VA-120-50	FS Trench	Dual	150	1,75	1,85	55,66
2MBI200VH-120-50	FS Trench	Dual	200	1,95	1,85	95,15
2MBI300VH-120-50	FS Trench	Dual	300	1,95	1,90	133,96

#1 Precio de fabricante

## A.2 Estimación de pérdidas en transistor

Este apartado muestra el desarrollo de los ejemplos utilizados para obtener la estimación de pérdidas en interruptores basados en la conexión en paralelo de cuatro transistores IGBT.

### A.2.1 Interruptor basado en cuatro transistores en paralelo y conmutación adaptativa

A partir de los datos de la Tabla 4.3 se obtienen las pérdidas de cada tramo en función de la corriente de salida del convertidor y el número de transistores que conmutan de forma simultánea.

- Pérdidas por conducción en transistores (Ecuaciones 4.42 a 4.47). Se tomará como ejemplo el primer tramo del semiperiodo  $\alpha \rightarrow [0 \rightarrow 0,2527 \text{ rad}]$ .

$$\alpha_2 = 0,2527 \text{ rad}$$

$$P_{icn(1)} = \frac{0,48 \cdot 14,14^2}{4\pi} \left( \frac{0,25}{2} - \frac{\sin(2 \cdot 0,25)}{4} \right) = 0,0406$$

$$P_{icn(2)} = -\frac{2,5 \cdot 14,14}{4\pi} \cos(0,25) = -2,7241$$

$$P_{icn(3)} = \frac{0,48 \cdot 0,75 \cdot 14,14^2}{4\pi} \left[ \frac{1}{12} (-3\cos(1,52 - 0,25) - 6\cos(1,52 + 0,25) + \cos(1,52 + 3 \cdot 0,25)) \right] = -0,1372$$

$$P_{icn(4)} = \frac{2,5 \cdot 0,75 \cdot 14,14}{4\pi} \left[ \frac{1}{4} (2 \cdot 0,25 \cdot \cos(1,52) - \sin(1,52 + 2 \cdot 0,25)) \right] = -0,4606$$

$$P_{icn} = P_{i(1)} + P_{i(2)} + P_{i(3)} + P_{i(4)} = -3,2814$$

$$\alpha_1 = 0$$

$$P_{icn(1)} = \frac{0,48 \cdot 14,14^2}{4\pi} \left( \frac{0}{2} - \frac{\sin(2 \cdot 0)}{4} \right) = 0$$

$$P_{icn(2)} = -\frac{2,5 \cdot 14,14}{4\pi} \cos(0) = -2,8135$$

$$P_{icn(3)} = \frac{0,48 \cdot 0,75 \cdot 14,14^2}{4\pi} \left[ \frac{1}{12} (-3\cos(1,52 - 0) - 6\cos(1,52 + 0) + \cos(1,52 + 3 \cdot 0)) \right] = -0,1673$$

$$P_{icn(4)} = \frac{2,5 \cdot 0,75 \cdot 14,14}{4\pi} \left[ \frac{1}{4} (2 \cdot 0 \cdot \cos(1,52) - \sin(1,52 + 2 \cdot 0)) \right] = -0,5270$$

$$P_{icn} = P_{icn(1)} + P_{icn(2)} + P_{icn(3)} + P_{icn(4)} = -3,5078$$

$$P_{icn(\alpha_{21})} = \sum_{n=1}^4 P_{icn\alpha_2(n)} - \sum_{n=1}^4 P_{icn\alpha_1(n)} = -3,2814 - (-3,5078) = 0,2264 \text{ W}$$

- Pérdidas por conducción en diodos (Ecuación 4.48).

$$P_{dcn} = \frac{1}{2} \left( \frac{1,25 \cdot \frac{14,14}{4}}{\pi} + \frac{0,3125 \left( \frac{14,14}{4} \right)^2}{4} \right) - 0,75 \cdot \cos(1,52) \left( \frac{0,3125 \left( \frac{14,14}{4} \right)^2}{3\pi} + \frac{0,75 \cdot \frac{14,14}{4}}{8} \right) = 1,156 \text{ W/transistor}$$

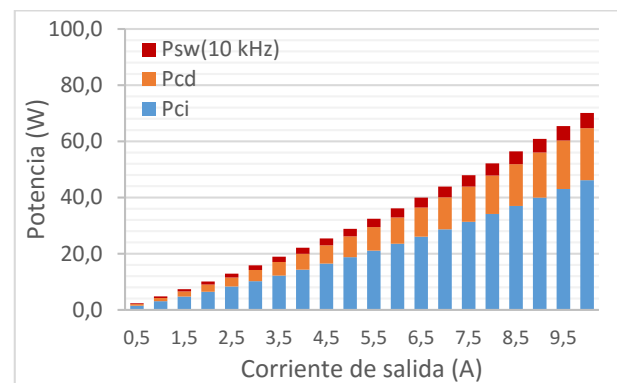
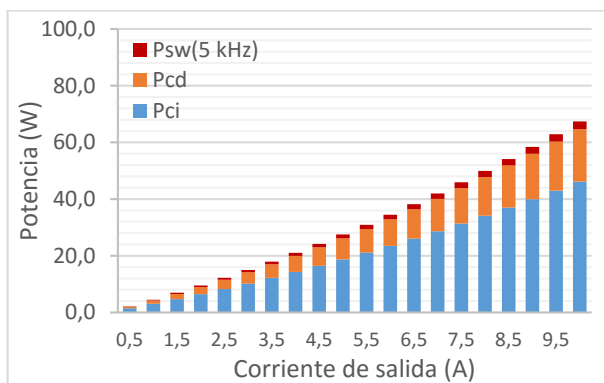
- Pérdidas por conmutación en transistores (Ecuación 4.51). Se tomará como ejemplo el primer tramo del semiperiodo  $\alpha \rightarrow [0 \rightarrow 0,2527]$ .

$$P_{isw(\alpha_{21})} = \frac{(0,33 \cdot 10^{-3} + 0,15 \cdot 10^{-3})}{2\pi} \left( \frac{14,14}{8} \right) \left( \frac{100}{800} \right)^1 (\cos(0) - \cos(0,2527)) \cdot 10 \cdot 10^3 = 0,0054$$

La suma de pérdidas de los promedios calculados según el número de transistores que conmutan de forma simultánea es igual a las pérdidas de conmutación considerando la activación de todos, independientemente de la corriente de carga del convertidor.

$$P_{isw(\alpha_{0-\pi})} = \frac{(0,33 \cdot 10^{-3} + 0,15 \cdot 10^{-3})}{2\pi} \left( \frac{14,14/4}{8} \right) \left( \frac{200}{800} \right)^1 (\cos(0) - \cos(\pi)) \cdot 10 \cdot 10^3 = 1,3505 \text{ W/transistor}$$

Los resultados de simulación se muestran a continuación. La Figura A.2.1 muestra la evolución de la potencia de pérdidas de conducción en transistores y diodos y las pérdidas de conmutación en función de la corriente de salida a distintas frecuencias de conmutación.



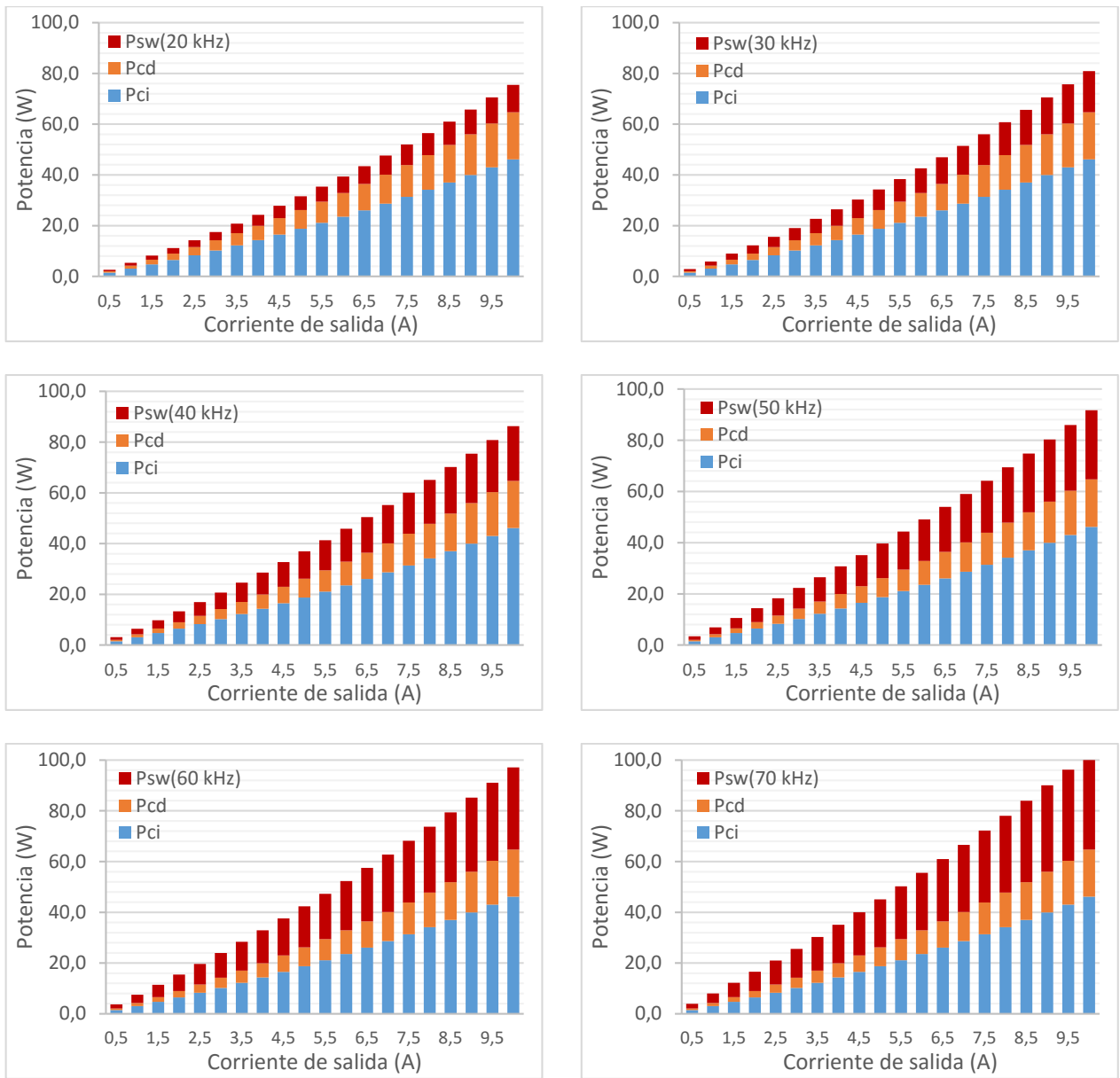


Figura A.2.1 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz). Cada interruptor está constituido por cuatro transistores adaptativos.

### A.2.2 Interruptor basado en un único transistor

Se comparan los resultados con un interruptor basado en un único transistor de características equivalentes al grupo de cuatro transistores. La Tabla 4.5 muestra los nuevos parámetros.

- Pérdidas por conducción en transistores (Ecuación 4.15).

$$P_{icn} = \frac{1}{2} \left( \frac{2,3 \cdot 14,14}{\pi} + \frac{0,173 \cdot 14,14^2}{4} \right) + 0,75 \cdot \cos(1,52) \left( \frac{0,173 \cdot 14,14^2}{3\pi} + \frac{2,3 \cdot 14,14}{8} \right) = 9,7559 \text{ W}$$

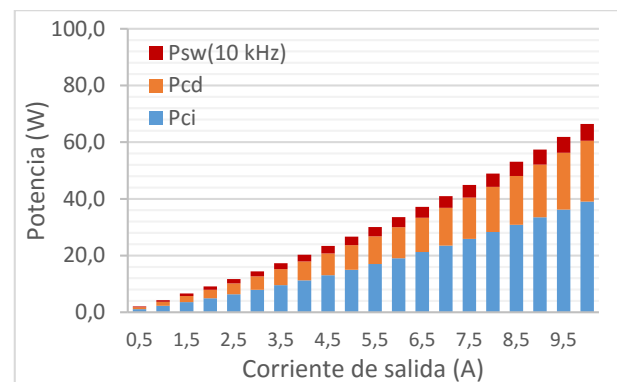
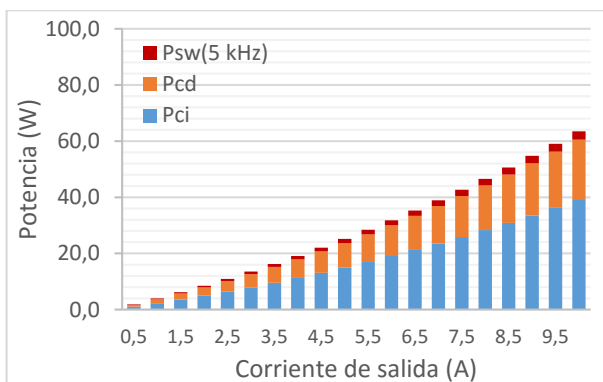
- Pérdidas por conducción en diodos (Ecuación 4.18).

$$P_{dcn} = \frac{1}{2} \left( \frac{1,2 \cdot 14,14}{\pi} + \frac{0,0857 \cdot 14,14^2}{4} \right) - 0,75 \cdot \cos(1,52) \left( \frac{0,0857 \cdot 14,14^2}{3\pi} + \frac{1,2 \cdot 14,14}{8} \right) = 5,3719 \text{ W}$$

- Pérdidas por conmutación en transistores (Ecuación 4.21).

$$P_{isw} = (1,2 \cdot 10^{-3} + 0,9 \cdot 10^{-3}) \left( \frac{1}{\pi} \left( \frac{14,14}{8} \right) \left( \frac{100}{800} \right)^1 \right) 10 \cdot 10^3 = 10,3396 \text{ W}$$

La Figura A.2.2 muestra la evolución de las pérdidas en el conjunto de transistores en función de la corriente de salida del convertidor y la frecuencia de conmutación.





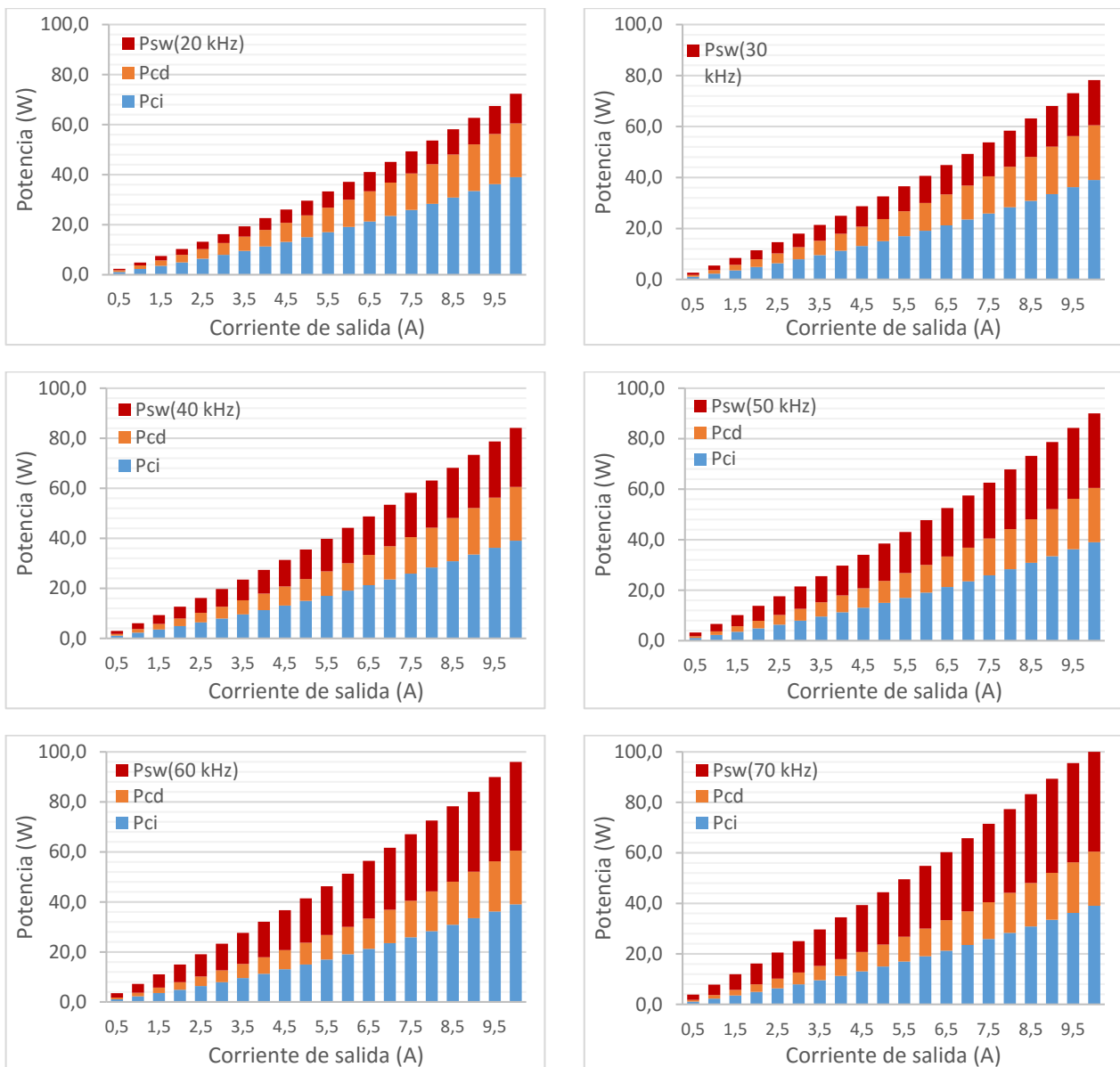


Figura A.2.2 – Estimación de pérdidas en interruptores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz). Cada interruptor está constituido por un transistor.

### A.2.3 Interruptor basado en cuatro transistores en paralelo conmutación simultánea

Resultados de simulación en estimación de pérdidas del transistor de la Tabla 4.4 cuando se activan simultáneamente todos los transistores, independientemente de la amplitud de corriente de salida del convertidor.

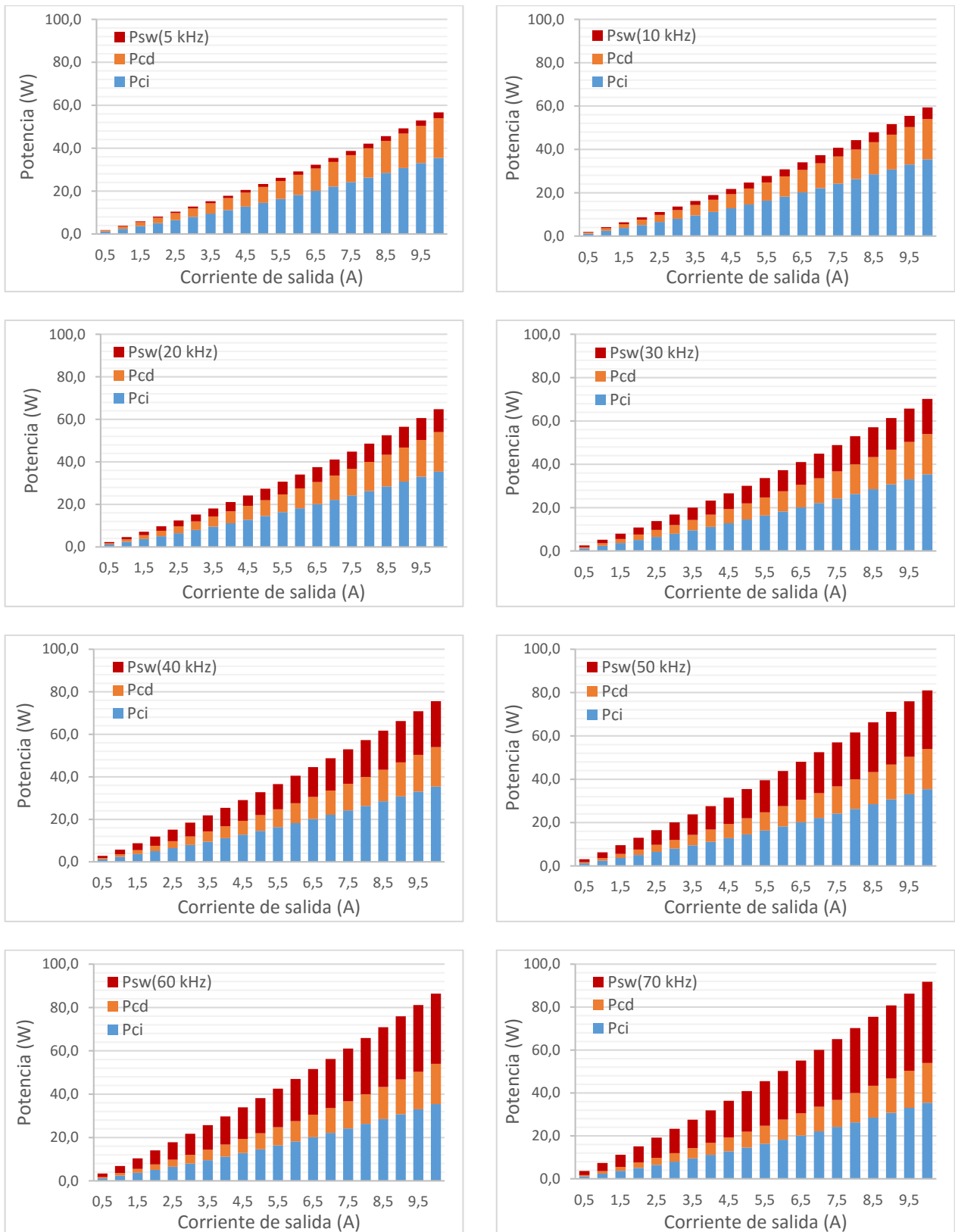


Figura A.2.3 – Estimación de pérdidas en transistores de un inversor monofásico en función de la frecuencia de conmutación (5 kHz a 70 kHz). Cada interruptor está constituido por cuatro transistores en conmutación simultánea.

### A.3 Resultado de ensayos

#### A.3.1 Potencia de pérdidas en inductancia debida a la corriente fundamental

Las Tablas A.3.1 a A.3.3 muestran los datos obtenidos de las inductancias de acoplamiento en el ensayo de pérdidas debidas a la corriente fundamental de 50 Hz.

Tabla A.3.1 – Resultados de ensayo de L1.

<i>Tensión (V)</i>	<i>Corriente (A)</i>	<i>Potencia (W)</i>	<i>Fase (°)</i>
1,5473	0,5103	0,0358	87,40
2,6253	1,0033	0,2078	85,49
3,8174	1,5014	0,5149	84,85
5,0196	2,0102	0,9186	84,78
6,1438	2,5101	1,3521	84,97
7,2526	3,0130	1,8088	85,25
8,2804	3,4998	2,2423	85,56
9,3681	4,0161	2,7485	85,81
10,3671	4,5029	3,2533	86,00
11,4258	5,0184	3,8547	86,15
12,3926	5,4984	4,4435	86,26
13,4376	6,0159	5,1018	86,38
14,4141	6,5033	5,7833	86,46
15,4098	7,0070	6,4937	86,55
16,3728	7,4935	7,2073	86,63
17,3919	8,0087	8,0011	86,71
18,3240	8,4890	8,8542	86,74
19,4059	9,0322	9,7875	86,80
20,3137	9,5042	10,5882	86,86
21,3264	10,0267	11,5606	86,90

Tabla A.3.2 – Resultados de ensayo de L2.

<i>Tensión (V)</i>	<i>Corriente (A)</i>	<i>Potencia (W)</i>	<i>Fase (°)</i>
1,1569	0,5084	0,0404	86,03
1,4620	1,0106	0,2053	81,99
1,9691	1,5062	0,5534	79,24
2,6288	2,0237	1,1249	77,79
3,2981	2,5053	1,8306	77,20
4,0221	3,0126	2,7027	77,11
4,7092	3,5071	3,6910	77,09
5,3938	4,0169	4,7755	77,27
6,0234	4,5076	5,8775	77,50
6,6260	5,0045	7,0779	77,68

7,2021	5,5021	8,2978	77,91
7,7618	6,0238	9,5995	78,15
8,2600	6,5077	10,8468	78,36
8,7861	7,0484	12,2334	78,61
9,2120	7,5201	13,6337	78,65
9,6388	8,0137	14,9057	78,87
10,0177	8,4694	16,1169	79,05
10,4797	9,0571	17,7954	79,19
10,8118	9,5142	19,0484	79,33
11,1675	9,9942	20,4907	79,42

Tabla A.3.3 – Resultados de ensayo de L3.

<i>Tensión (V)</i>	<i>Corriente (A)</i>	<i>Potencia (W)</i>	<i>Fase (°)</i>
0,0988	0,5231	0,0039	85,65
0,1229	1,0099	0,0164	82,38
0,1584	1,5102	0,0404	80,26
0,2046	2,0195	0,0785	79,05
0,2559	2,5260	0,1309	78,31
0,3129	3,0161	0,1975	77,92
0,3755	3,5185	0,2857	77,51
0,4397	4,0100	0,3915	77,17
0,5083	4,4922	0,5156	76,95
0,5871	5,0249	0,6778	76,72
0,6579	5,4923	0,8383	76,58
0,7393	6,0080	1,0371	76,50
0,8232	6,5336	1,2593	76,46
0,8970	6,9828	1,4662	76,46
0,9865	7,5283	1,7333	76,50
1,0638	8,0065	1,9815	76,55
1,1479	8,5202	2,2567	76,66
1,2226	8,9742	2,5285	76,68
1,3059	9,5023	2,8229	76,85
1,3835	9,9888	3,1212	76,95

### A.3.2 Pérdidas en interruptores

#### A.3.2.1 Pérdidas en interruptores de un transistor

Los gráficos de la Figura A.3.1 muestran la evolución de la potencia de pérdidas en función de la corriente, distinguiéndose las pérdidas de baja frecuencia en la inductancia de ensayo. La

diferencia corresponde mayoritariamente a las pérdidas de conducción y conmutación en semiconductores.

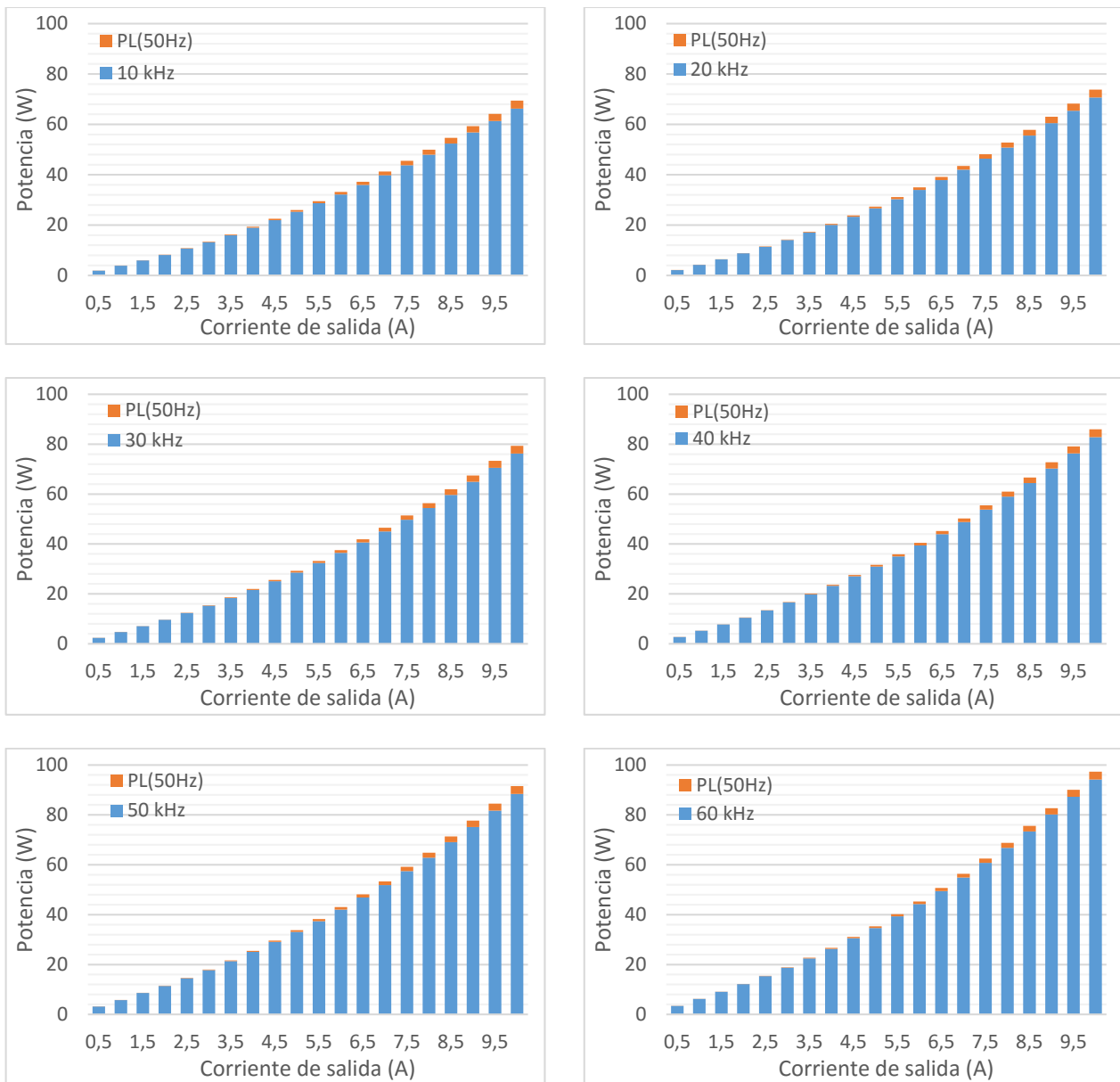


Figura A.3.1 – Potencia de entrada en función de la corriente de salida del inversor a distintas frecuencias de conmutación y pérdidas de baja frecuencia en inductancia de ensayo.

### A.3.2.2 Pérdidas en interruptores de cuatro transistores y conmutación simultánea

Los gráficos de la Figura A.3.2 muestran la evolución de la potencia de pérdidas en función de la corriente de salida del convertidor y donde se diferencian las pérdidas de baja frecuencia en la inductancia de ensayo.

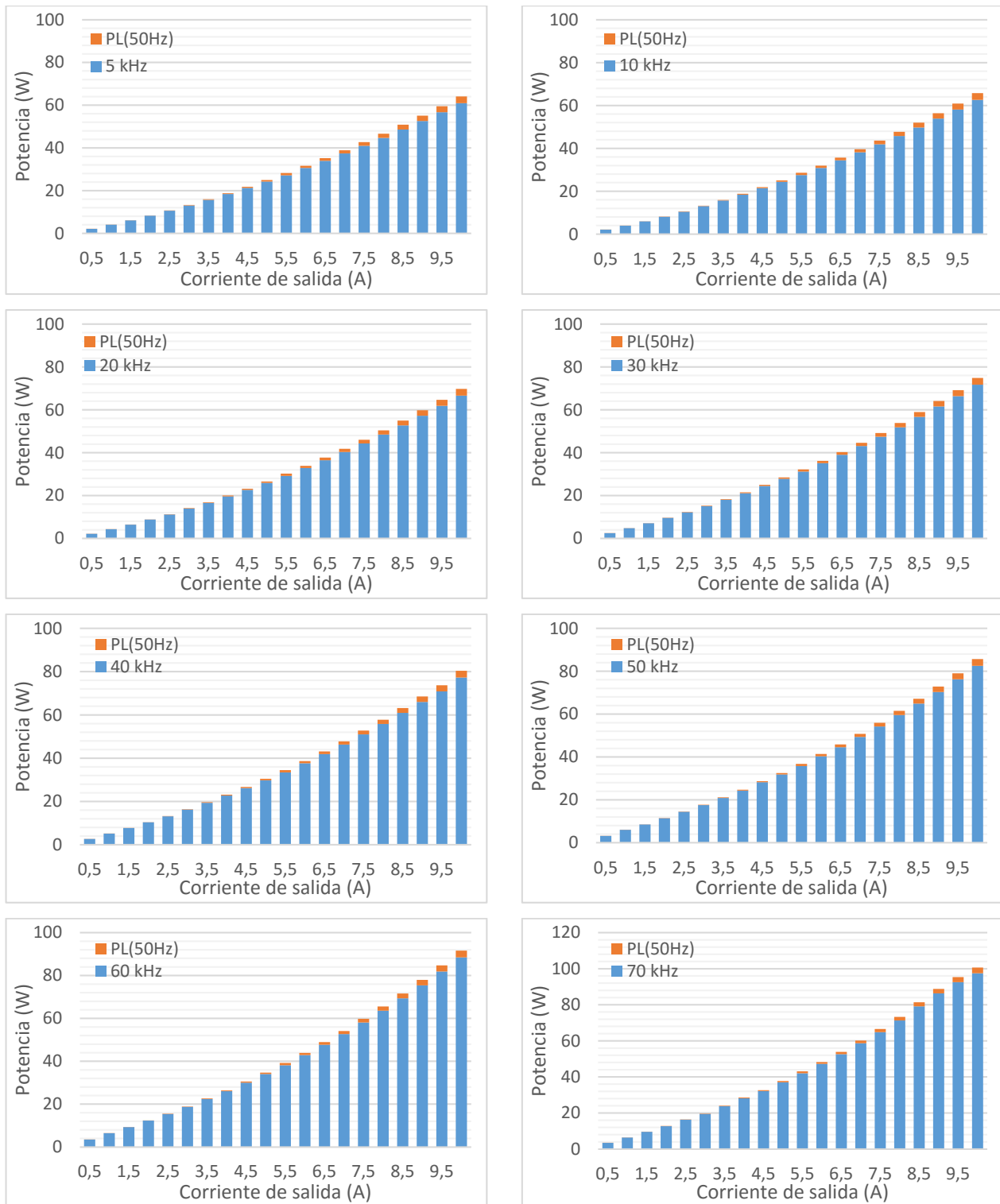


Figura A.3.2 –Pérdidas en inversor e inductancia L3 debida a la corriente de baja frecuencia.

La Figura A.3.3 muestra la potencia de entrada del ensayo en cortocircuito en función de la corriente de salida y la frecuencia de conmutación. Las figuras muestran las pérdidas en la inductancia debidas a la corriente de baja frecuencia (50 Hz).

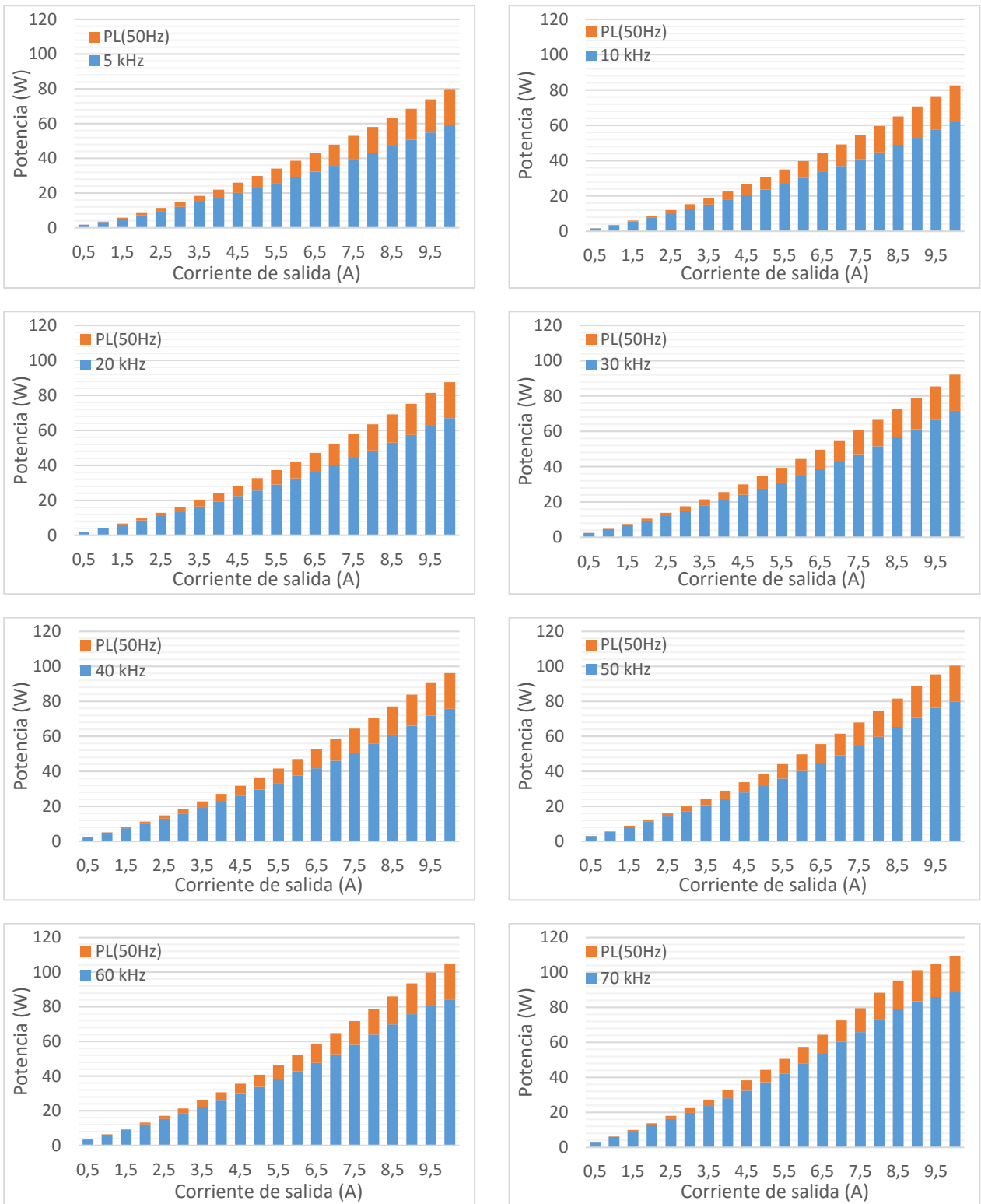


Figura 6.35 – Pérdidas en inversor e inductancia L2 debida a la corriente de baja frecuencia.

## A.3.3 Distorsión armónica total (THD)

Tabla A.3.4 – Índice de distorsión armónica de la corriente de salida en inversor monofásico con frecuencia de conmutación fija y con portadora multi-frecuencia (<20 kHz).

<b><i>I<sub>O</sub></i> (ARMS)</b>	<b><i>5 kHz</i></b>	<b><i>10 kHz</i></b>	<b><i>15 kHz</i></b>	<b><i>20 kHz</i></b>	<b><i>&lt;20 kHz</i></b>
<b>0,50</b>	91,14	60,28	44,14	30,88	31,61
<b>1,00</b>	62,28	36,90	25,75	19,68	20,72
<b>1,50</b>	48,44	28,15	20,10	15,27	16,00
<b>2,00</b>	39,20	23,40	16,13	12,83	11,91
<b>2,50</b>	33,92	20,25	14,00	10,72	11,98
<b>3,00</b>	30,35	18,54	12,68	9,95	12,08
<b>3,50</b>	27,46	16,29	11,53	8,71	12,72
<b>4,00</b>	24,84	15,10	10,47	7,90	12,72
<b>4,50</b>	23,02	14,06	9,74	7,26	11,22
<b>5,00</b>	21,58	13,54	8,35	6,26	11,00
<b>5,50</b>	20,61	12,50	7,92	6,93	11,93
<b>6,00</b>	19,41	12,19	7,88	6,19	11,68
<b>6,50</b>	18,87	11,81	7,83	5,66	11,14
<b>7,00</b>	17,78	11,65	7,33	5,98	12,46
<b>7,50</b>	17,39	11,18	7,27	5,20	12,72
<b>8,00</b>	16,71	10,89	6,77	5,23	12,09
<b>8,50</b>	15,88	10,65	6,74	5,56	12,75
<b>9,00</b>	15,44	9,95	6,41	5,11	11,96
<b>9,50</b>	15,63	10,14	6,39	5,25	12,56
<b>10,00</b>	15,06	9,53	6,29	4,58	12,92



# BIBLIOGRAFÍA

---

## *A, B*

---

- [ABB14] ABB, "Applying IGBTs", Application Note 53YA 2053-04, 2014.
- [ABU10] M. A. Abusara and S. M. Sharkh, "Design of a robust digital current controller for a grid connected interleaved inverter", IEEE International Symposium on Industrial Electronics (ISIE 2010), Southampton, UK, Jul 2010.
- [ALB96] Albach, M.; Durbaum, T.; Brockmeyer, A., "Calculating core losses in transformers for arbitrary magnetizing currents a comparison of different approaches," Power Electronics Specialists Conference, 1996. PESC '96 Record, 27<sup>th</sup> Annual IEEE, vol.2, pp.1463-1468, vol.2, 23-27 Jun 1996.
- [APS15] APS America "Installation/User Manual", APS YC500A Microinverter Installation Manual 2015.
- [BER88] G. Bertotti, "General properties of power losses in soft ferromagnetic materials," IEEE Transactions On Magnetics, vol.24, pp.621-630, January 1988.
- [BLA06] F. Blaabjerg, F. Iov, R. Teodorescu, Z. Chen, "Power Electronics in Renewable Energy Systems", International Power Electronics and Motion Control Conference (EPE PEMC 2006), Portoroz, Slovenia, Aug 2006.
- [BOS04] A.Van den Bossche, V.Cekov, G.Bogomilov. "Measurement and Loss Model of Ferrites with Non-sinusoidal Waveforms" 35<sup>th</sup> Annual IEEE Power Electronics Specialists Conference 2004, Aachen, Germany, 2004.
- [BOS05] A.Van den Bossche, D.M. Van de Sype, V.Cekov, "Ferrite Loss Measurement and Models in Half Bridge and Full Bridge Waveforms", IEEE 36<sup>th</sup> Power Electronics Specialists Conference, 2005, pp.1535-1539, June 2005.
- [BUR14] R.M. Burkart, H. Uemura, J.W. Kolar, "Optimal Inductor Design for 3-Phase Voltage-Source PWM Converters Considering Different Magnetic Materials and a Wide Switching Frequency Range", International Power Electronics Conference 2014, Hiroshima, Japan, May 2014.

- [BUS06] Simone Buso and Paolo Mattavelli, *Digital Control in Power Electronics*, Ed. Morgan & Claypool, 2006.

---

## C

---

- [CAL13] W.D. Callister, Jr., D.G. Rethwisch, "Materials Science and Engineering An Introduction, 9<sup>th</sup> edition", Wiley 2013.
- [CAP11] G.J. Capellá, J. Pou, J. Zaragoza, S. Ceballos, I. Gabiola, E. Robles, "Parallel-Connected Legs in a Grid-Tied Inverter System for Distributed Generation", International Conference on Renewable Energies and Power Quality, 2011 (ICREPQ'11), Las Palmas, Spain, Apr 2011.
- [CAP14] G.J. Capella, J. Pou, S. Ceballos, G. Konstantinou, J. Zaragoza, V.G. Agelidis, "Enhanced Phase-Shifted PWM Carrier Disposition for Interleaved Voltage Source Inverters", IEEE Transactions on Power Electronics, vol.30, pp.1121-1125, July 2014.
- [CAR06] J. M. Carrasco, L. G. Franquelo, J. T. Bialasiewicz, E. Galván, R. C. Portillo, Ma. A. Martín, J. Ignacio and N. Moreno-Alfonso, "Power-Electronic Systems for the Grid Integration of Renewable Energy Sources: A Survey", *IEEE Transactions on Industrial Electronics*, vol. 53, no.4, pp. 1002-1016, Aug 2006.
- [CAS94] F. Casanelles, "Losses in PWM inverters using IGBTs", IEE Proceedings Electric Power Applications, vol.141, pp.235-239, September 1994.
- [CHE96] J.-F. Chen, J.-N Lin, T.-H Ai, "The Techniques of the Serial and Paralleled IGBTs" Proc. IEEE IECON, vol.2, pp.999-1004, Aug. 1996.
- [COE10] J.M.D. Coey, "Magnetism and Magnetic Materials", Cambridge University Press, 2010.

---

## D - G

---

- [DEH06] H. Dehbonei, S.H. Ko, S.R. Lee, L. Borle and C. V. Nayar, "Current or Time Sharing Switches for High Efficiency Photovoltaic Power Systems", 32<sup>nd</sup> Annual Conference on IEEE Industrial Electronics (IECON 2006), Paris, France, Nov 2006.
- [DUN08] C.J. Dunlop, "Modeling Magnetic Core Loss for Sinusoidal Waveforms", Master's Thesis, Massachusetts Institute of Technology, June 2008.
- [EIC05] T. Eichhorn, "Estimate Inductor Losses Easily in Power Supply Designs", Power Electronics Technology, April 2005.
- [ERI01] R. W. Erickson, D. Maksimovic, "Fundamentals of Power Electronics, Second Edition", Ed. Springer, 2001.
- [FAI93] Fairchild Semiconductor "Parallel Operation Of Insulated Gate Transistors", AN-7512, September 1993.
- [GRA09] D. Graovac, M. Pürschel, "IGBT Power Losses Calculation Using the Data-Sheet Parameters", Infineon Application Note, January 2009.

---

## H - J

---

- [HU10] H. Hu, W. Al-Hoor, N.H. Kutkut, I. Batarseh, Z.J. Shen, "Efficiency Improvement of Grid-Tied Inverters at Low Input Power Using Pulse-Skipping Control Strategy", *IEEE Transactions on Power Electronics*, vol. 25, pp. 3129-3138, Dec 2010.
- [HUR13] W.G. Hurley, W.H. Wölfle, "Transformers and Inductors for Power Electronics. Theory, Design and Applications", John Wiley & Sons Ltd. 2013.
- [IEA15] International Energy Agency, "Tracking Clean Energy Progress 2015", 2015.
- [INF97] Infineon, "Connecting IGBTs in Parallel (Fundamentals)", IFX – AN22, 1997.
- [INF99] Infineon, "Calculation of Major IGBT Operating Parameters", Application Note, ANIP9931E, August 1999.
- [INT09] International Rectifier, "Application Characterization of IGBTs", AN-990 rev2, 2009.
- [INT12] International Rectifier, "IGBT Characteristics", AN-983, July 2012.
- [IVA13] V. Ivakhno, V. Zamaruiev, O. Ilina, "Estimation of Semiconductor Switching Losses under Hard Switching using Matlab/Simulink Subsystem", *Electrical, Control and Communication Engineering*, 2013.
- [IXY06] Ixys Semiconductor, "Parallel Operation of IGBT Discrete Devices", IXAN0058, 2006.
- [IXY11] Ixys, "IXA12IF1200HB Datasheet", XPT IGBT, 2011.
- [IXY13] Ixys Semiconductor, "Energy-Efficient High-Power IGBTs", Ixys IGBTs brochure, June 2013.
- [JIA10] Y. Jiang, S. Xiong, S.D. Huang, K.Y. Huang, L. Xiao, "Control of circulating current in parallel three-phase inverter in MW wind power system", *International Conference on Electrical Machines and Systems (ICEMS) 2010*, pp.133-136, Incheon, South Korea, 2010.
- [JIL98] D.C. Jiles, "Introduction to Magnetism and Magnetic Materials, Second Edition", CRC Press, 1998.
- [JIN12] Z. J.-Ping, L. Z.-Hong, Z. Bo, L. Z.-Ji, "A novel high-voltage light punch-through carrier stored trench bipolar transistor with buried p-layer", *Chin. Phys. B*, vol.21, no.6, March 2012.

---

## K - L

---

- [KAR03] S.V. Kartalopoulos, "The Insulated Gate Bipolar Transistor, Theory and Design" IEEE Press, 2003.
- [KAZ98] M. P. Kazmierkowski and L. Malesani, "Current Control Techniques for Three-Phase Voltage-Source PWM Converters: A Survey", *IEEE Trans. On Industrial Electronics*, vol. 45, pp. 691-703, Oct 1998.
- [KAZ02] M. P. Kazmierkowski, R. Krishnan, F. Blaabjerg, J.D. Irwin, "Control in Power Electronics: Selected Problems", Ed. Academic Press, 2002.
- [LI01] J. Li, T. Abdallah, C.R. Sullivan, "Improved calculation of core loss with nonsinusoidal waveforms," *Industry Applications Conference, 2001. 36<sup>th</sup> IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol.4, pp.2203-2210, September 2001.

- [LOB11] Y. Lobsiger, D. Bortis, J.W. Kolar, "Decentralized Active Gate Control for Current Balancing of Parallel Connected IGBT Modules", Proceedings of the 2011-14th European Conference on Power Electronics and Applications (EPE 2011), pp.1-10, Birmingham, UK, 2011.
- [LUT10] J. Lutz, H. Schlangenotto, U. Scheuermann, R. De Doncker, "Semiconductor Power Devices. Physics, Characteristics, Reliability", Springer, 2010.

---

## *M - N*

---

- [MAS08] A.I. Maswood, "A Switching Loss Study In SPWM IGBT Inverter", 2<sup>nd</sup> IEEE International Conference on Power and Energy (PECon08), December 2008.
- [MAU09] J.M. Mauricio, J.M. Maza-Ortega, A. Gómez-Expósito, "Considering Power Losses of Switching Devices in Transient Simulations through a Simplified Circuit Model", International Conference on Power System Transients (IPST09) Kyoto, Japan, June 2009.
- [MCG02] B.P. McGrath, D.G. Holmes, "Mulicarrier PWM Strategies for Multilevel Inverters", IEEE Transactions On Industrial Electronics, vol.49, no. 4, pp. 858-867, August 2002.
- [MCL04] Colonel Wm.T. McLyman, "Transformer and Inductor design Handbook", 3th edition, Marcel Dekker, Inc. 2004.
- [MIN09] B. Min, J. Lee, J. Kim, T. Kim, D. Yoo, E. Song, "A New Topology With High Efficiency Throughout All Load Range for Photovoltaic PCS", IEEE Transactions on Industrial Electronics, vol. 56, pp. 4427 – 4435, Nov 2009.
- [MIT14] Mitsubishi Electric, "IGBT Modules", Application Note, March 2014.
- [MU13] M. Mu, "High Frequency Magnetic Core Loss Study", Blacksburg, Virginia, 2013.
- [MUH12a] J. Mühlethaler, J.Biela, J.W.Kolar, A.Ecklebe, "Core Losses Under the DC Bias Condition Based on Steinmetz Parameters", IEEE Transactions On Power Electronics, vol.27, n.2, pp.953-962, February 2012.
- [MUH12b] J. Mühlethaler and J.W. Kolar, "Optimal Design of Inductive Components Based on Accurate Loss and Thermal Models", APEC 2012.
- [MUS10] A. Müsing, G. Ortiz, J.W. Kolar, "Optimization of the Current Distribution in Press-Pack High Power IGBT Modules", IPEC, pp.1139-1146, Jun. 2010.
- [NGU10] T. Van Nguyen, P.-O. Jeannin, E. Vagnon, D. Frey, J.-C. Crébier, "Series connection of IGBT", APEC 2010, pp.2238-2244, Palm Springs, United States, February 2010.

---

## *O – R*

---

- [ONO11] Y. Onozawa, D. Ozaki, H. Nakano, T. Yamazaki, N. Fujishima, "Development of the next generation 1700V trench-gate FS-IGBT", Proceedings of the 23<sup>rd</sup> International Symposium on Power Semiconductor Devices & IC's, San Diego, USA, May 2011.
- [ONS14a] On Semiconductor, "Paralleling of IGBTs", AND9100/D, March 2014.

- [ONS14b] On Semiconductor, "Thermal Calculations for IGBTs", Application Note AND9140/D, April 2014.
- [ORT08] E.Ortjohann, M.Lingemann, A.Mohd, W.Sinsukthavorn, A.Schmelter, N.Hamsic, D.Morton, "A General Architecture for Modular Smart Inverters", IEEE International Symposium on Industrial Electronics (ISIE 2008), pp. 1525-1530, Cambridge, UK, Jul. 2008.
- [PEL94] B. R. Pelly, "Choosing Between Multiple Discretes and High Current Modules" International Rectifier, 1994.
- [POU13] J. Pou, S. Ceballos, G. Konstantinou, G.J. Capella, J. Gabriel, V.G. Agelidis, "Control Strategy to Balance Operation of Parallel Connected Legs of Modular Multilevel Converters"
- [POW00] Powerex, "IGBT/Intelligent Power Modules", Application Note, January 2000.
- [PRA10] T. Prathiba, P. Renuga, "Multi Carrier PWM based Multi Level Inverter for High Power Application", International Journal of Computer Applications 2010, vol.1, no.9, pp. 67-71, 2010.
- [RUI12] W. Rui, W.J. Liang, C. Zhongyuan, W. Quanqing, J. Na, W. Chenghao, "A Power Loss Calculation Method of IGBT Three-Phase SPWM Converter", International Conference on Intelligent Systems Design and Engineering Application, 2012.

---

## S

---

- [SEM07] Fairchild Semiconductor "Parallel and series connection of MOSFET, IGBT and SKiiPACK modules", Application Manual, 2007.
- [SEM08] Semikron, "IGBT Power Electronics Teaching System Principle for sizing power converters", Application Note AN-8005, 2008.
- [SEM14] Semikron, "Determining switching losses of SEMIKRON IGBT modules", Application Note AN-1403, 2014.
- [SER04] Serge Bontemps, "Parallel Connection of IGBT and MOSFET Power Modules", Advanced Power Technology Europe, Nov 2004.
- [SER96] R.A. Serway, "Physics For Scientists & Engineers With Modern Physics", Saunders College Publishing, 1996.
- [SHE06] W. Shen, "Design of High-density Transformers for High-frequency High-power Converters", Virginia Tech dissertation, 2006.
- [SHE12] H.P. Sheth, A.M. Adesara, "Paralleling of IGBT and MOSFET for High Power Applications", International Journal of Emerging Technology and Advanced Engineering 2012, vol.2, no.12, December 2012.
- [SKV02] T. L. Skvarenina, "The Power Electronics Handbook", Ed. CRC Press, 2002.
- [STE92] C. Steinmetz, "On the law of hysteresis," AIEE Transactions, vol9, pp. 3-64, 1892.
- [SUL01] C.R. Sullivan, "Computationally Efficient Winding Loss Calculation with Multiple Windings, Arbitrary Waveforms and Two- or Three-Dimensional Field Geometry", IEEE Transactions on Power Electronics, vol.16, no.1, pp.142-150, January 2001.

- [SUL10] C.R. Sullivan, J.H. Harris, "Core Loss Predictions for General PWM Waveforms from a Simplified Set of Measured Data", Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE, pp.1048-1055, February 2010.
- [SUN12] W.-Y. Sung, D.-G. Woo, Y.-S. Kim, B.-G. You, B.-K. Lee, "Advanced Simulation Model for Loss Analysis of Converters in Electric Vehicles", IEEE Vehicle Power and Propulsion Conference, Seoul, Korea, October 2012.
- [SUU10] J.A. Suul, K. Ljokelsoy, T. Midtsund, T. Undeland, "Synchronous reference frame hysteresis current control for grid converter applications", 14th International Power Electronics and Motion Control Conference 2010 (EPE/PEMC'10), Ohrid, Macedonia, Sep 2010.

---

## T - Z

---

- [TIP02] Paul A.Tipler, "Física para la ciencia y la tecnología" vol.2 Cuarta edición, 2002.
- [VEL08] G. Velasco, "Análisis orientado a la estimación de la eficiencia energética de los sistemas fotovoltaicos conectados a red basados en configuraciones dinámicas", Jul 2008.
- [VEN02] K. Venkatachalani, C.R. Sullivan, T. Abdallah, H. Tacca "Accurate Prediction of Ferrite Core Loss with Nonsinusoidal Waveforms Using only Steinmetz Parameters", IEEE Workshop on Computers in Power Electronics. Proceedings 2002, pp.36-41, June 2002.
- [WAZ12] Y. Wazawa, "Analysis and Forecast of PV power Variation", Electric Power Research & Development Center, Chubu Electric Power, October 2012.
- [WEI13] C. Weili, Z. Yangjun, Z. Jie, H. Aibin, "SPT+-IGBT characteristics and optimization", Journal of Semiconductors, vol.31, n.1, January 2013.
- [WIL04] P.R. Wilson, J.N. Ross, A.D. Brown, "Modeling Frequency-Dependent Losses in Ferrite Cores", IEEE Transactions On Magnetics, vol.40, n.3, pp.1537-1541, May 2004.
- [YAZ10] A. Yazdani and Reza Iravani, *Voltage-Sourced Converters in Power Systems Modeling, Control, and Applications*, Ed. Wiley, 2010.