

mentos de conexión o enlace entre los vértices $i \in U$ (memorias) y los vértices $k \in W$ (procesadores), de manera que todo camino $\mu = \mu[i, k] = i-k$ debe ser de la forma ijk .

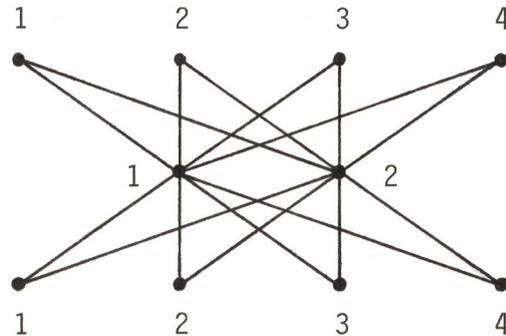


Fig. 5.2.1

Evidentemente, se cumple:

$$\sum_{j \in V} d(j) = \sum_{i \in U} d(i) + \sum_{k \in W} d(k) \quad (5.5)$$

Dado un vértice $j \in V$, llamaremos *grado respecto a U de j*, denotándolo por $d_U(j)$, al número de vértices de U adyacentes a j, o sea $d_U(j) = |\Gamma_{\bar{G}}[V, U](j)|$. Análogamente definimos el grado respecto a W de j, $d_W(j)$. Obviamente, si $i \in U$ y $k \in W$, tenemos las equivalencias $d(i) \equiv d_V(i)$ y $d(k) \equiv d_V(k)$.

En la sección 1.2 ya vimos que, si X' es un subconjunto de X , el grado de X' es $d(X') = |\Gamma(X')|$. Si $X' = V' \subset V$ podremos también distinguir entre grado respecto a U, $d_U(V')$ y respecto a W, $d_W(V')$.

Todos los conceptos anteriores referidos al grafo dual \bar{G} , se denotarán con una barra encima. Así, por ejemplo, si $j \in V$, $\bar{d}_U(j) = |\Gamma_{\bar{G}}[V, U](j)| = |U| - d_U(j) = m - d_U(j)$, de manera que, si $d_U(j)$ representaba el número de vértices de U adyacentes a j (o sea número de memorias conectadas al bus j), $\bar{d}_U(j)$ es el número de vértices de U no adyacentes a j (número de memorias desconectadas de

dicho bus).

Evidentemente, para todo subconjunto $V' \subset V$ se cumple:

$$d_U(V') + \bar{d}_U(V') = |U| = m \quad (5.6a)$$

$$d_W(V') + \bar{d}_W(V') = |W| = p \quad (5.6b)$$

y relaciones análogas satisfacen $U' \subset U$ y $W' \subset W$.

Ya que, como hemos dicho, cualquier conjunto de $n' \leq n$ procesadores deben poder acceder a cualesquiera n' memorias a través de n' buses distintos, la situación en G es la siguiente:

Tenemos $n' \leq n$ pares de vértices $\{i_1, k_1\}, \{i_2, k_2\}, \dots, \{i_{n'}, k_{n'}\}$ y queremos encontrar n' caminos $\mu_1, \mu_2, \dots, \mu_{n'}$ de la forma $i_1 j_1 k_1, i_2 j_2 k_2, \dots, i_{n'} j_{n'} k_{n'}$ con todos los vértices $j_h \in V$ distintos. O sea, dados los n' pares de vértices, deseamos hallar n' caminos disjuntos de longitud dos que tengan como vértices terminales cada uno de los vértices de estos pares. Si ello es posible cualquiera que sea $n' \leq n$, e independientemente de la elección de los n' pares $\{i_h, k_h\}$ (es decir, si el sistema no degrada) diremos que G es *2-centroconexo*.

Suponiendo $n' = n$, si G es completo, $G = G_{m,n,p}$, siempre podremos formar los n caminos disjuntos $i_1 k_1, i_2 k_2, \dots, i_n k_n$. Vemos además que, en este caso, la elección de estos caminos no es única. En realidad, para formarlos podríamos tomar los nudos $j \in V$ en cualquier orden. Esto induce a pensar en que, para que G sea 2-centroconexo no hace falta que sea completo.

Entonces, el problema que se plantea es, *dados* $m = |U|$, $n = |V|$ y $p = |W|$, *hallar grafos* $G(X, E)$, $X = UUVW$, *2-centroconexos mínimos* (con mínimo número de líneas) *y/o mínimos* (es decir, $\forall e \in E$, $G - e$ no es 2-centroconexo). De hecho, ambos términos coinciden pues, como veremos más adelante, todo grafo G 2-centroconexo mínimo es a su vez mínimo.

5.2.2 Primeros resultados

Notemos en primer lugar que, si G es 2-centroconexo, dado cualquier conjunto $U' \subset U$ de n vértices i_1, i_2, \dots, i_n , han de existir las n líneas independientes $(i_1, j_1), (i_2, j_2), \dots, (i_n, j_n)$ tomando los vértices $j \in V$ en un cierto orden. O sea que, para todo $U' \subset U$, $|U'| = n$, el grafo bipartito inducido $G_1 = G[U', V]$ ha de tener un apareamiento completo desde U' a V . Si el bigrafo $H = G[U, V]$ cumple esta condición diremos que es 1-centroconexo. Por tanto, para que G sea 2-centroconexo, H debe ser 1-centroconexo.

Así, debemos estudiar en primer lugar cuales son las condiciones que debe cumplir un grafo bipartito $H_2(m, n)$, $m \leq n$, para que sea 1-centroconexo. Pero esto es inmediato ya que, aplicando el teorema de Hall a todos los posibles grafos inducidos $G[U', V]$, nos queda:

Teorema 5.2.1:

Un bigrafo $H = H(U, V, E)$ con $|U| = m \geq n = |V|$ es 1-centroconexo si y sólo si para todo $U' \subset U$ con $|U'| = m' \leq n$ vértices se cumple

$$d(U') \geq |U'| \quad (5.7a)$$

Hablando en términos de un sistema multibus diríamos que a cualquier conjunto U' de n o menos memorias podemos asignarles bus si y sólo si todo grupo de $m' \leq n$ memorias están conectadas, en conjunto, a un mínimo de m' buses.

Si tomamos $|U'| = 1$, (5.7a) indica la condición evidente de que cada memoria debe estar conectada a, al menos, un bus.

Daremos a continuación una demostración constructiva de este teorema (y por tanto, del teorema de Hall) que, aparte de ofrecer un algoritmo para la asignación de los buses a las memorias, demuestra ser útil en las generalizaciones que haremos posteriormente

del problema.

Demostración (del teor. 5.2.1):

(Condición suficiente). Nos basta demostrar que, si se cumple (5.7a), dado cualquier subconjunto $U' \subset U$ con $|U'| = n$, podemos hallar un 1-factor en $G[U', V]$. La demostración es por inducción sobre los vértices del conjunto $U' = \{i_1, i_2, \dots, i_n\}$.

Según (5.7a), $d(i_1) \geq 1$ luego existe $j_1 \in V$ tal que $i_1 j_1 \in E$. Supongamos ahora que tenemos el conjunto de $l < n$ líneas independientes $C_l = \{i_1 j_1, i_2 j_2, \dots, i_l j_l\}$. Veamos como, a partir de C_l , podemos obtener un conjunto C_{l+1} de $l+1$ líneas independientes. Aplicando (5.7a) debe cumplirse $d(i_{l+1}) \geq 1$, luego existe $i_{h_1} \in V$ adyacente a i_{l+1} . Si $j_{h_1} \notin V_l = \{j_1, j_2, \dots, j_l\}$, $C_{l+1} = C_l \cup \{i_{l+1} j_{h_1}\}$. De lo contrario, j_{h_1} es adyacente, por hipótesis, a i_{h_1} , ver figura 5.2.2a

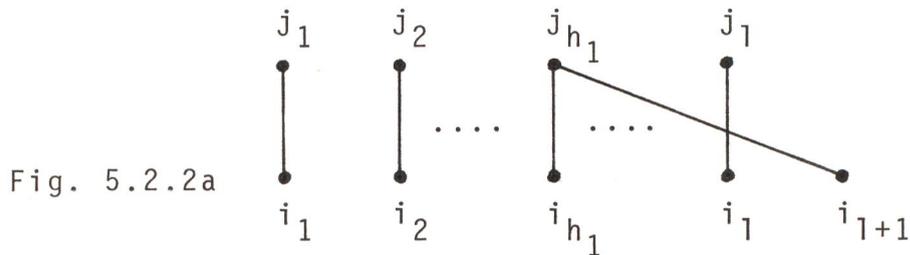


Fig. 5.2.2a

Según (5.7a), $d(\{i_{h_1}, i_{l+1}\}) \geq 2$

luego, al menos uno de estos dos vértices, es adyacente a un vértice $j_{h_2} \in V$ distinto de j_{h_1} . Si $j_{h_2} \notin V_l$, dicho vértice debe ser el i_{h_1} (pues hemos supuesto que i_{l+1} no tiene ningún vértice adyacente que no pertenezca a V_l), entonces $C_{l+1} = C_l \cup \{i_{l+1} i_{h_1}, i_{h_1} j_{h_2}\}$. Si, por el contrario, $j_{h_2} \in V_l$, este vértice es adyacente, por hipótesis, a i_{h_2} . Suponiendo que el vértice adyacente a j_{h_2} es i_{l+1} nos queda la situación de la figura 5.2.2b en la que, por claridad, no se muestran los otros vértices.

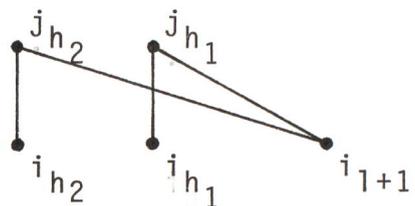


Fig. 5.2.2b

Razonando análogamente, según (5.7a), $d(\{i_{h_2}, i_{h_1}, i_{l+1}\}) \geq 3$ lo que implica, bien la existencia de la línea $i_{h_2}j_{h_3}$, $j_{h_3} \notin V_1$, con lo cual tendríamos $C_{l+1} = C_l \cup \{i_{l+1}j_{h_2}, i_{h_2}j_{h_3}, i_{h_1}j_{h_1}\}$, o bien, si $j_{h_3} \in V_1$, la existencia de al menos una de las líneas $i_{h_2}j_{h_3}$, $i_{h_1}j_{h_3}$ ó $i_{l+1}j_{h_3}$. En el supuesto de que sea $i_{h_1}j_{h_3} \in E$, tenemos la situación que se muestra en la figura 5.2.2c.

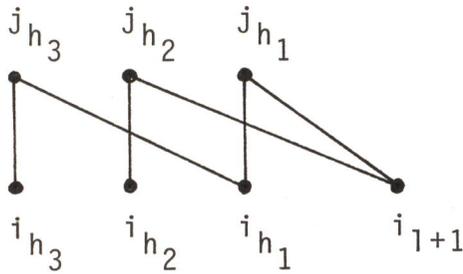


Fig. 5.2.2c

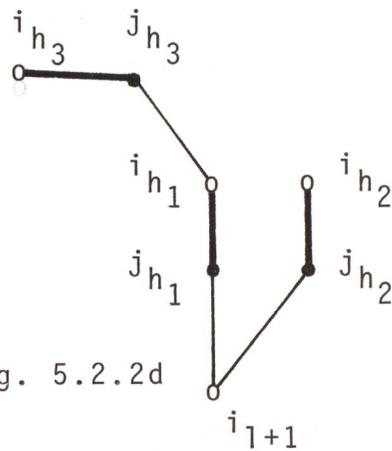


Fig. 5.2.2d

En el segundo dibujo, figura 5.2.2d, se muestra más claramente la estructura en *árbol* que vamos obteniendo. Los vértices $i \in U$ (memorias) se han dibujado como puntos blancos para distinguirlos más fácilmente de los vértices $j \in V$ (buses). Además, las líneas pertenecientes a C_l (conexiones iniciales) están indicadas en trazo grueso.

Repitiendo el mismo razonamiento anterior l veces, y en el supuesto de que antes no sea posible obtener C_{l+1} , formamos un árbol con los vértices de los conjuntos $U_{l+1} = \{i_{l+1}, i_{h_1}, i_{h_2}, \dots, i_{h_l}\} = \{i_1, i_2, \dots, i_l, i_{l+1}\}$ y V_1 . Por ejemplo, si $l=6$, nos podría quedar el árbol de la figura 5.2.2e. Entonces, aplicando una vez más (5.7a), resulta que alguno de los vértices $i_{l+1}, i_{h_1}, \dots, i_{h_6}$ debe ser adyacente a un vértice $j_{h_7} \notin V_1$. En particular, debe ser $i_{h_6}j_{h_7} \in E$ (pues en los anteriores pasos habíamos supuesto que $i_{l+1}, i_{h_1}, \dots, i_{h_5}$ no tenían ningún vértice adyacente que no perteneciera a V_1),

con lo cual podemos formar el conjunto de $l+1$ líneas independientes

$$C_{l+1} = \{i_{l+1}i_{h_1}, i_{h_1}j_{h_4}, i_{h_4}j_{h_6}, i_{h_6}j_{h_7}\} \cup \{i_{h_3}j_{h_3}, i_{h_5}j_{h_3}, i_{h_2}j_{h_2}\}.$$

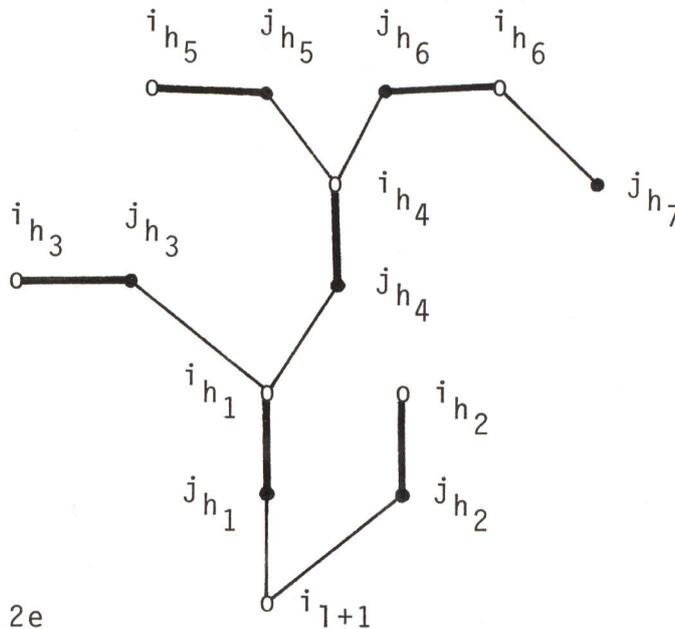


Fig. 5.2.2e

Notar que, como ya hemos indicado antes, en esta demostración se ha seguido un proceso constructivo. Es decir que, si el bigrafo cumple las condiciones del teorema, disponemos de un algoritmo para, dado cualquier conjunto $U' \subset U$, $|U'| \leq n$, hallar un conjunto independiente de $|U'|$ líneas en el grafo inducido $G[U', V]$. O, en nuestro ejemplo práctico, dadas $m' \leq n$ memorias cualesquiera, asignarles un bus distinto a cada una.

Como $\bar{d}(U') + d(U') = |V| = n$, podemos despejar $d(U')$ y sustituir en (5.7a) con lo cual obtenemos la siguiente condición equivalente a la anterior:

$$|U'| \leq n - \bar{d}(U') \quad (5.7b)$$

para todo $U' \subset U$ con $|U'| = m' \leq |V| = n$.

La condición (5.7b) significa que, si H es 1-centroconexo, y su grafo dual \bar{H} contiene un subgrafo completo $K_{m', n'}$, $m' \leq n$,

$n' = \bar{d}(U')$ (lo que supone m' nudos de U no adyacentes a n' nudos de V) debe cumplirse $m' \leq n - n'$.

En términos de un sistema multiprocesador, es evidente que si no hay ninguna conexión entre m' memorias y n' buses, cualquier acceso a estas memorias deberá realizarse a través de los $n - n'$ buses restantes, lo cual sólo será posible si se cumple (5.7b). En particular, si un bus ($n' = 1$) está desconectado de m' memorias, debe cumplirse $m' \leq n - 1$. O sea que, para que el sistema no degrade, *cada bus debe estar conectado a un mínimo de $m - n + 1$ memorias.* (Ver el teorema 1 en [LVF1]).

$$\forall j \in V \quad d_{G[U,V]}(j) = d_U(j) \geq m - n + 1 \quad (5.8)$$

Por tanto, si suponemos que existe el bigrafo H 1-centro conexo mínimo, (5.8) debe cumplirse con el signo de igualdad, de donde resulta que el tamaño de H es $e(H) = n(m-n+1)$, es decir $mn - n(m-n+1) = n(n-1)$ líneas menos que el grafo completo $K_{m,n}$.

De hecho, no es difícil encontrar, para cualquier par m, n , $m \leq n$, bigrafos 1-centroconexos mínimos. Por ejemplo, si tomamos $m = 6$ y $n = 4$, algunas posibilidades son los grafos representados por las "matrices de adyacencia" siguientes:

$$H_1 = \begin{pmatrix} 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 \\ 0 & 1 & 0 & 0 & 1 & 1 \\ 1 & 0 & 0 & 0 & 1 & 1 \end{pmatrix} \quad H_2 = \begin{pmatrix} 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 1 & 1 & 0 \\ 0 & 1 & 1 & 1 & 0 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 \end{pmatrix}$$

$$H_3 = \begin{pmatrix} 0 & 0 & 0 & 1 & 1 & 1 \\ 0 & 0 & 1 & 0 & 1 & 1 \\ 1 & 1 & 0 & 1 & 0 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 \end{pmatrix} \quad H_4 = \begin{pmatrix} 0 & 0 & 1 & 0 & 1 & 1 \\ 0 & 1 & 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 1 & 1 & 0 \\ 1 & 1 & 1 & 0 & 0 & 0 \end{pmatrix}$$

Donde $H_g = (h_{ji})$, $g=1,2,3,4$, con $h_{ji} = \begin{cases} 1 & \text{si } ji \in E, j \in V, i \in U \\ 0 & \text{en caso contrario} \end{cases}$

Fácilmente se comprueba que los bigrafos H_1 , H_2 , H_3 y H_4 representados por estas matrices cumplen la condición (5.7a) del teorema 5.2.1. Además, las interconexiones inducidas por H_1 , H_2 , y H_3 (presentadas en [LVF1] y bautizadas con los nombres de *escala*, *rombo*, y *balanceada* respectivamente) son de inmediata generalización a cualesquiera m y n , $m \leq n$. Notar que, en los ejemplos, $d(j) = m - n + 1 = 3$ para todo $j \in V$.

Para determinados m y n , ¿existirá algún bigrafo H 1-centroconexo minimal de tamaño mayor que $n(m-n+1)$, o sea, con algún vértice $j \in V$ adyacente a más de $m-n+1$ vértices de U ? Al final del apartado 5.2.1 ya adelantamos que la respuesta es negativa, lo cual viene expresado en el siguiente teorema.

Teorema 5.2.2:

Todo bigrafo $H = H(U, V, E)$, $|U| \geq |V|$ 1-centroconexo minimal es mínimo.

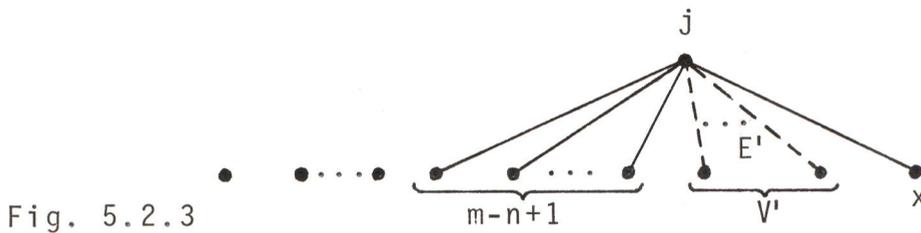
Demostración:

Procederemos inductivamente sobre el número m de vértices de U . Si $m = n$, tenemos que demostrar que, si H es 1-centroconexo y minimal entonces $d(j) = 1 \quad \forall j \in V$ (H consta de n líneas independientes). Pero esto se implica directamente de la demostración que hemos dado del teorema 5.1.1 (teor. de Hall) tomando allí $|U| = |V| = n$.

Supongamos entonces que el teorema es cierto para todo grafo H_m con $|U| = m > n$. Esto equivale a decir que, dado un bigrafo 1-centroconexo no mínimo con $|U| = m$, podemos situarnos en un vértice cualquiera $j \in V$ tal que $d(j) > m-n+1$, e ir eliminando convenientemente algunas líneas adyacentes a j hasta que $d(j)$ valga $m-n+1$ y de forma que el grafo resultante sea también 1-centroconexo.

Sea H_{m+1} un grafo 1-centroconexo con $|U| = m+1$ y con algún vértice $j \in V$ tal que $d(j) > (m+1)-n+1 = m-n+2$. Es decir, j es adyacente a, al menos, $m-n+3$ vértices de U . Denotemos por x uno de

estos vértices. Evidentemente, el bigrafo obtenido al suprimir x y todas las líneas incidentes en él, $H_m = H_{m+1} - x$, sigue siendo 1-centroconexo (pues si H_{m+1} cumple (5.7a) también lo cumplirá $H_{m+1} - x$). Por otra parte, en H_m el grado de j es $d_{H_m}(j) \geq m-n+2$, de manera que, por inducción, podemos eliminar un cierto subconjunto E' de sus líneas adyacentes obteniendo el grafo $H_m - E'$ asimismo 1-centroconexo y, además, con $d_{H_m - E'}(j) = m-n+1$. Ver figura 5.2.3.



Restituyendo ahora el vértice x junto con sus líneas incidentes, nos queda el grafo bipartito $H_{m+1}^* = H_{m+1}^*(U, V, E - E') = H_{m+1} - E'$ con $d_{H_{m+1}^*}(j) = m-n+2$ y sólo nos resta demostrar que H_{m+1}^* es 1-centroconexo, es decir que, en dicho grafo, cualquier conjunto $U' \subset U$ con $|U'| \leq n$ cumple la condición (5.7a). Las distintas posibilidades son:

- (a) $U' \subset U - x$: se cumple (5.7a) por ser $H_m - E'$ 1-centroconexo.
- (b) U' contiene a x , pero $U' \cap V' = \emptyset$: se cumple (5.7a) pues H_{m+1} era 1-centroconexo y ninguna de las líneas eliminadas es adyacente a un vértice de U' .
- (c) U' contiene a x y $U' \cap V' \neq \emptyset$: Asimismo se cumple (5.7a) pues al estar formado E' por líneas todas ellas anteriormente adyacentes a j , y contener U' a x que es adyacente a j , se cumple

$$|\Gamma_{H_{m+1}^*}(U')| = |\Gamma_{H_{m+1}}(U')|.$$

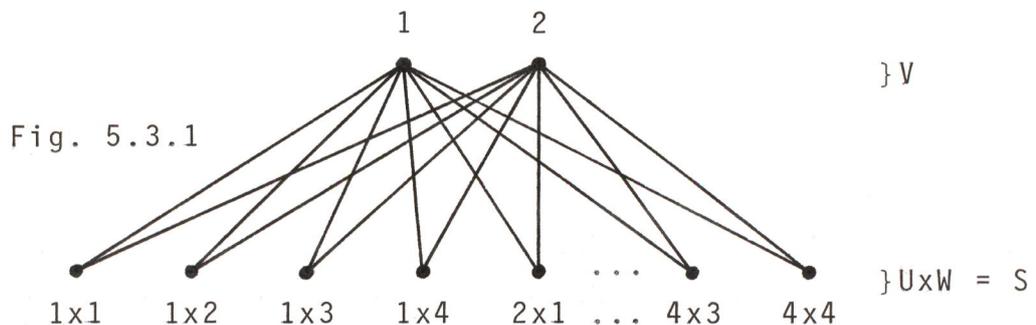
Podemos proceder así con todos los vértices de H_{m+1} que sean adyacentes a más de $m-n+2$ vértices, obteniendo al final un grafo con $|U| = m+1$, 1-centroconexo y mínimo.

5.3 RESULTADOS SOBRE $G(U,V,W,E)$

Volviendo al grafo tripartito $G = G(U,V,W,E)$, denotemos por H y F los subgrafos inducidos $G[U,V]$ y $G[V,W]$ respectivamente.

Hasta ahora hemos visto que G es 2-centroconexo sólo si H (y por tanto, por simetría, también F) es 1-centroconexo. Además, supuesto F completo, $F = K_{n,p}$ (todos los procesadores conectados a todas las memorias), obviamente tenemos que H 1-centroconexo implica G 2-centroconexo. En este caso, hemos demostrado que el mínimo tamaño de H es $e(H) = n(m-n+1)$, lo que supone $e(G) = np + n(m-n+1) = n(p+m-n+1)$. En esta sección veremos que este es precisamente el mínimo tamaño de G , supuesto 2-centroconexo. O sea que, habiendo reducido al máximo el número de conexiones entre memorias y buses (H mínimo), debemos conservar la interconexión total entre procesadores y buses ($F = K_{n,p}$) si queremos que el sistema no degrade.

Veamos en primer lugar como una ligera modificación del teorema 5.2.1 ofrece una condición necesaria y suficiente para que $G(X,E)$, $X = UUVUW$, sea 2-centroconexo. Ante todo, consideremos la correspondencia existente entre el grafo tripartito G y el grafo bipartito H_G con conjuntos de vértices V y $S = U \times W$, de manera que si en G existe el camino ijk ($i \in U, j \in V, k \in W$), entonces en H_G existe la línea (j, ixk) , $ixk \in S$. Así por ejemplo, si G es el grafo de la figura 5.2.1, H_G sería el bigrafo que mostramos en la figura 5.3.1.



Notar que G es 2-centroconexo si y sólo si el grafo bipartito $H_G(S, V, \hat{E})$ cumple la siguiente propiedad: Dado cualquier conjunto $S' \subset S$ de n vértices "disjuntos" $i_1 \times k_1, i_2 \times k_2, \dots, i_n \times k_n$ (es decir con $i_\alpha \neq i_\beta$ y $k_\alpha \neq k_\beta$ para todo $\alpha \neq \beta$), el bigrafo inducido $G[S', V]$ es 1-centroconexo (contiene un 1-factor). Notar que, en realidad, lo que estamos exigiendo es la existencia en G de n caminos disjuntos de la forma $i_1 j_1 k_1, i_2 j_2 k_2, \dots, i_n j_n k_n$.

Por tanto, es fácil ver ahora como el teorema 5.2.1 puede enunciarse sobre $H_G(S, V, \hat{E})$ de la misma forma que se hacía antes sobre $H(U, V, E)$ con la única modificación de que $S' \subset S$, $|S'| \leq n$, representa en este caso un subconjunto de vértices disjuntos. Además, la demostración constructiva que hemos dado antes sirve igualmente ahora teniendo en cuenta dicha modificación. En términos de G nos queda pues:

Teorema 5.3.1:

El grafo tripartito $G(U, V, W, E)$ es 2-centroconexo si y sólo si, para cualquier conjunto S' compuesto de $s' = |S'| \leq n$ elementos disjuntos de $U \times W$, se cumple:

$$d(S') \geq |S'| \quad (5.9)$$

donde por $d(S')$ queremos significar el grado de S' en H_G , o sea,

$$\text{si } S' = \{i_1 \times k_1, i_2 \times k_2, \dots, i_{s'} \times k_{s'}\}$$

$$d(S') = |\{\Gamma(i_1) \cap \Gamma(k_1)\} \cup \{\Gamma(i_2) \cap \Gamma(k_2)\} \cup \dots \cup \{\Gamma(i_{s'}) \cap \Gamma(k_{s'})\}| \quad (5.10)$$

En particular, si $|S'| = 1$, el grado de $i_1 \times k_1$,

$$d(i_1 \times k_1) = |\Gamma(i_1) \cap \Gamma(k_1)| \quad (5.11)$$

representa el número de vértices de V adyacentes a la vez a i_1 y k_1 (número de buses que pueden utilizarse para enlazar la memoria i_1 con el procesador k_1).

La extensión a G de la condición (5.8) es la siguiente (ver teor. 2 en |LVF1|):

Teorema 5.3.2:

Consideremos un vértice $j \in V$. Si G es 2-centroconexo, entonces:

$$(a) \quad m - n + 1 \leq d_U(j) \leq m \quad (5.12a)$$

$$(b) \quad m + p - n + 1 - d_U(j) \leq d_W(j) \leq p \quad (5.12b)$$

Demostración:

(a) es la referida condición (5.8)

(b) Empleando la terminología de un sistema multibus: si el bus j está conectado a $d_U(j)$ memorias, está desconectado de $\bar{d}_U(j) = m - d_U(j)$. Si n procesadores desean acceder a n memorias entre las cuales están las no conectadas al bus j , es preciso seleccionar una de entre las restantes $n - [m - d_U(j)]$ para asignarle el bus j . (Notar que $n - \bar{d}_U(j) = n - [m - d_U(j)] = n - m + d_U(j) \geq 1$, donde hemos acotado inferiormente $d_U(j)$ según (5.12a)). Ya que es necesario poder conectar cualquier procesador a cualquier memoria, la selección, para concederle el bus j , de una de las $n - [m - d_U(j)]$ memorias requiere que el número máximo de procesadores desconectados del bus j sea $n - [m - d_U(j)] - 1$, es decir, $\bar{d}_W(j) \leq n - m + d_U(j) - 1$, lo que implica que el número mínimo de procesadores conectados a dicho bus debe ser $p - [n - m + d_U(j) - 1]$ (condición (5.12b)).

Notar que, por la simetría existente entre U y W respecto a V , las desigualdades (5.12) son equivalentes a

$$p - n + 1 \leq d_W(j) \leq p \quad (5.13a)$$

$$p + m - n + 1 - d_W(j) \leq d_U(j) \leq m \quad (5.13b)$$

Además, (5.12a) y (5.12b), o sus equivalentes, pueden condensarse en una sola condición. Basta considerar en ellas que $d(j) = d_U(j) + d_W(j)$ y nos queda:

$$p + m - n + 1 \leq d(j) \leq m + p \tag{5.14a}$$

o, en términos de desconexiones (y por ser $\bar{d}(j) = m + p - d(j)$):

$$0 \leq \bar{d}(j) \leq n - 1 \tag{5.14b}$$

lo que nos permite reenunciar el teorema 5.3.2 de forma más simple.

Teorema 5.3.2bis:

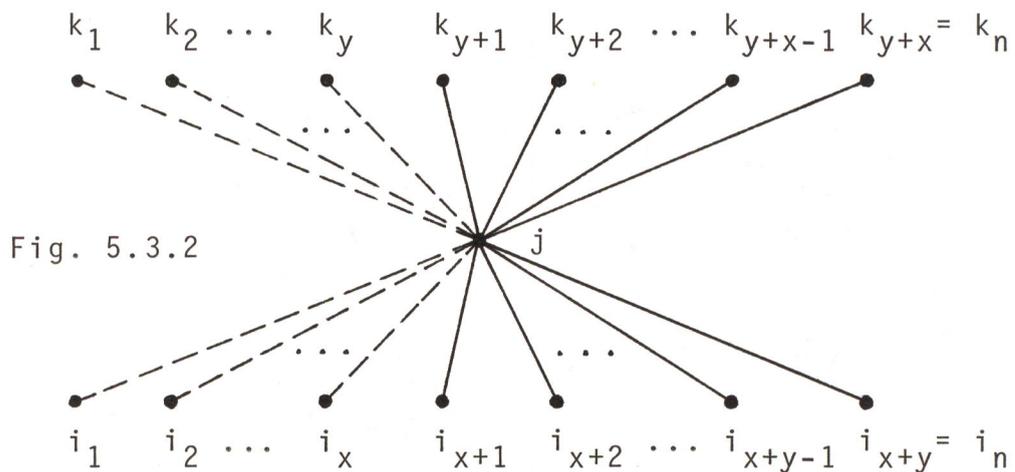
Para que el sistema no degrade, cada bus debe tener menos de n desconexiones (entre procesadores y memorias). Es decir,

$$\forall j \in V \quad \bar{d}(j) < n \tag{5.15}$$

Demostración:

La demostración que daremos ahora es también más simple y generalizable que la anterior. Está basada sobre la condición necesaria dada por el teorema 5.3.1.

Supongamos lo contrario, es decir que G tiene un vértice $j \in V$ no adyacente a x vértices de U e y vértices de W siendo $x+y=n$. Además de estos vértices, consideremos y vértices de U y x vértices de W , a todos los cuales j será adyacente. Ver figura 5.3.2.



Si en H_G tomamos ahora el conjunto de n vértices disjuntos $S' = \{i_1 \times k_{y+1}, i_2 \times k_{y+2}, \dots, i_x \times k_n, i_{x+1} \times k_1, i_{x+2} \times k_2, \dots, i_n \times k_y\}$ resulta que $|S'| = n$ pero $d(S') \leq n-1$ en contradicción con (5.9).

Según este teorema, el número total de "desconexiones" en G (número de líneas en \bar{G}) 2-centroconexo debe cumplir:

$$e(\bar{G}) = \sum_{j \in V} \bar{d}(j) \leq n(n-1) \quad (5.16)$$

Misma cota a la que habíamos llegado para un bigrafo H 1-centroconexo. Luego el número máximo de líneas que podemos suprimir en $G_{m,n,p}$ sin que deje de ser 2-centroconexo no depende de m ni de p .

Evidentemente, G mínimo es alcanzable. Basta tomar $F = F(V,W) = K_{n,p}$ y $H = H(U,V)$ mínimo, lo que implica:

$$e(G)_{\min.} = n(m+p-n+1) \quad (5.17)$$

5.4 MINIMIZACION DE $H(U,V,E)$

Acabamos de ver como, para minimizar G , podemos tomar F completo y minimizar H (o viceversa). En la sección 5.2 hemos dado ya algunos ejemplos de bigrafos 1-centroconexos mínimos, y el problema que se plantea ahora es el desarrollo de algún método para obtener dicho tipo de grafos.

Por una parte, el teorema 5.2.2 nos asegura que, dados $|U| = m$ y $|V| = n$, podemos partir del bigrafo completo $K_{m,n}$ y, situándonos en cada uno de sus vértices $j \in V$, ir eliminando convenientemente algunas de sus líneas incidentes hasta que, en todos ellos, $d(j) = m-n+1$. Pero dicho teorema no da un criterio para decidir que líneas podemos eliminar en cada caso. Este podría venir dado, al menos teóricamente, por el teorema 5.2.1, a saber: si H cumple (5.7a) podemos eliminar una línea $e \in E(H)$ sii $H - e$ cumple también dicha condición. Pero es fácil ver que ésta es inviable en la práctica,

por el gran número de posibles elecciones que tenemos, en general, para el conjunto $U' \subset U$, $|U'| \leq n$.

Debido a ello, en esta sección damos un algoritmo para obtener diversos grafos mínimos a partir de $K_{m,n}$ que, si bien no permite llegar a todas las configuraciones posibles, tiene al menos la ventaja de que es fácilmente aplicable. En primer lugar discutiremos dicho algoritmo usando la terminología propia de nuestro sistema multiprocesador.

Partimos pues de la interconexión total entre buses y memorias ($K_{m,n}$) y queremos decidir, en cada "paso", cuando podemos eliminar una conexión establecida entre una memoria y un bus.

Consideremos que la memoria i está conectada a los $N+1$ buses $j_1, j_2, \dots, j_N, j_{N+1}$, $d(i) = N+1$ y deseamos saber si se puede o no eliminar la conexión (i, j_{N+1}) . Si así lo hacemos, nos quedará $d(i) = N$, y ahora el problema sólo puede surgir cuando entre las n memorias solicitadas esté incluida la i . En este caso el sistema degradará (el grafo obtenido no será 1-centroconexo) cuando exista al menos un conjunto formado por $n-1$ memorias más la memoria i tal que a N memorias de entre estas $n-1$ tengamos que asignarles forzosamente los buses j_1, j_2, \dots, j_N . Ver figura 5.3.1.

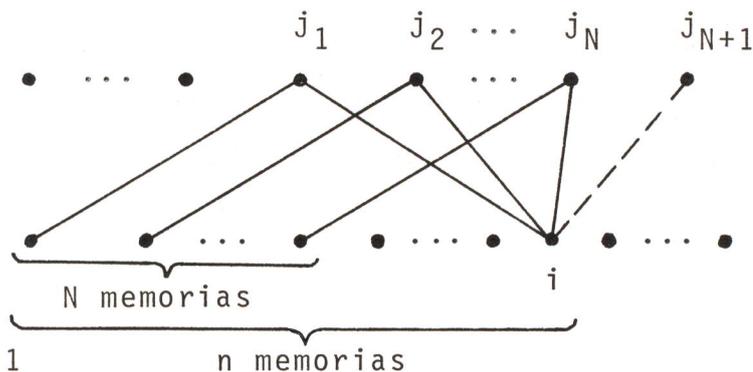


Fig. 5.3.1

n memorias

Una condición suficiente para que este caso no se produzca es que, en cualquier conjunto de N memorias tomadas de entre $m-1$ (o sea, el total menos la memoria i) exista al menos una que esté