

Test estructural i predictiu per a circuits RF CMOS

Tesi doctoral

Autor: Kay Suenaga Portuguès

Directors: Eugeni García Moreno

Rodrigo Picos Gayà



Departament de Física

Universitat de les Illes Balears

Palma de Mallorca, octubre de 2008

Agraïments

Durant tot el període de temps que ha suposat la realització d'aquesta tesi doctoral, he rebut l'ajuda i recolzament de molta gent. Expressar la meva gratitud a totes aquestes persones, en la seva justa mesura, és una tasca impossible. El deute que tinc vers aquestes persones no es pot descriure adequadament sobre un paper.

En primer lloc, voldria transmetre la meva gratitud als meus directors, n'Eugeni García i en Rodrigo Picos. La seva direcció, consell i paciència han estat d'una ajuda inestimable. També m'agradaria expressar el meu agraïment a en Sebastià Bota, les seves desinteressades contribucions han estat sempre útils i valuoses.

Els meus companys de despatx (Tomeu Alorda, Salva Barceló, Vicens Canals, Biel Torrens i Jaume Verd) es mereixen, sense cap dubte, paraules d'elogi i gratitud. El gran ambient de treball que hi ha seria impossible sense ells. També, vull fer extensible el meu agraïment a la resta dels membres del grup de tecnologia electrònica (Carol de Benito, Joan Font, Eugeni Isern, José Luís Merino, Iván de Paül, Miquel Roca, P. Lluís Rosselló i Jaume Segura), tots ells fan del grup d'electrònica sigui un gran grup.

Fent una mirada cap al passat, vull agrair i reconèixer la contribució dels professors que he tingut, en la meva formació. Tant en els cursos de doctorat d'enginyeria electrònica, en les carreres d'enginyeria tècnica i superior de telecomunicacions, com en la formació professional d'electrònica industrial. A tots ells, he d'agrair en un sentit o altre la seva influència en la realització i culminació d'aquesta tesi.

D'altra banda, també m'agradaria agrair als membres del grup de sistemes d'instrumentació i comunicacions, de la UB, per a permetre'm realitzar mesures en el seu laboratori, i per l'ajuda que em van oferir en tot moment.

També voldria donar les gràcies als meus amics (de la UIB, de Mallorca i de Barcelona), que han fet que una tasca, a vegades, molt feixuga fos més lleugera. Encara que no els mencioni explícitament a tots pel seu nom (la llista seria massa llarga), poden estar ben segurs que no oblidó pas l'amistat, l'ajuda, el recolzament, i la comprensió que han tingut amb mi tots i cadascun d'ells.

Finalment, voldria agrair a la meva família el seu suport. Tant als més propers com als més allunyats, als que poden veure aquest moment com als que no han pogut veure aquesta tesi culminada. Tots ells han contribuït a la seva manera.

Índex

1.- Introducció	3
1.1.- Antecedents	3
1.2.- Objectius	4
1.3.- Estructura	4
2.- Test RF	5
2.1.- Generalitats del test analògic.....	5
2.1.1.- Motivació del test.....	5
2.1.2.- Tipus de falles	6
2.2.- Estratègies de test.....	8
2.2.1.- Test funcional.....	10
2.2.2.- Test estructural	10
2.2.3.- Test predictiu.....	12
2.3.- Tècniques de test.....	15
2.3.1.- Test on-chip (BiST).....	16
2.3.2.- Test basat en oscil·lació (OBT).....	17
2.3.3.- Test de corrent ($i_{DD}(t)$)	19
2.3.4.- Altres tècniques de test.....	20
2.4.- Aplicacions a un Amplificador Operacional.....	22
2.4.1.- L'amplificador operacional.....	22
2.4.2.- Test estructural	30
2.4.3.- Test predictiu.....	35
2.4.4.- Conclusions	40
3.- Aplicacions a un Mesclador RF	43
3.1.- Introducció al test RF CMOS.....	43
3.2.- El mesclador.....	44
3.2.1.- Circuit mesclador	44
3.2.2.- Circuit mesclador amb falles.....	45
3.3.- Estratègia de test directa.....	47
3.3.1.- Estratègia d'aplicació directa del OL.....	47
3.3.2.- Test estructural	49
3.3.3.- Test predictiu.....	53
3.4.- Estratègia de test millorada	55
3.4.1.- Estratègia de test millorada amb circuiteria addicional	55
3.4.2.- Test estructural	62
3.4.3.- Test predictiu.....	65
3.5.- Conclusions	67
4.- Aplicacions a un Amplificador de Baix Soroll	69
4.1.- L'amplificador de baix soroll.....	69
4.1.1.- Circuit amplificador	69
4.2.- Test estructural	70
4.2.1.- Cas 1: falles catastròfiques i paramètriques	71
4.2.2.- Cas 2: dispersió de falles paramètriques	74
4.3.- Test predictiu.....	81
4.4.- Conclusions	85
5.- Aplicacions al capçal RF d'un receptor	87
5.1.- El capçal RF	87
5.1.1.- Balun	88

5.2.- El Capçal RF amb la circuiteria de test.....	88
5.2.1.- Procés de test: test seqüencial	90
5.2.2.- Procés de test: programació de les simulacions	90
5.3.- Test predictiu.....	93
5.4.- Conclusions	96
6.- Conclusions generals i línies de futur	99
Annex I: Disseny d'un Amplificador Operacional.....	103
I.1.- Introducció	103
I.2.- Definicions.....	103
I.3.- Disseny de l'amplificador operacional	104
I.4.- Simulacions de l'amplificador operacional	114
I.5.- <i>Layout</i> de l'amplificador operacional	115
I.6.- Conclusions.....	116
Annex II: Disseny d'un mesclador	117
II.1.- Introducció.....	117
II.2.- Definicions	117
II.3.- Disseny del mesclador	122
II.4.- Simulacions del mesclador	129
II.5.- <i>Layout</i> del mesclador.....	131
II.6.- Conclusions	132
Annex III: Disseny d'un LNA	133
III.1.- Introducció	133
III.2.- Paràmetres S.....	133
III.3.- Disseny de l'LNA	134
III.4.- Simulacions del LNA	138
III.5.- Conclusions	139
Annex IV: Circuits de mesura	141
IV.1.- Placa per a l'amplificador operacional.....	141
IV.2.- Placa per al mesclador.....	142
IV.3.- Placa per al generador IF	143
IV.4.- Placa per a la tècnica de test seqüencial.....	144
Annex V: Anàlisi estadístic	147
V.1.- Anàlisi de Monte Carlo	147
V.2.- Cobertura i rendiment del test	148
Annex VI: Acrònims i símbols.....	151
Bibliografia.....	155

1.- Introducció

1.1.- Antecedents

L'any 1947, John Bardeen i Walter Brattain del *Bell Telephone Laboratories* varen realitzar el primer transistor (transistor BJT). Aquest fet va marcar l'inici d'una nova era tecnològica i la fi del predomini de les vàlvules de buit en l'electrònica. Aquest descobriment i posteriors avenços van fer que, a l'any 1956, J. Bardeen, W. Brattain i William Shockley fossin reconeguts amb el premi Nobel de física pels seus treballs en “la recerca dels semiconductors i el descobriment dels efectes del transistor” [1].

De manera imparable, els transistors van anar substituint els tubs de buit. Ocupen molt menys espai i el seu consum és força inferior, entre d'altres avantatges. Els circuits que es fan amb transistors i altres elements discrets (resistències, condensadors, bobines, díodes, ...) sobre una placa poden arribar a ser de complexitat elevada, respecte als realitzats amb els tubs de buit. Però també es va arribar a un límit a on els circuits resultaven excessivament grans com per a implementar-los sobre una placa.

L'any 1959 Jack Kilby i Robert Noyce, de *Texas Instruments* i *Fairchild Camera*, respectivament, varen arribar a la solució per a circuits amb un alt nombre de components: el circuit integrat o xip. Aquests desenvolupament va proporcionar a en J. Kilby el premi Nobel de física l'any 2000.

L'evolució de la tecnologia de fabricació de circuits integrats ha fet que, des de la integració del primer transistor, el nombre de transistors en un xip es dupliqui aproximadament cada any i mig. Aquesta evolució es coneix com a llei de Moore, en honor a la persona que la va desenvolupar, Gordon Moore [2].

Des de fa 30 anys, el transistor BJT ha estat progressivament substituït pel transistor MOS. Aquest darrer transistor, degut a les seves característiques i al seu procés de fabricació, resulta més adequat per a la integració.

La capacitat d'integració actual permet integrar un circuit molt gran i complex en unes dimensions mil·limètriques. Això evita haver d'emprar diversos components discrets per a realitzar la mateixa funció. Però també implica importants reptes. Entre ells, la dificultat d'assegurar que el circuit integrat funcioni correctament, per garantir la qualitat del producte fabricat amb el mínim cost possible.

Per tant, la problemàtica del test té una doble vessant. D'una part, detectar els circuits defectuosos i/o determinar la causa del defecte o falla (per a solucionar l'origen de la falla). D'altra banda, maximitzar l'eficiència del propi procés de test i minimitzar els recursos emprats en la fase de verificació.

1.2.- Objectius

L'objectiu principal d'aquesta tesi és desenvolupar una tècnica de test que permeti testar tots els elements que conformen un capçal RF d'un receptor CMOS. Aquesta tècnica ha d'estar enfocada a la testabilitat, i més concretament, emprant tècniques de test implementades dintre del mateix circuit integrat (BiST). Això significa que tant la generació dels senyals, que excitaran el circuit durant el procés de test (vectors de test), com la mesura dels senyals, que s'utilitzaran per a determinar si el circuit presenta algun tipus de falla (observables de test), s'han de realitzar amb circuits de test implementats dintre del mateix circuit integrat. Per aconseguir aquest doble propòsit, s'optarà per a aplicar el test basat en oscil·lació (OBT), o una altra tècnica inspirada en aquest test, per a generar els vectors de test. Mentre que s'estudiarà la viabilitat de la tensió de sortida i el corrent de consum com a potencials observables de test.

1.3.- Estructura

Després de la introducció, aquesta tesi està estructurada en 6 capítols. En el capítol 2, es comenten els motius de la importància del test analògic, els tipus de falles, i les estratègies i tècniques de test existents més destacables. També es mostren els resultats d'aplicar les estratègies de test estructural i predictiu a un circuit amplificador. En tots dos casos, la tècnica emprada per a generar els vectors de test ha estat OBT i com a observables de test s'han utilitzat diverses corrents i tensions, en diferents punts del circuit. El capítol 3 mostra els resultats d'aplicar dues tècniques diferents, inspirades en OBT, per a testar un mesclador. En els dos casos s'ha estudiat el mesclador usant test estructural i predictiu. En el capítol 4 es mostren els resultats d'aplicar la segona tècnica de test emprada en el capítol anterior, una tècnica de test millorada, a un amplificador de baix soroll (LNA). En aquest cas, també s'han utilitzat les estratègies de test estructural i predictiu. En el capítol 5 s'aplica la tècnica de test millorada per a testar un capçal RF d'una etapa receptora, en aquest cas s'ha emprat test predictiu. Finalment, el capítol 6 sintetitza les conclusions generals d'aquesta tesi i marca possibles línies de futur.

Per tal de facilitar la lectura i seguir un discurs coherent, part dels continguts s'han inclòs en forma d'annexos. En aquests annexos hi ha procediments de disseny (amplificador operacional, mesclador, amplificador de baix soroll), la vista superior de les plaques dissenyades per a realitzar la validació experimental, i altres conceptes, que tot i no ser part del motiu d'aquesta tesi, s'ha considerat interessant afegir-los, ja que hi estan estretament lligats.

2.- Test RF

2.1.- Generalitats del test analògic

2.1.1.- Motivació del test

Actualment, la gran majoria dels aparells electrònics que utilitzem en el nostre dia a dia incorporen circuits integrats. Des d'un simple electrodomèstic fins als aparells mèdics, aeronàutics o aeroespacials.

Les millores successives que ha experimentat la tecnologia de fabricació de circuits integrats ha permès incrementar la capacitat d'integració de circuits dintre d'un mateix xip i abaratir els costos de producció. Amb l'entrada a la era de les telecomunicacions mòbils, la possibilitat d'integrar grans circuits (i a baix preu), encara ha pres més importància. Només cal observar la ràpida evolució dels telèfons mòbils, la seva acceptació al mercat i la lluita entre els diversos fabricants per a augmentar la seva quota de mercat. Tanmateix, la seva gran acceptació en la societat no només és degut a la seva utilitat (o haver omplert un buit de mercat). El seu baix cost ha contribuït a que sigui assequible a les grans masses. Aquest cas il·lustra el motiu pel qual minimitzar el cost de producció és un aspecte fonamental en la fabricació.

Malauradament, tot i les millores del procés de fabricació, aquest no està absent de falles. Les limitacions tecnològiques, degudes a la fabricació, provoquen l'aparició d'errors en el circuits o que determinats circuits presentin unes característiques no desitjades. Per motius econòmics, de seguretat i de prestigi, és imprescindible que els circuits integrats, funcionin de manera correcta, tal i com indica el fabricant en les especificacions, abans d'enviar-los al mercat. D'aquí prové la importància del test o verificació dels circuits.

D'altra banda, verificar un circuit integrat implica que el cost d'aquest circuit en el mercat estarà influït pel cost del procés de test [3]. La dificultat en realitzar el test del xip, els recursos necessaris per al test i el temps que s'hi destina, repercuteix directament en el seu preu. Per tant, interessa desenvolupar estratègies de test senzilles, barates i ràpides.

La necessitat i importància d'abaratir el test ha estat reiteradament posada de manifest per la *Semiconductor Industry Association* [4]. Amb l'acrònim de SIA, aquesta és una associació industrial creada l'any 1977 que representa la indústria dels semiconductors dels Estats Units. Hi pertanyen fabricants com: *Altera, Fairchild Semiconductors, IBM, Texas Instruments, ...*; i representen el 85% de la producció en semiconductors. Des de 1992, la SIA coordina esforços per a aconseguir un consens tecnològic comú entre els seus membres i mantenir el nivell d'integració i creixement econòmic amb la tendència actual durant els propers anys. El resultat d'aquest procés

s'ha materialitzat en un full de ruta, “*The National Technology Roadmap for Semiconductors*” (NTRS). L’NTRS exposa els requeriments de la tecnologia i les principals línies de recerca per a complir les planificacions de la indústria dels semiconductors, en cap cas aporta solucions.

Per a l’NTRS, la verificació dels circuits integrats és un coll d’ampolla per la indústria dels semiconductors. L’increment de la complexitat dels xips i l’augment de la integració aguditza el problema. Aquesta qüestió és especialment delicada en el test analògic i mixte (circuits en que conviuen parts analògiques i digitals inseparables). Els equips automàtics de test (*automatic test equipment*, ATE) que s’han d’emprar han de tenir unes característiques (gran ampla de banda, llindar de soroll baix, ...) que provoquen que l’increment del seu cost sigui inacceptable. Els aparells de mesura existents estan limitats a circuits senzills o per a casos concrets [5] [6] [7] [8]. D’aquí la necessitat de trobar noves estratègies de test alternatives, ràpides i barates.

Una de les línies principals d’investigació que proposa l’NTRS és dissenyar noves estratègies de test, nous programes de simulació i nous models de falles. Entre les estratègies de test que proposen en destaquen: el disseny enfocat al test o DfT (*Design for Test*), la implementació de la circuiteria de test dintre del mateix circuit integrat o BiST (*Built-in Self-Test*), i l’anàlisi mitjançant signatura (o estratègies indirectes).

2.1.2.- Tipus de falles

Un sistema electrònic pot arribar a presentar una falla per molts i diversos motius [9]. L’esquema representat en la Figura 2.1 resumeix els tipus de falla que pot arribar tenir un circuit electrònic, classificats des de diferents perspectives. Des del punt de vista comercial, de tots els motius pels quals el circuit pot presentar falla (veure la Figura 2.1), el que més interessa controlar en el procés d’integració, són els errors d’implementació i defectes dels components. Per tant, l’objectiu serà detectar aquestes falles, degudes al procés de fabricació, de la manera més ràpida i barata possible.

En un entorn de fabricació, els errors deguts a la implementació i als defectes en els components del circuit es poden classificar segons l’abast:

1. Errors localitzats: Aquestes falles és produeixen durant el procés de producció, al caure sobre l’oblea un cos estrany. Es poden produir dos tipus de defectes:
 - Defecte de taca (“*spot*”): Aquest defecte provoca la destrucció d’un element o part del circuit.
 - Defecte de pont (“*bridging*”): En aquest segon cas, el defecte provoca un curtcircuit entre dos punts del circuit.

En ambdós casos, aquests defectes poden originar dos tipus de falles:

- Falla catastròfica: L’element afectat queda totalment destruït o té un comportament incontrolable. Aquesta falla provoca que el circuit implementat no funcioni correctament.

- Falla paramètrica: L'element afectat funciona però el seu comportament és diferent al desitjat. Aquesta falla provoca que el circuit implementat, tot i funcionar, treballi fora dels marges de tolerància definits en les especificacions.
2. Errors globals: Falles produïdes per les derives i les limitacions tecnològiques dels equips de fabricació, que provoquen variacions en els paràmetres tecnològics. Això genera dos tipus de falles paramètriques en una oblea:
- Variacions globals: Els paràmetres varien entre els extrems de l'oblea durant el procés de fabricació, o entre diferents oblees.
 - Variacions locals (“*mismatch*”): Els paràmetres varien entre dos elements adjacents fabricats.

Tot i això, aquestes variacions, introduïdes pel procés de fabricació, que afecten els paràmetres tecnològics no tenen perquè provocar falles, si estan dintre de les toleràncies admeses pel fabricant.

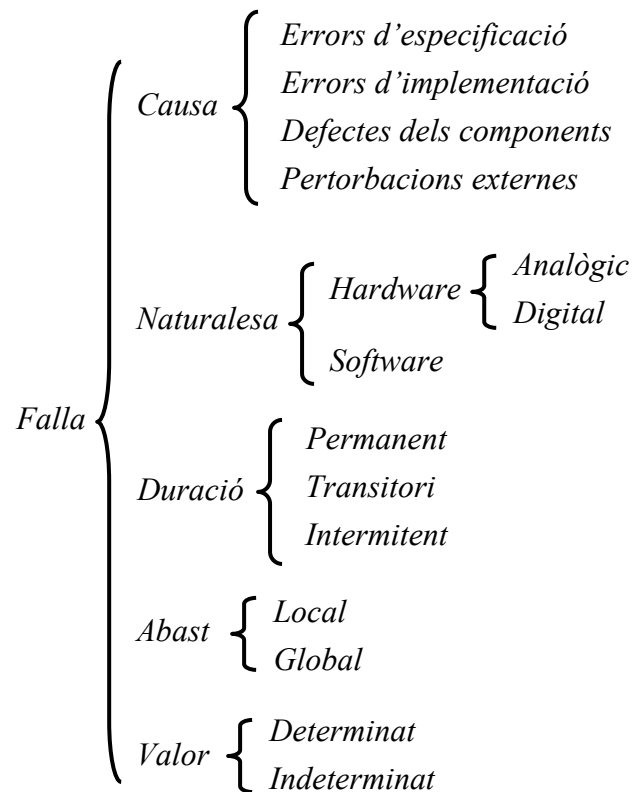


Figura 2.1: Classificació de les falles possibles en un circuit integrat.

Els errors de fabricació tenen conseqüències diferents segons les característiques elèctriques dels circuits implementats. D'aquí que la filosofia i les estratègies de test siguin diferents per a circuits digitals o analògics.

En un circuit digital, les falles catastròfiques alteren la taula de veritat del circuit. Per contra, les variacions de procés o les falles paramètriques, tot i provocar que alguna de les característiques del circuit es vegi afectada (com la freqüència de treball), no afecten a la taula de veritat. En general, el test per a circuits digitals es centra en trobar

els circuits que no actuen segons la funció que haurien d'implementar, o que no compleixen les especificacions definides (velocitat, consum, ...).

D'altra banda, un circuit analògic és més sensible a totes les falles i variacions en el procés de fabricació. Les falles catastròfiques fan que el circuit deixi de funcionar. Les falles paramètriques i les variacions de procés produeixen una desviació en la funció que implementa, generant una certa tolerància en les especificacions del circuit. Els marges d'aquesta tolerància es poden definir en la fase de disseny com una especificació addicional. A més a més, en el cas del test de circuits RF, el procés de verificació ha de tenir en compte les altes freqüències de treball, cosa que complica i encareix el test. Tot això fa que el test analògic, i sobre tot el test RF analògic, tendeixi a ser més complex que el test digital.

2.2.- Estratègies de test

En els inicis de l'electrònica, comprovar el funcionament d'un circuit resultava relativament senzill. La simplicitat dels dissenys que es podien arribar a implementar feia que el test fos simple. La manera més senzilla d'assegurar el correcte funcionament del circuit fabricat era comprovar que el circuit realitzava correctament la funció de transferència o taula de veritat pel qual havia estat dissenyat i fabricat (estratègia de test funcional).

Aquesta filosofia de test es va mantenir en els primers anys de la integració de circuits en un xip, degut a que la baixa capacitat d'integració existent impedia que un xip posseís un nombre elevat d'elements interns.

Però l'evolució de la integració, associat a l'increment de la capacitat d'integració, va permetre integrar circuits cada vegada més complexos i amb més pins d'entrada/sortida. Això va fer que, de manera paral·lela a l'increment de la capacitat d'integració, la dificultat del test dels circuits integrats augmentés. La necessitat de testar grans quantitats de circuits a baix cost, de manera ràpida i fiable, va motivar l'aparició i desenvolupament de noves estratègies de test, tant per circuits digitals com per analògics.

El test d'un circuit integrat es pot realitzar a diferents nivells d'implementació, en funció de l'etapa de fabricació. Aquests nivells, classificats des de l'inici de la fabricació fins a la venda del producte al mercat, són: nivell d'oblea, de circuit integrat, d'encapsulat, de placa, de sistema, i proves de camp (o *test on-line*).

Dintre de la cadena de producció, el cost d'un xip augmenta a mesura que el producte s'acosta al mercat, degut a les diferents etapes de fabricació pels que ha de passar. Per això, és important desenvolupar estratègies i tècniques de test en els tres primers nivells, i poder detectar un circuit defectuós amb el menor impacte econòmic possible. Aquest nivells corresponen a l'etapa de producció (oblea, circuit integrat i encapsulat). Aquesta tesi es centra en les estratègies i tècniques de test quan el circuit integrat està fabricat.

Les estratègies de test es poden classificar segons la naturalesa elèctrica i dels senyals amb que treballa el circuit sota prova. Per tant, es poden trobar estratègies per a circuits digital, mixtes o analògic. En el cas que en un mateix circuit conviuen diferents parts, serà necessari testar-les per separat amb l'estratègia més adequada. Però en el cas dels circuits mixtes, circuits en que conviuen parts analògiques i digitals inseparables, aquestes parts no es poden testar per separat. Dos exemples evidents són: el conversor analògic a digital (ADC) i el conversor digital a analògic (DAC).

A part de poder classificar les estratègies de test pel tipus de senyal, també es poden classificar segons els paràmetres que utilitzen per a fer el test. De manera que, per el cas de circuits digitals podem tenir les següents estratègies:

- Test funcional: Aquest tipus de test té com a objectiu comprovar la taula de veritat del circuit testat. El seu gran avantatge és la seva bona cobertura de test¹. Els principals desavantatges són que requereix un temps de test elevat, i és una estratègia inviable per a circuits amb gran quantitat d'entrades i/o sortides.
- Test estructural: Aquest test estudia el comportament del circuit que es vol testar sotmès a una determinada falla. Els seus avantatges és que permet trobar determinades falles que amb el test funcional queden emmascarades, i que la cobertura de test per les falles considerades és bona [10]. El principal inconvenient és que no es modelen totes les possibles falles, només les més probables.
- Test paramètric: El test paramètric mesura un paràmetre analògic del circuit a testar, no relacionant directament amb la funció lògica que el circuit implementa (retard, corrent, ...), per a comparar-los amb els paràmetres del circuit ideal. Aquest tipus de test es pot combinar amb el dos anteriors i la seva cobertura és bona però requereix una circuiteria addicional de test i/o equips de test amb un cost més elevat que en els casos anteriors.

En el cas dels circuits mixtes, en els que no es pot separar la part analògica de la digital, cal dissenyar estratègies especials de test per aquest tipus de circuits. Majoritàriament, aquestes estratègies es fonamenten en el test funcional, en aquest cas, anomenat test per histograma [11] [12], o millores sobre aquesta filosofia de test. El test per histograma consisteix en introduir a l'entrada del conversor un senyal conegut, generalment sinusoidal o triangular, i quantificar, o estudiar de manera estadística, les vegades que es repeteix cadascun dels valors de sortida. Tot i això, hi han altres tècniques (per a ADC) més sofisticades que implementen la circuiteria de test dintre del mateix circuit integrat (*Built-in Self Test*, BiST) [13] o BiST basat en oscil·lació, OBiST [14], per a realitzar aquest test, amb menys circuiteria de test addicional, i més ràpida.

Les estratègies de test analògic han de tenir present diverses consideracions que les altres dues categories poden ignorar en alguns casos [15]: els valor que poden prendre els senyals d'entrada i sortida són infinits, i en la mesura de les especificacions han de tenir en compte les toleràncies dels equips de mesura, el soroll, acoblaments de senyal (als circuits digitals també els afecta l'acoblament, però la naturalesa discreta del

¹ La cobertura de test està definida en l'Annex V.

senyal digital tendeix a minimitzar els seus efectes), no linealitats, etc. A aquests inconvenients cal afegir-hi: la falta d'un model universalment acceptat de falla, o que el disseny analògic és menys estructurat que un de digital (on els blocs són reaprofitables) degut a que existeix una varietat immensa de circuits analògics diferents, i amb especificacions pròpies. El test analògic es dissenya per cada circuit en concret. Tot això fa que el procés de test sigui, encara més que en els casos anteriors (test digital i mixte), més complex, lent, i car, en termes de recursos que s'hi ha de destinar. D'aquí que el desenvolupament de noves tècniques de test per a circuits analògics sigui un tema capdal des de fa temps [16].

Les estratègies per al test de circuits analògics es poden classificar en tres categories: test funcional, test estructural i test predictiu. En els apartats següents es comenta amb més detall cadascuna d'aquestes estratègies.

2.2.1.- Test funcional

L'estratègia de test funcional consisteix en mesurar les especificacions del circuit sota prova. Això significa comprovar que el circuit fabricat implementa correctament la seva funció de transferència, en mode normal de funcionament (Figura 2.2). Aquesta estratègia de test té la millor cobertura de detecció però és una estratègia molt lenta i cara, sobre tot, per característiques complicades de mesurar, per exemple l'IP3 en receptors d'RF. En els circuits integrats RF actuals, aquesta estratègia no es sol utilitzar degut a la complexitat que implica.



Figura 2.2: Procediment de test funcional.

En circuits analògics amb una freqüència de treball prou baixa, l'alta fiabilitat d'aquest tipus de test fa que es continuïn desenvolupant noves tècniques, per a la mesura de les característiques funcionals més importants del circuit a testar, d'una manera més econòmica. En general, les tècniques de test funcional que es dissenyen, estan enfocades a ser implementables amb BiST [17] [18] per a agilitzar el procés de test.

2.2.2.- Test estructural

L'estratègia de test estructural, o test orientat a falles, estudia el comportament del circuit sota els efectes de determinades falles, o dispersió de certs paràmetres (mobilitat, μ_0 , tensió llindar, V_{TH0} , entre d'altres, per al cas d'un transistor), analitzant el

comportament de determinades observables de test. Aquestes observables de test no tenen perquè estar directament relacionades amb les característiques funcionals del circuit (ex: corrent, retard, ...). Un cop mesurades, les observables es comparen amb els valors esperats, determinats pel cas del circuit ideal (circuit sense falla) i es decideix si el circuit sota prova passa o no el test en funció d'aquestes mesures (Figura 2.3).

Aquesta estratègia de test permet testar el circuit sota prova evitant realitzar un test funcional exhaustiu, amb el subsegüent estalvi de temps i recursos que implica. La cobertura de detecció és bona i en alguns casos permet trobar falles que amb el test funcional passarien inadvertides.

El seu gran desavantatge és que el test queda limitat a les falles considerades. També, les falles que es volen estudiar s'han de modelar de manera realista per aconseguir una conjunt de falles tant precís com sigui possible. Tot i això, no es pot assegurar que el circuit implementi correctament la funció desitjada.

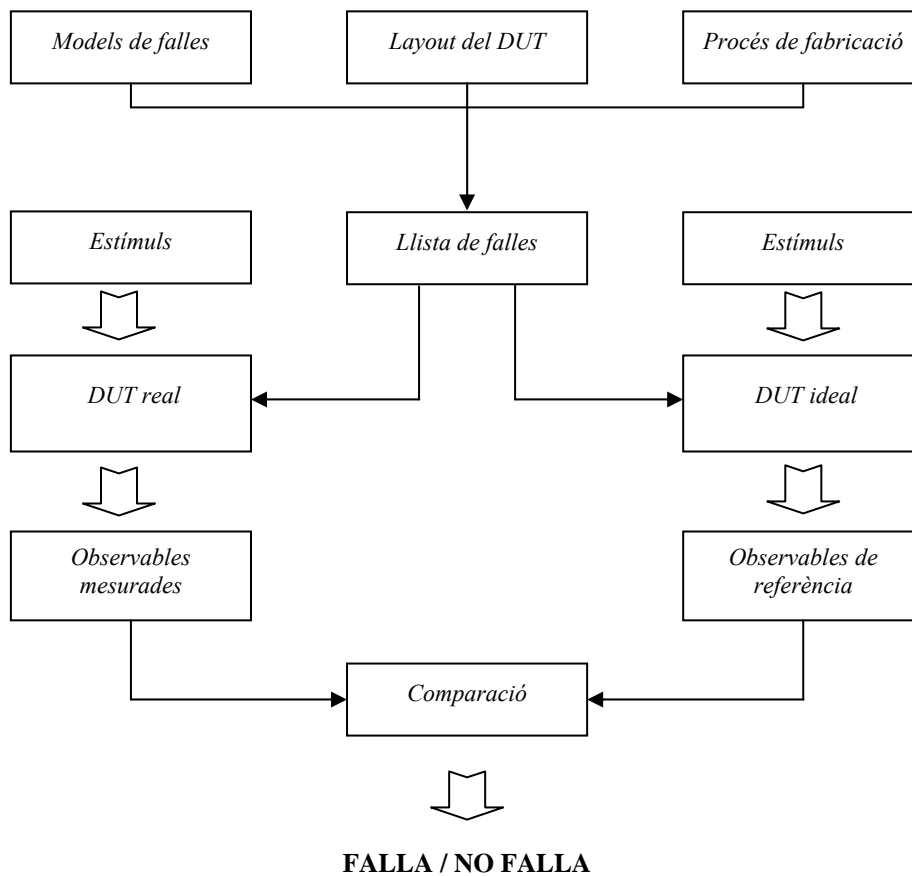


Figura 2.3: Concepte i procediment del test estructural.

Els inicis del test estructural estan situats en aplicacions per a circuits digitals. Actualment, existeixen una gran quantitat de models i simuladors per a test estructural destinat a circuits digitals. L'experiència i l'eficàcia del test estructural en el camp digital va fer que es volgués aprofitar els seus avantatges per al test analògic [19]. Malauradament, una aplicació directa de les estratègies digitals sobre circuits analògics és impossible degut a la filosofia de treball dels circuits en ambdues situacions. En el

cas digital, els senyals emprats són discrets, cosa que permet detectar la falla amb facilitat. Per contra, en el cas analògic, els senyals són continus i el seu marge de funcionament estarà comprès dintre d'uns marges de tolerància. La falla pot quedar emmascarada dintre d'aquests marges de tolerància.

Una altra dificultat addicional és la falta d'un model de falla estàndard per al test de circuits analògics. Això fa que en molts casos, s'hagi de modelar la falla per al circuit que es vol testar. Tanmateix, els models de falla es poden classificar en dues categories diferents, segons on es produeixi la falla dintre del circuit [15] [20]:

1. Falla en un element: falla associada a un element del circuit (variacions paramètriques del component, curtcircuits entre els terminals,...).
2. Falla en un node: falles associades a les línies d'interconnexió entre els components del circuit (curtcircuits entre dues línies o més, un trencament d'una línia,...).

D'aquestes dues categories de falla per a circuits analògics, els models de falla es poden classificar segons [19] [21] [22] [23]:

- *Hards*: Modelen falles que tenen conseqüències catastròfiques sobre el funcionament del circuit (ex: curtcircuits o circuit oberts), i el circuit presenta un comportament difícil de predir.
- *Softs*: Modelen les desviacions paramètriques dels components. El circuit, tot i funcionar, el seu comportament està fora dels marges entre els quals hauria de treballar per a ser considerat un circuit bo (un cas particular són els curtcircuits o circuits oberts amb uns valors de resistència diferents a zero o infinit).
- *Altres*: Modelen casos específics (ex: GOS) en que la seva singularitat no permet classificar-los en els dos casos anteriors.

Per a realitzar un test emprant l'estratègia estructural és necessari conèixer el circuit que es vol testar, com a mínim, a nivell de *layout* i el procés de fabricació del circuit. A partir del *layout* és possible trobar un llistat de totes les possibles falles que pot tenir el circuit a analitzar. Cal tenir en compte que no totes les falles tenen la mateixa probabilitat d'aparició, i per exemple, no caldria considerar les falles amb una probabilitat d'aparició per sota d'un llindar determinat, i així reduir la llista i fer-la més realista.

2.2.3.- Test predictiu

L'estratègia de test predictiu és una estratègia de test, més recent que les dues anteriors, que intenta predir les característiques funcionals del circuit sota prova utilitzant paràmetres fàcils de mesurar. Es pot considerar una evolució del test funcional.

L'objectiu és mesurar determinats paràmetres del DUT i aprofitar la correlació d'aquests paràmetres amb les característiques funcionals del circuit per predir les característiques funcionals no mesurades [24] [25]. Aquesta correlació no sempre es pot

calcular de manera analítica, i s'ha d'establir amb relacions estadístiques (Figura 2.4). Les observables de test s'han d'escollir amb cura per a maximitzar la cobertura del test i minimitzar-ne el cost.

El test predictiu es va desenvolupar a partir del test per signatura [26] [27] [28]. Aquest tipus de test intenta solucionar la necessitat de millorar la generació dels vectors de test, un altre dels cavalls de batalla del test. Consisteix en aplicar un determinat senyal (o vector de test) a l'entrada del DUT i mesurar la seva resposta a aquest senyal. La resposta que s'obté es compara amb la resposta en el cas sense falles per a determinar si el circuit presenta falla o no. Però la informació que s'obté de les observables de test també es pot processar amb mètodes estadístics per a obtenir una predicció de les característiques funcionals del DUT.

Els vectors de test emprats en aquesta estratègia estaran determinats pel tipus de circuit a testar. Per a circuits de baixa freqüència, els senyals de test es poden injectar directament a l'entrada del circuit. Mentre que per un circuit RF, el senyal d'entrada es pot modular abans d'introduir-lo al DUT i demodular la resposta del circuit a la sortida per a trobar la "signatura" en banda base.

Poder predir el comportament d'un circuit RF de manera senzilla és un valor afegit d'aquest tipus de test, ja que actualment, els esforços en el cap del test van dirigits a desenvolupar noves estratègies de test que permetin superar el coll d'ampolla que suposa el test de circuits RF [4].

De manera resumida, per a testar un DUT amb l'estratègia de test predictiva, cal estudiar les variacions dels paràmetres tecnològics degudes a les variacions del procés de fabricació. Després, estudiar els efectes que tenen aquestes variacions sobre les característiques funcionals del circuit (configurat en mode normal de funcionament), i sobre els observables de test (del circuit configurat en mode test). Finalment, un cop fet aquest procés, cal trobar la relació entre els paràmetres i les observables de test (Figura 2.5).

El test predictiu parteix de la desviació estadística dels paràmetres tecnològics del circuit sota prova que representi la tolerància del procés de fabricació (V_{TH} , β , ...). Aquesta distribució defineix un espai dels paràmetres del circuit (P) format per N conjunts de n_p elements cadascun, on N és el nombre de variacions estadístiques que es realitzen.

Les característiques del DUT es defineixen en l'espai de paràmetres funcionals D , mitjançant N conjunts de n_d elements. Aquestes característiques poden ser: el guany (A_0), el marge de freqüències de treball (BW), la variació màxima d'un senyal d'entrada (SR),... En el cas d'un amplificador operacional. O el guany de conversió (G_C), la figura de soroll (NF), la linealitat ($IP1$, $IP3$),... En el cas d'un mesclador.

Existeix un conjunt de n_d funcions (f_{pd}) que traslladen els punts de l'espai dels paràmetres tecnològics a l'espai de les característiques funcionals,

$$f_{pd}^i : P \rightarrow D^i, \quad i = 1..n_d$$

D'altra banda, es poden obtenir N conjunts de n_t mesures del DUT configurat en mode test, obtenint l'espai T . En aquest cas, també existeix un conjunt de n_t funcions (f_{pt}) que permeten mapejar els punt de l'espai P al T ,

$$f_{pt}^i : P \rightarrow T^i, \quad i = 1..n_t$$

El mètode predictiu consisteix en trobar una funció que permeti realitzar un canvi de base de l'espai T al D ,

$$f_{td}^i : T \rightarrow D^i, \quad i = 1..n_d$$

La existència d'aquesta funció no està assegurada i no és possible de trobar per mètodes analítics, en el cas general. Els mètodes com el MARS o el GLM [29] permeten trobar la corba de regressió que relaciona els punts entre els espais T i D .

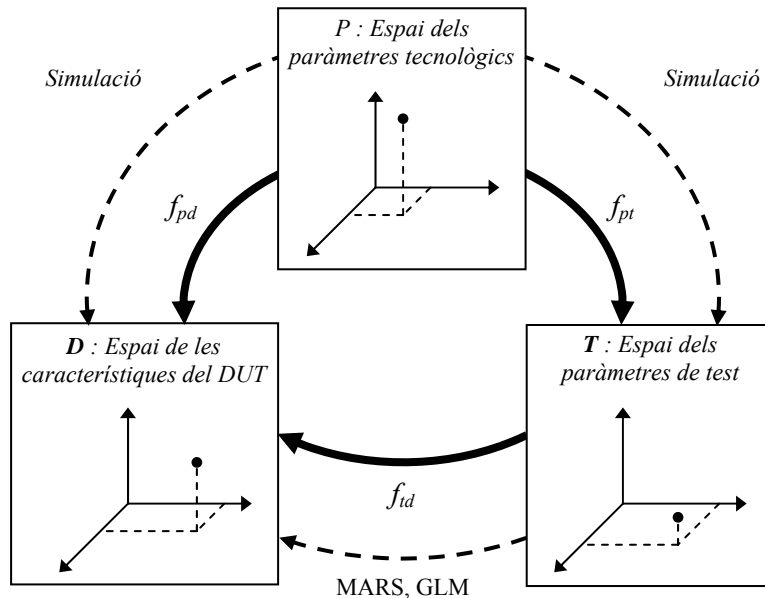


Figura 2.4: Relació entre els paràmetres, les mesures i les característiques d'un circuit.

El procediment per a desenvolupar aquesta metodologia és la següent: primer, cal definir l'espai dels paràmetres tecnològics P . Això es pot aconseguir mitjançant una variació estadística dels n_p paràmetres dels components que conformen el circuit, segons les desviacions de procés de fabricació.

Amb cadascuna de les variacions obtingudes es realitza una primera simulació del circuit en mode normal de treball i una segona en mode test. Amb la primera es troben els n_d paràmetres funcionals del circuit i amb la segona els n_t paràmetres de test.

Amb una part de les dades es poden generar les funcions que relacionen les dades del circuit oscil·lador amb els paràmetres funcionals del circuit emprant l'algorisme MARS o GLM.

Com a últim pas, cal comprovar la bondat de les correlacions obtingudes entre l'espai T i D . Per això, cal aplicar les funcions de predicció, trobades en el punt anterior, als paràmetres de test, i comparar les prediccions amb els paràmetres funcionals.

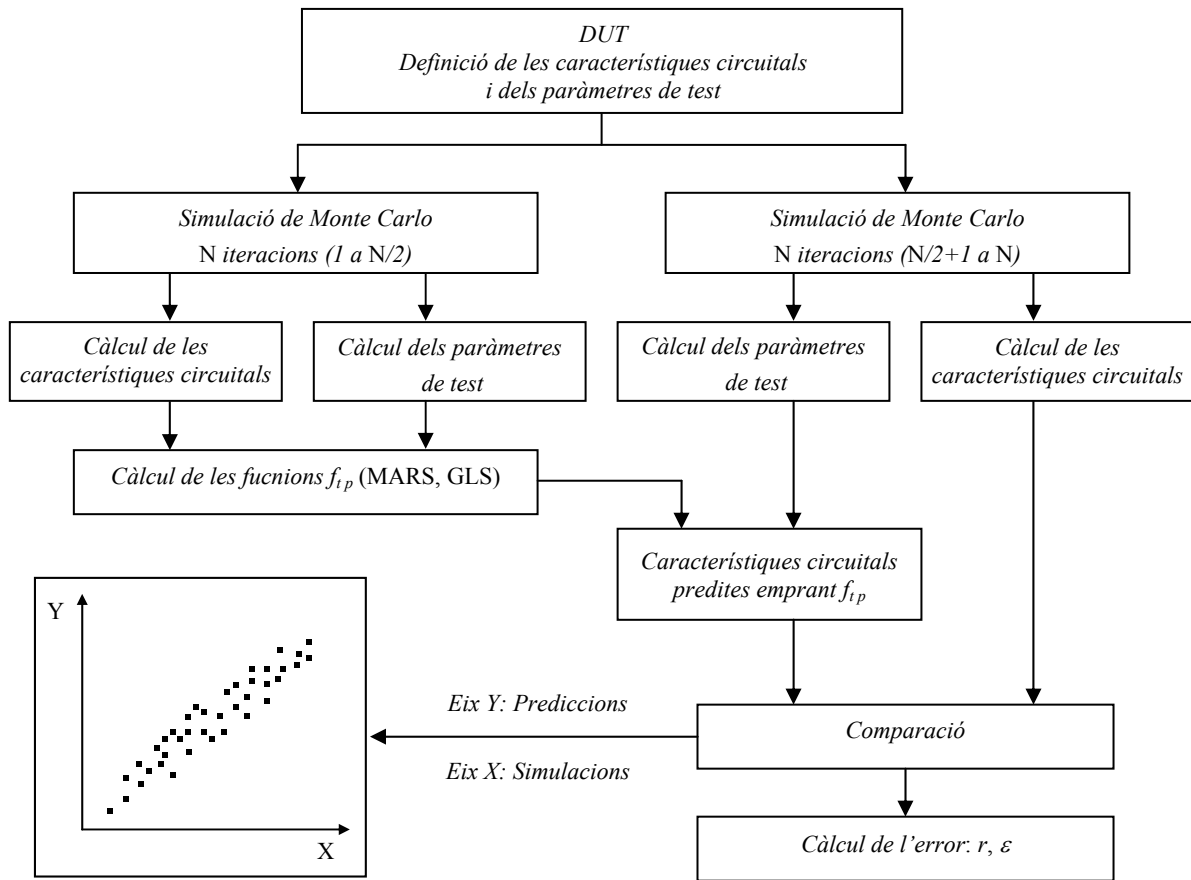


Figura 2.5: Procediment de generació i comprovació de les corbes de regressió.

La comparació entre els valors reals i els valors estimats no només permet validar el mètode, també permet escollir els millors paràmetres de test per a minimitzar els errors de predicció. Aquesta elecció es pot fer triant les observables de test que prediuen les característiques funcionals amb menys error.

En el cas que es vulgui augmentar la precisió, es pot optar per a configurar el DUT en diferents topologies de test o realitzar altres mesures que permetin una major correlació entre paràmetres.

2.3.- Tècniques de test

Una vegada s'ha escollit l'estratègia de test més adient, segons el circuit a testar i els paràmetres que es volen analitzar, cal determinar la tècnica de test adequada.

La metodologia bàsica per a realitzar el test consisteix en generar un senyal de test adequat (vector de test) que exciti el circuit que es desitja testar (DUT), configurat en mode test. Simultàniament, els paràmetres de la resposta del DUT seleccionats

(observables de test) s'han de mesurar o monitoritzar. Posteriorment, si cal, es poden tractar les observables de test per a determinar si el circuit passa, o no, la prova del test. Aquestes mesures [15] es poden realitzar en el domini temporal, freqüencial o mesures estàtiques (mesura del punt de treball).

Aplicar aquests vectors de test i monitoritzar les observables de test no és un procés trivial. L'accés a tots els nodes interns d'un circuit integrat, necessaris per a aplicar els vectors de test i monitoritzar les observables de test, és inviable. Aquesta restricció va ser solucionada amb la família de normes de test IEEE1149.X.

La primera norma que va aparèixer va ser la IEEE1149 (o JTAG) [30]. La primera versió d'aquest estàndard (IEEE1149.1) dona les recomanacions necessàries per a implementar un circuit digital que sigui testable. La circuiteria i procediments suggerits permeten testar: els paths, les interconnexions entre els diversos circuits de la placa, i cadascun dels circuits.

Posteriorment, la norma IEEE1149.4 [31] [32] [33] [34] [35] va aparèixer per a definir un estàndard per a circuits mixtes (circuits amb part digital i analògica). Bàsicament, aquesta norma amplia les recomanacions de la JTAG amb la circuiteria i procediments necessaris per a testar la part analògica dels circuits mixtes.

L'objectiu d'aquests estàndards és millorar la observabilitat i la controlabilitat dels dissenys, millorant el temps de desenvolupament, el cost, i la qualitat del test. Aquests estàndards estan orientats a la indústria i no pretenen imposar cap tipus de tècnica de test.

D'altra banda, per a facilitar el test, els circuits integrats són dissenyats encarats a la testabilitat (*Design for Test*, DfT), seguint les recomanacions de la NTRS. El DfT és un conjunt de regles de disseny que tenen com a objectiu modificar i/o afegir una circuiteria addicional que permeti millorar la testabilitat, o testar el circuit d'una manera més econòmica [36] [37].

Seguidament es comentaran algunes tècniques de test (enfocades al DfT) que es poden emprar soles o combinades entre elles, independentment de l'estratègia de test escollida.

2.3.1.- Test on-chip (BiST)

La idea consisteix en implementar, en el mateix circuit integrat, tota o part de la circuiteria necessària per a testar el DUT. D'aquesta manera, idealment, només caldrà observar un senyal que indiqui si el circuit és o no defectuós. Aquesta tècnica implica modificar el circuit original i afegir circuiteria que pot afectar negativament a les característiques del circuit original.

Richardson et al. [38] analitzen algunes de les tècniques de test existents en el seu moment (l'any 1998) i exposen que, en el test off-chip, la generació i l'adquisició dels senyals de test per avaluar el DUT, imposa moltes restriccions o exigències en els equips automàtics de mesura (ATE), conversors, ... Una solució és generar els senyals

de test on-chip, com en el cas del BiST. El BiST proposat per Richardson consisteix en partir el DUT en blocs i enllaçar-los amb un multiplexor analògic. A l'hora de testar els diferents blocs, aquests són configurats en mode test i analitzats un a un. És una tècnica intrusiva que requereix un bon aïllament entre blocs durant el test i una circuiteria addicional que introdueixi i/o mesuri els senyals de test.

Arabi, en un assaig sobre la viabilitat del BiST [39], arriba a la conclusió que el cost que implica és inferior al test emprant ATE, tot i que caldria emprar conjuntament altres tècniques per a completar el test.

Degut als avantatges del BiST també s'intenta aplicar en sistemes RF. Principalment, hi han dues grans categories: analitzar cadascun dels blocs que componen el sistema per separat [40] o analitzar el sistema Rx/Tx com un sol bloc [41] [42] [43] [44].

En el primer cas, cada bloc del sistema és considerat com un DUT a testar. Cadascun d'aquests blocs es tracta de manera individual i es pot emprar la tècnica més apropiada segons el cas. D'aquesta manera permet identificar el bloc defectuós, però implica la necessitat d'una gran circuiteria addicional. Ryu et al. segueixen aquesta línia [45]. En els seus treballs teòrics proposen i simulen una estratègia de test per a un LNA. Els grans avantatges que presenta són la absència d'un DSP (*digital signal processor*) o lògica de control i els senyals que indiquen la bondat del circuit són tensions contínues que es poden mesurar amb un simple voltímetre.

El segon cas, permet tractar tot el sistema com un sol bloc, emprant la cadena Tx i Rx per a realitzar el test. La circuiteria addicional per al test serà inferior, però no es pot identificar a on està la falla. Aquesta última tècnica es emprada per Silva et al. [46], en el seu treball presenten una manera de testar un LNA emprant la cadena de Tx. En aquest cas, tot i que el principal objectiu és testar l'amplificador també es pot testar el mesclador.

Lupea et al. realitzen un treball teòric a on estudien les possibles signatures per a test amb BiST d'un sistema OFDM (*Orthogonal Frequency Division Multiplexing*) [47], tractant tot el transceptor com a un sol DUT. Dabrowski fa un estudi també teòric de test mitjançant BiST [48] aplicat a les parts analògiques d'un transceptor. Finalment, Robers et al. apliquen aquest mètode en un sistema transceptor de manera que també es pot testar el Rx i Tx per separat [49], a més de permetre un autotest de la circuiteria addicional dedicada al test.

2.3.2.- Test basat en oscil·lació (OBT)

La idea bàsica d'aquesta tècnica de test consisteix en transformar el DUT en un circuit oscil·lador i mesurar diferents observables de test (freqüència d'oscil·lació, amplitud de la tensió de sortida, consum,...), amb els que es puguin detectar si el circuit presenta algun tipus de falla [50] [51]. Una manera de convertir un circuit en un

oscil·lador és afegir una realimentació en aquest circuit (veure la Figura 2.6). Aquest serà el circuit en mode test.

Un circuit oscil·lador que no presenti cap tipus de falla generarà a la seva sortida un senyal periòdic amb uns determinats nivells i freqüència de sortida que es pot considerar la signatura del circuit. Aquesta signatura tindrà una variança respecte el seu valor nominal en funció de les falles o les desviacions paramètriques dels seus components.

L'OBT és conceptualment simple, i no requereix canvis en el circuit durant el procés de test. Només cal connectar de manera adequada la circuiteria addicional que permeti al DUT oscil·lar. Però cal anar amb compte que aquests circuits afegits, destinats al test, no afectin al funcionament del circuit configurat en mode normal de treball.

Aquesta tècnica és fàcil d'implementar, no són necessaris senyals externs de test, les mesures a realitzar són simples, és aplicable en la majoria de circuits analògics i el cost en àrea de silici és baix (en el cas de ser implementada en BiST).

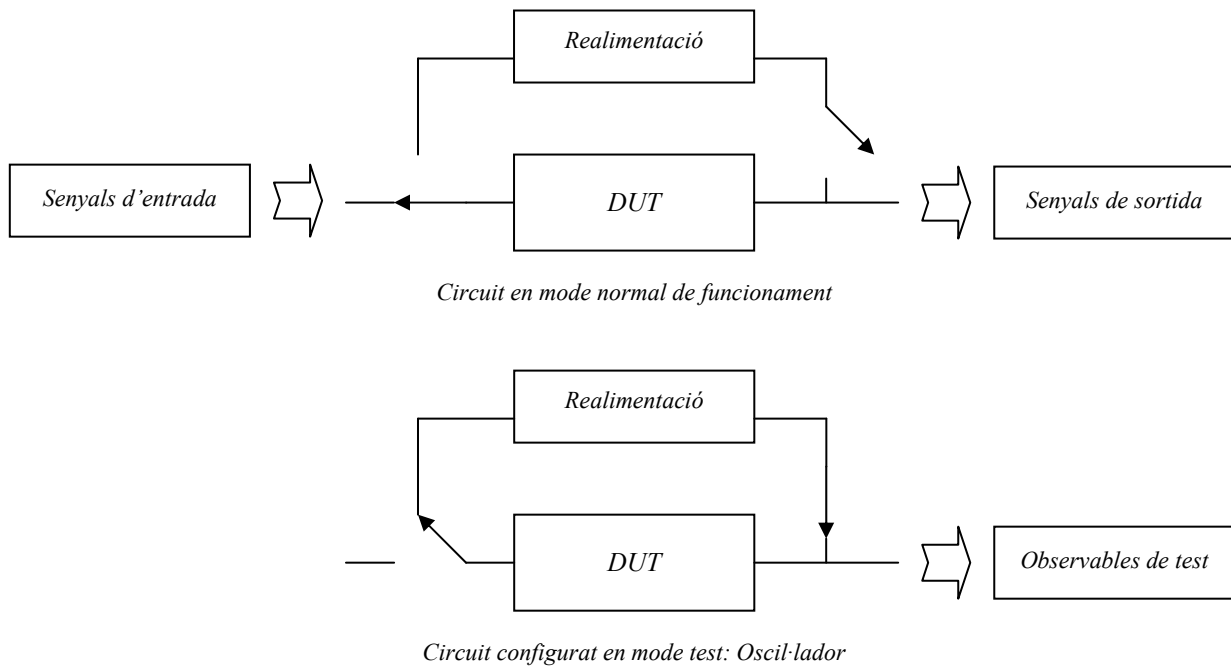


Figura 2.6: Concepte del OBT.

Arabi i Kaminska proposen [50] [52] [53] dividir les diferents parts d'un circuit en blocs. Durant el procés de test els blocs són configurats com oscil·ladors. La desviació de la freqüència d'oscil·lació i la tensió de sortida respecte els seus valors nominals determinen si un circuit es bo o dolent. Aquesta tècnica presenta l'avantatge de ser senzilla, ràpida, simplifica la generació dels vectors de test, i posseeix una gran cobertura de detecció. També apunten a la possibilitat de poder ser emprada en BiST [54], tot desenvolupant la circuiteria necessària per a implementar-ho. Aquesta tècnica

és capaç de detectar gran part de les falles paramètriques i estructurals, i redueix el temps i procediments del test.

Aprofitant els avantatges de l'OBT (sense vectors de test i aplicable amb BiST, entre d'altres), Raghunathan et al. proposen predir els paràmetres funcionals d'un DUT a partir de determinades mesures (test predictiu) quan està configurat com a oscil·lador [55]. Tal i com s'ha descrit anteriorment, els defectes o les variacions de procés provoquen que la freqüència, amplitud i consum, entre d'altres paràmetres, tinguin valors diferents respecte al cas d'un circuit sense falles. Aquestes variacions es poden relacionar amb els paràmetres funcionals del DUT, tot estimant el seu valor.

El test predictiu basat en oscil·lació (POBT) presenta el gran avantatge de poder discriminar entre els circuits defectuosos i els lliures de falles a partir de les seves característiques predites, a diferència del OBT, que utilitza les mesures del circuit en mode test directament. Això permet definir uns marges d'error més reals i intuïtius. A banda de continuar mantenint els avantatges del OBT, no necessitar un estímul extern, és ràpid i barat.

2.3.3.- Test de corrent ($i_{DD}(t)$)

Des que es va demostrar la possibilitat de testar un circuit digital mitjançant el seu corrent de consum (test I_{DDQ}) aquest ha estat àmpliament emprat i hi ha hagut molts estudis que aprofundeixen en aquesta línia de recerca [56] [57] [58] [59] [60] [61]. Això ha fet que aquesta tècnica sigui un estàndard en la indústria, per a dissenys digitals. Aplicar aquesta tècnica en circuits analògics i mixtes és una línia de recerca.

En circuits analògics, la variació del procés pot provocar que les variacions del corrent en el circuit sense falles sigui tan gran que emmascari els efectes d'una falla. Algunes de les solucions proposades són: mesurar dos corrents de consum de polaritat oposada o un processat de les mesures per a cancel·lar l'efecte del corrent de polarització.

El test de corrent consisteix en monitoritzar els corrents d'alimentació i massa mentre s'apliquen a l'entrada o entrades del circuit sota prova, determinats estímuls en funció d'aquest circuit.

Del corrent escollit per a realitzar el test, es poden analitzar diferents paràmetres [62] [63], depenent de la tècnica de test emprada: valor mig, variacions d'amplitud, canvis en la seva forma d'ona, característica espectral, freqüència, i signatura, entre altres.

Un cas particular d'aquest test és el test del corrent quiescent (I_{DDQ}) [64]. El corrent I_{DDQ} és el corrent que consumeix un circuit en el seu estat quiescent (estat estable, després que els transistors hagin commutat degut a la combinació de les entrades). En l'estat quiescent, el consum d'un circuit digital sense falla és molt baix. En canvi, un circuit amb algun tipus de falla, el corrent presentarà uns valors diferents als esperats, en funció d'aquesta falla. Aquesta estratègia permet trobar defectes que no

propaguen l'error fins a la sortida o sortides [65], o que no es poden modelar amb mètodes tradicionals com *l'stuck-at*.

En la indústria, per a sistemes digitals, el test I_{DDQ} és una estratègia estàndard. Però en sistemes analògics, el consum és més elevat i pot emascarar l'efecte de la falla. Bell et al. [66] estudien la detecció de falles emprant el test I_{DDQ} en circuits analògics i mixtes, en un PLL i en un multiplicador de freqüència analògic i simulant les falles amb models estructurals. Bell et al. arriben a la conclusió que és possible obtenir una cobertura acceptable amb mesures de corrent, però cal una o més mesures alternatives per a tenir una bona detecció. En aquest cas, utilitzen la tensió de sortida conjuntament amb el corrent de consum.

Diversos estudis han comprovat que el test de corrent [67] [68] [69], per a circuits analògics, dona una cobertura d'error més gran que amb els senyals de sortida del DUT. Tant en anàlisi en règim estàtic com en dinàmic. Aplicar aquesta tècnica en sistemes analògics i mixtes continua sent un camí d'estudi.

Van Lammeren [70] aplica el test de corrent per al test de circuits en l'oblea per a millorar el procés de producció de *Philips Semiconductors*. En el seu treball, desenvolupat i aplicat per a les parts analògiques d'un processador de televisió, proposa diferents circuits per a detectar les tensions de les línies d'alimentació i massa, i calcular el corrent que hi circula. Els resultats que obté indiquen que el test funcional té una cobertura molt més gran que la mesura del corrent, però la detecció per corrent és una tècnica no invasiva, més ràpida i barata.

2.3.4.- Altres tècniques de test

Com s'ha pogut veure anteriorment, una part de les tècniques emprades per al test de circuits analògics provenen de l'adaptació d'alguna tècnica de test per a circuits digitals o es basen en els mateixos principis. Un clar exemple és el treball realitzat per Dorey i Hibbert [71] on exposen la possibilitat d'utilitzar un test pseudo-digital emprant els models d'*stuck-at* (un dels models de falla més emprats en circuits digitals [56]) en circuits analògics, en aquest cas un amplificador, i a on els vectors de test són un simple escombrat en continua a l'entrada de l'amplificador.

Malauradament, l'adaptació de les tècniques digitals a circuits analògics té un límit, principalment degut a la diferència de la definició d'error en ambdós casos. Mentre que en el cas d'un circuit digital es busca un bit erroni, en un circuit analògic es busca que el circuit estigui fora d'uns marges de tolerància. Això fa que hagin aparegut tècniques de test per a circuits analògics en funció del tipus de circuit. Els senyals de test d'aquests circuits poden ser un senyal d'una o més freqüències, un pols, escombrat o rampa. La resposta es pot analitzar en el domini temporal (amplitud, retard) o freqüencial (ample de banda, fase) per a trobar les característiques que defineixen el circuit sota mesura.

Altres autors proposen millorar tècniques existents per a circuits analògics. Raghunathan et al. proposen millorar l'OBT configurant el circuit de manera que en mode test aquest produeixi una oscil·lació esmorteïda en resposta a un senyal esglaó a l'entrada [72]. Utilitzant els paràmetres d'aquest senyal aconseguen predir les característiques del circuit amb una precisió notable. Amb aquesta tècnica, que els autors anomenen *predictive quasi-oscillation based test*, o PQOBT, cal un circuit addicional que transformi el DUT en marginalment estable i un generador de senyal esglaó. A més, cal mostrejar el senyal transitori de sortida i extreure'n les dades requerides per a fer la predicció, per tant, hi ha problemes de sincronisme, i ser molt sensible a les variacions de procés.

Malauradament, el mètode predictiu associat a auto-oscil·lacions, ja sigui POBT o PQOBT, no és d'aplicació sistemàtica. Per cada circuit concret s'ha de dissenyar la configuració en mode test adequada i definir les observables de test òptimes.

Una altra filosofia d'afrontar el test és aprofitar la capacitat de càlcul dels processadors actuals. Els avenços en microcontroladors ha permès poder processar el senyal de manera digital utilitzant processadors específics per al tractament del senyal (DSP). Els sistemes basats en DSP permeten tenir més control sobre les mesures, més precisió, flexibilitat i repetibilitat, que no pas amb sistemes de mesura tradicionals. Algunes tècniques de test intenten aprofitar aquestes prestacions. Mahoney [73] proposa reduir el temps de test i el cost, dels equips de mesura, emprant tècniques basades en DSP. La metodologia presentada consisteix en un hardware coordinat per un DSP. Aquest genera els senyals que estimulen el DUT i processa la seva resposta. Només calen conversors ADC i DAC en les entrades/sortides del DUT. Els avantatges són la gran velocitat del test i el baix cost d'aquesta tècnica.

D'altra banda, els DSP permetent analitzar l'espectre freqüencial (FFT) de manera més simple [74]. Hafeed et al., aprofiten aquests avantatges del processat digital, per estudiar en els seus treballs [75] [76] l'aplicació dels DSP's per BiST, afegint, en aquest cas, la possibilitat de testejar la circuiteria addicional de mesura.

Altres tècniques intenten aprofitar alguna característica del DUT que faciliti el test. Per a circuits analògics lineals amb una resposta freqüencial passa-banda, existeix una tècnica anomenada test de la freqüència residual múltiple [77]. Consisteix en introduir dos tons just per fora de les freqüències de tall. Les amplituds dels tons a la sortida permeten detectar si té falla. Aquesta tècnica es pot combinar amb test de corrent si el circuit treballa en mode normal en el procés de test.

Learmonth et al. [77] a part d'estudiar el test de freqüència residual múltiple, també comenten el test mitjançant la tècnica de seqüències M. Aquesta tècnica consisteix en obtenir la resposta impulsional del circuit mitjançant l'aplicació d'un senyal periòdic a la seva entrada. El desavantatge resideix en la capacitat computacional que el procés de test requereix. Tanmateix, els autors presenten un circuit simplificat que permet realitzar una aproximació amb resultats satisfactoris.

Tots els casos anteriors requereixen la implementació d'una circuiteria addicional de test. Això fa que les característiques del circuit a testar puguin variar,

respecte el circuit sense la circuiteria de test. Per a superar aquest inconvenient, Mateo et al. proposen utilitzar la temperatura dissipada per un circuit com a observable de test [79] [80], posant com a exemple un LNA.

Finalment, també han anat apareixent tècniques específiques per a circuits d'alta freqüència. El test de circuits de Tx/Rx de RF presenta la dificultat de la seva elevada freqüència de treball, a part de que solen tenir circuits digitals incorporats. Degut al creixement del mercat de les telecomunicacions, la necessitat de noves tècniques per al seu test és evident. Roberts et al. [78] mostren algunes de les estratègies existents per a realitzar aquest tipus de test. Principalment, es basen en el test funcional, incrementar la testabilitat amb un bus de test i tècniques basades en BiST.

2.4.- Aplicacions a un Amplificador Operacional

2.4.1.- L'amplificador operacional

El primer exemple escollit per a determinar si els corrents d'alimentació i terra són unes observables de test adequades és un amplificador operacional (OpAmp). Aquest circuit va ser proposat com a circuit de referència per al test [81]. S'ha escollit per a estudiar les tècniques de test dissenyades degut a que l'OpAmp és un circuit relativament senzill i permet estudiar el circuit a una freqüència baixa. Es podrà emprar la circuiteria de test (i aplicar la tècnica OBT) sense les dificultats provocades per una freqüència de treball massa elevada.

2.4.1.1.- Circuit amplificador

El circuit utilitzat en aquest tema és un amplificador operacional de topologia Miller. En la Figura 2.7 es mostra el seu esquema. El procés de disseny que s'ha seguit per a dissenyar-lo està explicat en l'Annex I.

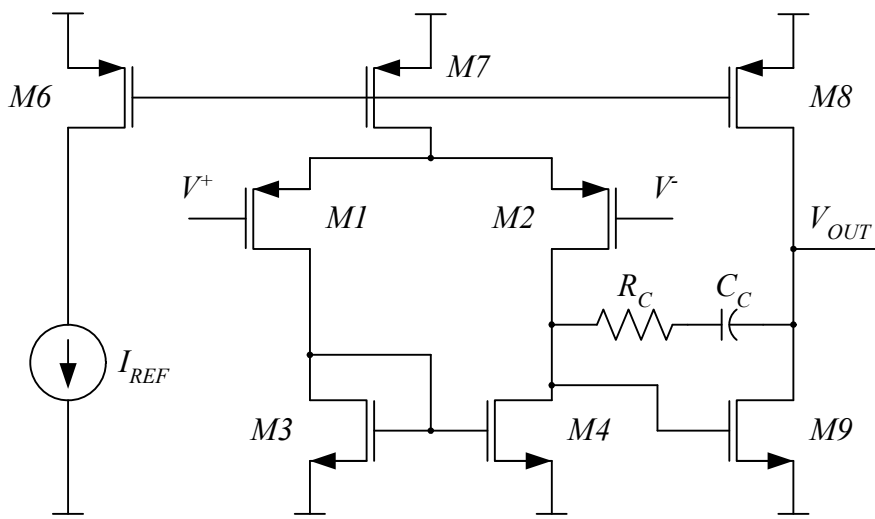


Figura 2.7: Esquema de l'amplificador operacional dissenyat.

Aquest circuit està format per 4 parts principals: un nucli amplificador, format pels transistors $M1$ a $M4$; una etapa de sortida, composta pels transistors $M8$ i $M9$; una font de corrent per a polaritzar les etapes anteriors, implementada pels transistors $M6$ i $M7$; i finalment, una xarxa de realimentació formada per R_C i C_C .

Els valors de tots aquests elements, que formen el circuit de la Figura 2.7, estan indicats en la Taula 2.1. Aquest amplificador ha estat simulat amb el programa Spectre, emprant tecnologia de $0.35\ \mu\text{m}$ d'AMS.

TAULA 2.1

VALORS DELS ELEMENTS DE L'AMPLIFICADOR DISSENYAT
Les dimensions dels transistors estan expressades segons (W/L).

Paràmetre	Valor	Unitats
M1	30 / 4	$\mu\text{m} / \mu\text{m}$
M2	30 / 4	$\mu\text{m} / \mu\text{m}$
M3	15 / 4	$\mu\text{m} / \mu\text{m}$
M4	15 / 4	$\mu\text{m} / \mu\text{m}$
M6	6 / 4	$\mu\text{m} / \mu\text{m}$
M7	30 / 4	$\mu\text{m} / \mu\text{m}$
M8	200 / 4	$\mu\text{m} / \mu\text{m}$
M9	154 / 4	$\mu\text{m} / \mu\text{m}$
C_C	2	pF
R_C	1	$\text{k}\Omega$

Les principals característiques funcionals amb que es poden definir (entre moltes altres) un amplificador estan indicades en la Taula 2.2. Aquestes són: el guany en llaç obert (A_0), l'ample de banda en llaç obert (f_0), el producte guany per ampla de banda (GBW), el marge de fase (FM), l'*slewrates* de pujada (SR^+), la tensió d'alimentació i el consum de corrent.

TAULA 2.2

CARACTERÍSTIQUES DE L'AMPLIFICADOR DISSENYAT

Paràmetre	Valor	Unitats
Alimentació	± 1.65	V
A_0	97.16	dB
f_0	126	Hz
GBW	$57 \cdot 10^6$	rad/seg
MF	83	graus
SR^+	14.50	V/ μseg
I_{REF}	11.04	μA
Consum	615.8	μA

2.4.1.2.- Amplificador operacional amb falles configurables

L'amplificador operacional, mostrat a l'apartat anterior, ha estat modificat per a poder configurar determinades falles. En aquest cas, s'han modelat quatre tipus de falles. La Figura 2.8 mostra el circuit amplificador amb les falles implementades amb

transistors MOS (representats com a interruptors). En la figura, els interruptors es mostren en la posició adequada per a configurar l'amplificador sense falles.

La circuiteria addicional introduïda, emprada per a controlar les falles, ha provocat que les característiques de l'amplificador variïn lleugerament respecte del circuit original. En la Taula 2.3 es mostren els paràmetres de l'amplificador original i els efectes dels canvis introduïts per a modelar les falles. Tot i que hi ha certes diferències, aquestes no són significatives.

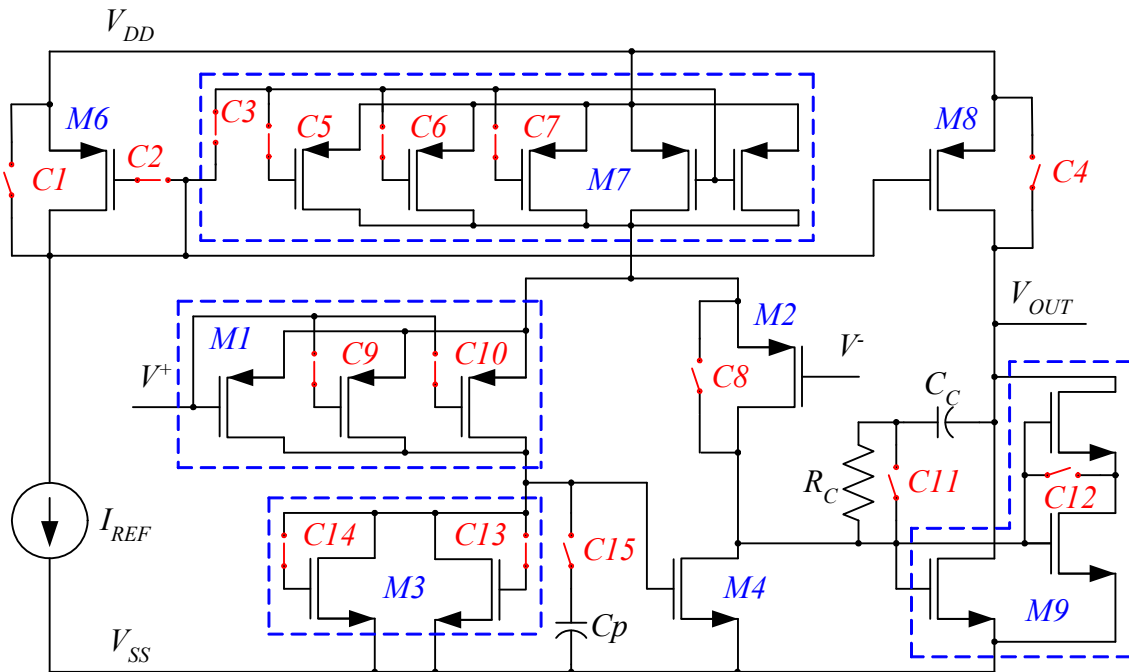


Figura 2.8: Amplificador amb defectes.

TAULA 2.3

CARACTERÍSTIQUES DELS AMPLIFICADORS DISSENYATS

Paràmetre	Amplificador original	Amplificador modificat
A_0	97.16 dB	95.05 dB
f_0	126 Hz	135 Hz
MF	83°	75°

Les falles que es poden programar amb els interruptors integrats són: curtcircuits, circuits oberts, portes flotants, un GOS [82], i un increment de la capacitat en un node. Un resum de totes les falles es troba en la Taula 2.4. Aquesta mostra el llistat complet de les falles implementades, una breu descripció de cadascuna de les falles, l'interruptor que controla cadascuna de les falles i el seu estat per a activar la falla indicada. En aquesta taula, només apareixen els interruptors que varien d'estat per la falla corresponent, tots els altres queden com en el cas de F0 (Figura 2.8).

TAULA 2.4

LLISTA DE LES FALLES I DELS INTERRUPTORS IMPLICATS EN LA SEVA ACTIVACIÓ

Els interruptors que es mostren són els interruptors que modifiquen el seu estat respecte del cas F0.

Codi	Falla Descripció	Interruptors	
		Codi	Estat
F0	Circuit configurat sense falles	-	-
F1	Curtcircuit entre D i S de M6	C1	ON
F2	Porta flotant de M6	C2	OFF
F3	Porta flotant de M7	C3	OFF
F4	Curtcircuit entre D i S de M8	C4	ON
F5	Porta parcialment (20%) flotant de M7	C5	OFF
F6	Porta parcialment (40%) flotant de M7	C5 C6	OFF OFF
F7	Porta parcialment (60%) flotant de M7	C5 C6 C7	OFF OFF OFF
F8	Curtcircuit entre D i S de M2	C8	ON
F9	Porta parcialment (33%) flotant de M1	C9	OFF
F10	Porta parcialment (66%) flotant de M1	C9 C10	OFF OFF
F11	Curtcircuit de R _C	C11	ON
F12	GOS en M9	C12	ON
F13	Porta parcialment (50%) flotant de M3	C13	OFF
F14	Porta flotant de M3	C13 C14	OFF OFF
F15	Increment de capacitat en la porta de M4	C15	ON

De manera més detallada, els 16 casos possibles d'estudi són:

F0: Circuit configurat en mode sense falles. Els interruptors han d'estar configurats segons indica la Figura 2.8.

F1: Simula un curtcircuit entre el drenador i la font del transistor *M6*. La falla s'activa al posar en ON C1. En principi, aquesta falla ha de ser fàcil de detectar, degut a que el canvi provocarà una variació important en el corrent de polarització del circuit.

F2: Simula una porta flotant en el transistor *M6*. La falla s'activa al posar en OFF C2.

F3: Simula una porta flotant en el transistor *M7*. La falla s'activa al posar en OFF C3. Aquesta falla afecta al corrent que entra a l'amplificador diferencial, per tant, hauria de ser fàcil de detectar.

F4: Simula un curtcircuit en el transistor *M8*. La falla s'activa al posar en ON C4.

F5, F6 i F7: Simulen una porta flotant parcial del 20%, 40% i del 60% (respectivament) en el transistor *M7*. S'activen al posar en OFF i/o combinar adequadament C5, C6 i C7. Aquestes dues configuracions mostraran les conseqüències d'una falla paramètrica en funció del seu impacte en el transistor.

F8: Simula un curtcircuit entre el drenador i la font del transistor *M2*. S'activa al posar en ON C8. És d'esperar que l'efecte sigui visible, degut a que afecta directament a l'etapa d'entrada.

F9 i F10: Simulen una porta flotant parcial del 33% i del 66% (respectivament) en el transistor *M1*. S'activen a posar en OFF C9 o C9 i C10. L'efecte que provoquen aquest errors és descompensar el parell diferencial de l'amplificador diferencial.

F11: Simula un curtcircuit en paral·lel a la resistència de compensació R_c . S'activa al posar en ON C11. Afecta a l'ample de banda de l'OTA.

F12: Simula un GOS en el transistor $M9$. S'activa al posar en ON C12.

F13 i F14: Simulen una porta flotant parcial del 50% i una porta flotant (respectivament). S'activen posant en OFF C13 o C13 i C14.

F15: Incrementa la capacitat de porta del transistor $M4$ en 2.08pF. S'activa al posar en ON C15.

2.4.1.3.- Circuit amplificador configurat en OBT

Per a generar els vectors de test necessaris i verificar l'amplificador utilitzat com a DUT, s'ha emprat la tècnica OBT. Per a aplicar aquesta tècnica cal afegir a l'amplificador operacional una circuiteria de test que configuri l'amplificador en un circuit oscil·lador (Figura 2.9). Amb aquesta configuració, es mesuraran diferents observables (freqüència d'oscil·lació, tensions i corrents) amb l'objectiu de poder determinar el funcionament de l'amplificador operacional.

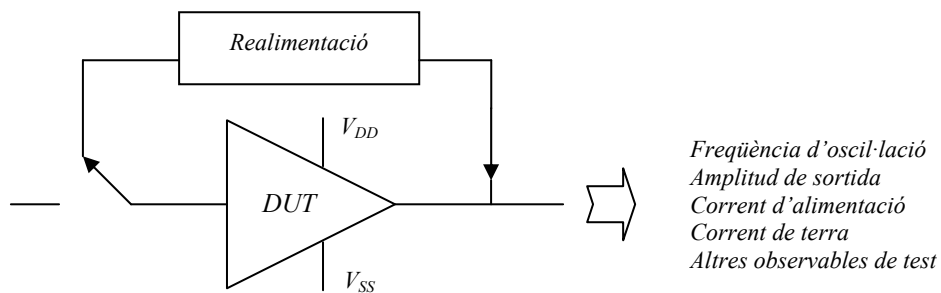


Figura 2.9: Configuració de l'amplificador en mode test.

Les diferents observables que s'estudiaran són: la freqüència d'oscil·lació (f_{osc}), la tensió pic a pic del senyal de sortida ($V_{out,pp}$), el valor pic a pic del corrent de massa ($I_{SS,pp}$) i el valor de pic a pic del corrent d'alimentació ($I_{DD,pp}$).

La circuiteria de test per a configurar l'amplificador en un oscil·lador es mostra en la Figura 2.10.

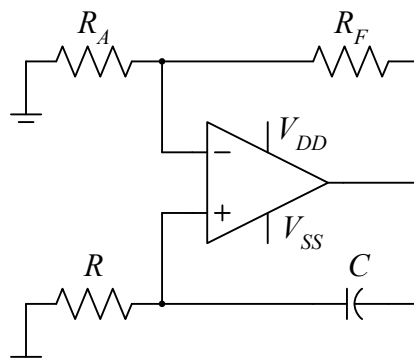


Figura 2.10: Circuit oscil·lador.

La freqüència angular d'oscil·lació, ω_{osc} (que es calcula segons $\omega = 2\pi f$), està determinada per la xarxa de realimentació i l'amplada de banda de l'amplificador. El seu càlcul es mostra en l'apartat següent.

2.4.1.4.- Equacions de l'oscil·lador

Al circuit de la Figura 2.10 s'ha substituït l'amplificador pel seu model equivalent en petit senyal, el circuit resultant es mostra en la Figura 2.11.

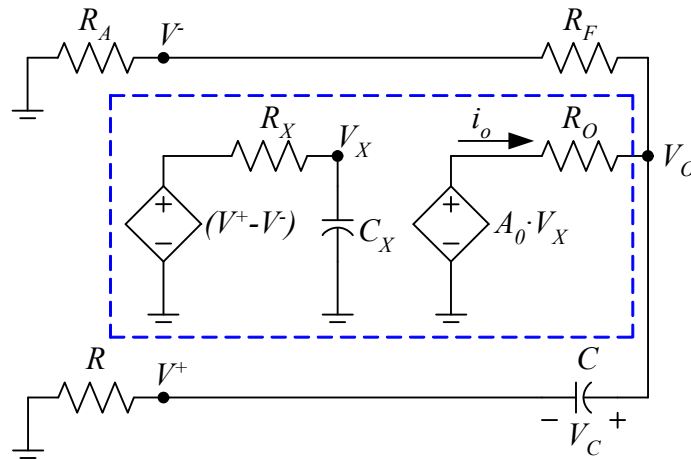


Figura 2.11: Circuit equivalent de l'amplificador amb la circuiteria de realimentació

R_X i C_X representen el pol intern de l'amplificador. A_0 és el guany de l'amplificador, que es considerarà constant. R_O modela la impedància de sortida. Del circuit de la Figura 2.11 es poden escriure les equacions següents,

$$V_o = RC \frac{dV_c}{dt} + V_c \quad (2.1)$$

$$V_o = A_0 V_X - i_o R_O \quad (2.2)$$

$$i_o = C \frac{dV_c}{dt} + \frac{V_o}{R_A + R_F} \quad (2.3)$$

$$V^+ - V^- = V_X + R_X C_X \frac{dV_X}{dt} \quad (2.4)$$

$$V^+ = RC \frac{dV_c}{dt} \quad (2.5)$$

$$V^- = V_o \frac{R_A}{R_A + R_F} \quad (2.6)$$

Substituint l'equació (2.3) en l'equació (2.2), i aïllant V_X , s'arriba a l'expressió,

$$V_X = \frac{R_o C}{A_o} \frac{dV_C}{dt} + \frac{V_o}{A_o} \left(1 + \frac{R_o}{R_A + R_F} \right) \quad (2.7)$$

D'altra banda, substituint les equacions (2.5) i (2.6) en l'equació (2.4), s'obté la igualtat,

$$V_X + R_X C_X \frac{dV_C}{dt} = RC \frac{dV_C}{dt} - V_o \frac{R_A}{R_A + R_F} \quad (2.8)$$

Aleshores, substituint les equacions (2.1) i (2.7) en l'equació (2.8), i ordenant els elements, s'obté l'expressió,

$$\begin{aligned} & \frac{d^2 V_C}{dt^2} \left[\frac{R_X C_X}{A_o} \left(R_o C + RC \left(1 + \frac{R_o}{R_A + R_F} \right) \right) \right] + \\ & + \frac{dV_C}{dt} \left[\frac{R_o C}{A_o} + \left(1 + \frac{R_o}{R_A + R_F} \right) \left(\frac{RC}{A_o} + \frac{R_X C_X}{A_o} \right) + RC \left(\frac{R_A}{R_A + R_F} - 1 \right) \right] + \\ & + V_C \left[\frac{1}{A_o} \left(1 + \frac{R_o}{R_A + R_F} \right) + \frac{R_A}{R_A + R_F} \right] = 0 \end{aligned} \quad (2.9)$$

Comparant aquesta equació amb l'expressió general d'un oscil·lador harmònic esmorteït,

$$m \frac{d^2 y}{dt^2} + b \frac{dy}{dt} + k \cdot y = 0 \quad (2.10)$$

I la seva solució,

$$y = y_0 + Ae^{-\gamma t} \cos(\omega_{osc} t + \phi) \quad (2.11)$$

On y_0 i ϕ representen l'offset i la fase inicial del senyal, respectivament, i $\gamma = \frac{b}{2m}$ és el coeficient d'esmoreïment. Es troba que per aconseguir un oscil·lador harmònic sense pèrdues s'ha de complir la condició $b = 0$,

$$R_O C + \left(1 + \frac{R_O}{R_A + R_F}\right) \left(\frac{1}{\omega_\beta} + \frac{1}{\omega_0}\right) - \frac{A_0}{\omega_\beta} \left(\frac{R_F}{R_A + R_F}\right) = 0 \quad (2.12)$$

Aleshores, la freqüència d'oscil·lació és,

$$\omega_{osc}^2 = \frac{k}{m} = \omega_0 \frac{1 + \frac{R_O}{R_A + R_F} + A_0 \frac{R_A}{R_A + R_F}}{R_O C + \frac{1}{\omega_\beta} \left(1 + \frac{R_O}{R_A + R_F}\right)} \quad (2.13)$$

On $\omega_0 = 1/R_X C_X$, $\omega_\beta = 1/RC$ i $\omega_T = \omega_0 A_0$.

A la pràctica, aconseguir imposar la condició $b = 0$ és impossible. D'altra banda, per assegurar que el circuit comenci a oscil·lar, cal que $b < 0$. Sota les condicions del circuit estudiat: $A_0 \gg 1$ i $\frac{\omega_\beta}{\omega_T} \gg 1$, les equacions (2.12) i (2.13) es poden aproximar per,

$$\frac{\omega_\beta}{\omega_T} < \frac{R_F}{R_A + R_F + R_0} \quad (2.14)$$

$$\omega_{osc}^2 = \omega_\beta \omega_T \frac{R_A}{R_A + R_F + R_0 \left(1 + \frac{R_A + R_F}{R}\right)} \quad (2.15)$$

L'equació (2.15) és només una aproximació. No s'han tingut en compte els efectes no lineals de l'OpAmp, com la saturació i l'*Slew-Rate*. Tot i així, es pot deduir que per a augmentar la sensibilitat de la freqüència d'oscil·lació, respecte ω_T , convé que ω_β sigui tan gran com sigui possible, tal i com es pot deduir de l'equació (2.15). D'altra banda, també ha de complir la condició de l'expressió (2.14). Per tant, una vegada triats els valors de R_A i R_F , es farà que, com a mínim, $\omega_\beta < \frac{1}{2} \omega_T \frac{R_F}{R_A + R_F + R_0}$ per assegurar que la condició es compleix per a tots els casos. A més, cal anar amb compte amb l'elecció dels components de la xarxa de realimentació (R_A , R_F , R i C), per evitar que es vegin afectats pels elements paràsits de la placa de prova.

Una vegada escollits els elements de la xarxa de realimentació, s'ha simulat el circuit (amb el programa SpectreRF) per a confirmar que el circuit dissenyat oscil·lés, i acabar d'ajustar el valor dels elements de la xarxa de realimentació. Finalment, els valors escollits estan indicats en la Taula 2.5 i la Taula 2.11, per a l'estudi del circuit amb test estructural o predictiu, respectivament.

2.4.2.- Test estructural

En aquest apartat, s'emprarà l'estratègia de test estructural per a estudiar si la tècnica de test OBT combinada amb la tècnica $i_{DD}(t)$ són efectives alhora de detectar falles en un amplificador operacional.

El circuit emprat en aquest apartat és l'amplificador operacional amb falles configurables, que es mostra en la Figura 2.8. Els valors dels components del circuit de test (Figura 2.10), que configura l'amplificador com un oscil·lador estan indicats en la Taula 2.5.

TAULA 2.5

VALORS DEL LLAÇ DE REALIMENTACIÓ		
Element	Valor	Unitats
R_F	50	K Ω
R_A	10	K Ω
R	4.7	K Ω
C	47	pF

Aquest apartat està dividit en dues parts. La primera part estudia de manera teòrica l'amplificador amb les falles configurables. La segona part mostra les mesures realitzades d'aquest mateix circuit amplificador.

2.4.2.1.- Simulacions

Per a realitzar les simulacions de l'amplificador operacional modificat s'ha utilitzat el programa HSPICE. Aquestes simulacions s'han fet mitjançant un anàlisi de Monte Carlo de 200 iteracions amb el circuit (Figura 2.8) configurat en mode test (Figura 2.10, Taula 2.5), per cadascuna de les possibles falles configurables, per a trobar les potencials observables de test: la freqüència d'oscil·lació (f_{osc}), l'amplitud de la sortida ($V_{out,pp}$) i dels corrents d'alimentació i massa ($I_{dd,pp}$, $I_{ss,pp}$). Amb les dades d'aquesta taula s'ha calculat la mitjana (μ) i la desviació típica (σ) de cada observable. Els resultats d'aquest procés es mostren en la Taula 2.6.

En alguns casos, el circuit no ha oscil·lat (veure la taula resum final, Taula 2.10). La mitjana i la variança de la freqüència d'oscil·lació han estat calculades tenint en compte només els casos en que el circuit ha oscil·lat.

TAULA 2.6

VALORS SIMULATS DE LES OBSERVABLES DE TEST
Els casos en que el circuit no ha oscil·lat estan indicats amb “-“.

Falla	f_{osc} (kHz)		$V_{out,pp}$ (V)		$I_{dd,pp}$ (mA)		$I_{ss,pp}$ (mA)	
	μ	σ	μ	σ	μ	σ	μ	σ
F0	285.01	24.10	2.78	0.27	0.42	0.12	0.48	0.18
F1	-	-	0.41	0.36	0.15	0.16	0.21	0.22
F2	265.62	17.52	2.75	0.25	1.60	0.62	1.84	0.59
F3	284.22	30.59	2.77	0.26	0.41	0.12	0.47	0.18
F4	422.15	33.32	1.68	0.70	1.67	0.70	1.76	0.74
F5	322.46	48.06	2.65	0.54	0.31	0.13	0.44	0.18
F6	372.52	43.24	2.42	1.04	0.20	0.12	0.39	0.21
F7	433.31	14.97	1.90	0.67	0.08	0.03	0.19	0.07
F8	-	-	0.00	0.00	0.00	0.00	0.00	0.00
F9	271.15	49.00	2.61	0.70	0.33	0.15	0.48	0.21
F10	248.84	22.84	2.91	0.67	0.34	0.10	0.41	0.11
F11	283.07	25.04	2.78	0.27	0.42	0.12	0.48	0.18
F12	-	-	0.78	0.03	0.31	0.07	0.42	0.17
F13	-	-	0.80	0.03	0.31	0.05	0.35	0.16
F14	-	-	0.79	0.03	0.28	0.05	0.34	0.16
F15	272.53	22.80	2.80	0.28	0.42	0.11	0.48	0.18

Amb els valors de la mitja i la desviació típica obtinguts pel cas de F0 (μ_0 i σ_0), corresponent al circuit sense falles, s’han definit els marges entre els quals es considerarà que el circuit funciona correctament, per cadascuna de les observables de test. Aquests marges estan calculats com dues vegades σ_0 al voltant de μ_0 . Es considerarà que amb una observable no es pot detectar una falla determinada, si el valor de la observable està dintre dels marges definits. La Taula 2.7 mostra el percentatge de falles detectades amb cadascuna de les observables de test emprades i amb la combinació de tres observables de test (f_{osc} , $V_{out,pp}$ i $I_{ss,pp}$). En el cas de la falla F0, la probabilitat que s’indica és la probabilitat de considerar un circuit bo com a dolent.

De la Taula 2.7 es pot deduir que la millor observable de test per aquest cas d’estudi és la freqüència d’oscil·lació. La tensió de sortida té una eficàcia comparable. Els corrents d’alimentació i terra permeten detectar falles que amb les observables anteriors són indetectables (ex: falla F2), tot i no ser tant efectius com la freqüència o la tensió.

Les falles més fàcilment detectables són els defectes que afecten als transistors d’entrada o polarització del circuit (F1, F2, F4, F8, F12, F13, F14). Les portes dels transistors parcialment flotants són difícils de detectar (F5, F9), excepte en els casos en que afecten massa a la porta del transistor (F6, F7, F10).

Una falla en concret mereix una especial atenció: la falla F3 (Figura 2.8). Aquesta afecta a la porta del transistor *M7* (Figura 2.7), i això fa que l’amplificador diferencial, format pels transistors *M1* a *M4*, no estigui polaritzat. Per tant, aquesta falla hauria de ser fàcil de detectar. En contra de l’esperat, aquesta falla queda pràcticament indetectable. Això pot ser degut a diverses causes: condicions de simulació inadequades, model del circuit insuficientment acurat, o que la porta flotant no hagi estat ben modelada.

TAULA 2.7

PROBABILITAT DE DETECTAR FALLA AMB CADASCUNA DE LES OBSERVABLES DE TEST (%)

Falla	f_{osc}	$V_{out,pp}$	$I_{dd,pp}$	$I_{ss,pp}$	$f_{osc}, V_{out,pp}, I_{ss,pp}$
F0	6.00	0.00	2.50	1.00	7.00
F1	100.0	100.0	56.00	52.50	100.0
F2	2.50	0.00	98.50	98.00	98.00
F3	10.50	0.00	4.00	1.00	11.50
F4	100.0	100.0	93.50	90.00	100.0
F5	32.50	8.00	20.00	5.50	33.00
F6	87.50	36.50	61.50	30.50	87.50
F7	100.0	99.00	100.0	87.00	100.0
F8	100.0	100.0	100.0	100.0	100.0
F9	28.50	18.50	29.00	10.00	30.50
F10	97.50	94.50	93.50	92.50	97.50
F11	5.50	0.00	2.50	1.00	6.50
F12	100.0	100.0	0.00	0.00	100.0
F13	100.0	100.0	0.00	1.00	100.0
F14	100.0	100.0	0.00	0.50	100.0
F15	0.50	0.00	2.50	1.00	1.50

La combinació de tres observables de test (f_{osc} , $V_{out,pp}$ i $I_{ss,pp}$) permet augmentar la cobertura de detecció dels errors. En aquest cas, es poden arribar a detectar un 70 % de les falles induïdes, aproximadament. Desgraciadament, hi ha casos en que detectar la falla és impossible, o altres casos que tenen una detecció molt pobre. Caldria emprar algun altre mètode addicional per a detectar-los. En aquest cas no s'ha estudiat una tècnica de test alternativa, ja que es volia analitzar l'efectivitat del corrent de consum, en combinació amb altres observables de test (com la freqüència i la tensió de sortida), per a detectar les falles simulades.

També s'haguessin pogut emprar observables de test diferents, potser amb una cobertura de test superior. Malauradament, la restricció definida en l'elecció de les observables imposava que aquestes fossin mesurables a través d'un terminal d'alimentació o sortida del DUT. Aquesta limitació és deguda a la necessitat de comparar les simulacions amb les mesures del circuit fabricat. El qual no té els nodes interns accessibles i no es podrien comparar els resultats d'ambdós casos.

2.4.2.2.- Mesures

Amb l'amplificador operacional dissenyat amb falles configurables només s'han pogut realitzar mesures de 4 circuits. Els resultats es mostren resumits en la Taula 2.8 de forma estadística, calculant la mitjana (μ) i la desviació típica (σ) de les observables mesurades: la freqüència d'oscil·lació (f_{osc}), l'amplitud del senyal de sortida ($V_{out,pp}$) i dels corrents d'alimentació i massa ($I_{dd,pp}$, $I_{ss,pp}$).

Igual que en el cas anterior, l'elecció de les observables de test ha estat limitada pels pins d'alimentació i de sortida disponibles en l'amplificador operacional fabricat amb falles configurables.

Amb un espai mostral de 4 elements no és possible fer un estudi estadístic fiable, però s'ha optat per mostrar d'aquesta manera les dades, per a sintetitzar el volum d'informació en una sola taula.

TAULA 2.8

MESURES DE LES OBSERVABLES DE TEST

Els casos en que el circuit no ha oscil·lat estan indicats amb “-”.

Falla	f_{osc} (kHz)		$V_{out,pp}$ (V)		$I_{dd,pp}$ (mA)		$I_{ss,pp}$ (mA)	
	μ	σ	μ	σ	μ	σ	μ	σ
F0	287.09	10.10	3.06	0.03	0.47	0.09	0.40	0.07
F1	-	-	0.01	0.00	0.02	0.00	0.04	0.00
F2	230.43	36.83	2.87	0.10	1.19	0.06	1.38	0.36
F3	-	-	0.01	0.00	0.02	0.00	0.05	0.01
F4	327.64	163.82	2.34	1.16	0.29	0.15	0.89	0.42
F5	308.18	14.44	2.97	0.02	0.30	0.09	0.28	0.06
F6	359.73	174.58	1.42	1.11	0.15	0.03	0.32	0.09
F7	-	-	0.02	0.00	0.03	0.01	0.05	0.00
F8	-	-	0.01	0.00	0.02	0.00	0.04	0.01
F9	-	-	0.01	0.00	0.02	0.00	0.05	0.01
F10	-	-	0.01	0.00	0.02	0.00	0.04	0.00
F11	284.80	10.28	3.05	0.02	0.44	0.08	0.38	0.05
F12	-	-	0.01	0.00	0.05	0.01	0.05	0.01
F13	-	-	0.01	0.00	0.04	0.01	0.05	0.01
F14	-	-	0.01	0.00	0.02	0.00	0.05	0.01
F15	287.47	9.96	3.03	0.02	0.42	0.07	0.38	0.06

Igual que en el cas de les simulacions, hi ha hagut casos en que el circuit no ha oscil·lat (veure la taula resum Taula 2.10). Les dades mostrades en la Taula 2.8 estan calculades tenint en compte aquest fet. Els valors de la mitjana (μ_0) i la variança (σ_0) per al cas del circuit configurat sense falla (F0), s'han utilitzat per a calcular els marges de tolerància amb els quals s'ha comprovat la detectabilitat de les falles configurades. Aquests marges han estat definits com dues vegades la desviació típica al voltant de la mitjana.

Una falla serà detectable amb qualsevol de les observables si el valor de l'observable escollida està fora dels marges definits. La Taula 2.9 mostra el percentatge de falles detectades amb cadascuna de les observables de test utilitzades i la combinació de tres d'aquestes (f_{osc} , $V_{out,pp}$, $I_{ss,pp}$). Com es pot observar en la Taula 2.9, i tenint en compte que només s'han pogut realitzar mesures de 4 circuits, totes les observables de test emprades tenen una eficàcia comparable. Malauradament, hi ha falles que són indetectables amb aquest mètode: F11 i F15. A més, la falla F5 només s'arriba a detectar en un 75 % dels casos.

Cal observar com, en el cas experimental, la falla F3 és totalment detectable, tal i com era de suposar. Això demostra que les simulacions, en el cas d'aquesta falla no eren suficientment acurades.

TAULA 2.9

PROBABILITAT DE DETECTAR FALLA AMB CADASCUNA DE LES OBSERVABLES DE TEST (%)

Falla	f_{osc}	$V_{out,pp}$	$I_{dd,pp}$	$I_{ss,pp}$	$f_{osc}, V_{out,pp}, I_{ss,pp}$
F0	0	0	75	0	0
F1	100	100	100	100	100
F2	100	100	0	0	100
F3	100	100	100	100	100
F4	100	100	100	75	100
F5	50	75	100	50	75
F6	100	100	100	25	100
F7	100	100	100	100	100
F8	100	100	100	100	100
F9	100	100	100	100	100
F10	100	100	100	100	100
F11	0	0	75	0	0
F12	100	100	100	100	100
F13	100	100	100	100	100
F14	100	100	100	100	100
F15	0	0	100	0	0

TAULA 2.10

COMPARACIÓ ENTRE LA PROPORCIÓ DE CIRCUITS QUE HAN OSCIL·LAT I LA PROBABILITAT DE DETECCIÓ D'ERROR DE LES SIMULACIONS I LES MESURES

Falla	% Oscil·lació		% Detecció	
	Simulacions	Mesures	Simulacions	Mesures
F0	100.0	100.0	7.00	0.00
F1	0.00	0.00	100.0	100.0
F2	100.0	100.0	98.00	100.0
F3	100.0	0.00	11.50	100.0
F4	24.00	25.00	100.0	100.0
F5	95.50	100.0	33.00	75.00
F6	71.50	75.00	87.50	100.0
F7	14.50	0.00	100.0	100.0
F8	0.00	0.00	100.0	100.0
F9	82.50	0.00	30.50	100.0
F10	4.00	0.00	97.50	100.0
F11	100.0	100.0	6.50	0.00
F12	0.00	0.00	100.0	100.0
F13	0.00	0.00	100.0	100.0
F14	0.00	0.00	100.0	100.0
F15	100.0	100.0	1.50	0.00

Comparant els resultats obtinguts entre les simulacions i les mesures (Taula 2.10), es pot veure que la proporció de circuits que oscil·len en mode test i la probabilitat de detectar falla és semblant en ambdós casos, amb excepció de les falles F3 i F9. En el cas de la falla F9, la diferència entre les simulacions i les mesures radica en que, amb la falla F9 activada, el circuit triga massa en arribar al règim sinusoidal i no es pot apreciar l'oscil·lació de sortida en les simulacions.

D'altra banda, també es pot observar que el percentatge de falles detectades és superior en el cas de les mesures, aquest fet és atribuïble a la poca quantitat de mesures disponibles. Desgraciadament, les falles F11 i F15 són indetectables tant en el cas de les

simulacions com en les mesures experimentals. Tot i això, la cobertura de detecció global és superior al 70 % per a les simulacions, i del 85 % en el cas de les mesures.

2.4.3.- Test predictiu

En aquest apartat s'estudiaran els efectes de combinar la tècnica OBT i diverses observables de test (entre elles, observables de corrents), aplicades a l'estratègia de test predictiva. També s'analitzaran diverses observables de test i la correlació que aquestes proporcionen entre l'estimació i les característiques funcionals de l'amplificador operacional dissenyat, configurat en mode test. Els valors dels elements de la circuiteria addicional destinada al test (Figura 2.10) estan indicats en la Taula 2.11.

TAULA 2.11

VALORS DEL LLAÇ DE REALIMENTACIÓ		
Element	Valor	Unitats
R_F	50	$K\Omega$
R_A	10	$K\Omega$
R	1	$K\Omega$
C	63	pF

2.4.3.1.- Simulacions

Les simulacions de l'amplificador operacional per extreure els seus paràmetres funcionals i les observables de test s'ha realitzat amb el programa HSPICE. Aquestes simulacions s'han realitzat mitjançant un anàlisi de Monte Carlo de 500 mostres. La Taula 2.12 mostra el resum dels resultats d'aquestes simulacions.

S'han utilitzat 300 mostres per a generar les funcions de regressió f_{ip}^i (vistes en l'apartat 2.2.3). Aquestes funcions han permès estimar les característiques funcionals de l'amplificador a partir de les observables de test (Figura 2.9). Aquest procés no es pot realitzar analíticament, per aquest motiu, s'ha emprat el mètode MARS [29].

TAULA 2.12

MITJA I DESVIACIÓ TÍPICA DELS PARÀMETRES FUNCIONALS I LES OBSERVABLES DE TEST			
Paràmetres		Estadístiques	
Nom	Unitats	μ	σ
A_0	dB	96.45	2.95
f_0	Hz	147.23	76.84
SR^+	V/ μ seg	10.37	4.25
f_{osc}	kHz	688.93	128.79
$V_{out,pp}$	V	2.90	0.16
$I_{ss,pp}$	mA	1.20	0.37

Les altres 200 mostres han servit per a comprovar la bondat de les funcions de regressió estimades. Aquesta comprovació es realitza comparant el valor de les característiques funcionals calculades del circuit amb les característiques funcionals estimades a partir de les observables de test i les funcions de regressió (Figura 2.5).

La Taula 2.13 mostra la correlació (r) i els errors de predicció (ϵ) en funció de les observables de test emprades. En aquesta taula es pot veure que, la freqüència d'oscil·lació (f_{osc}) i el corrent de massa ($I_{ss,pp}$) són les observables de test que donen menys error de predicció. També es pot observar l'augment de la correlació (i disminució de l'error de predicció) utilitzant més d'una observable en les estimacions. En el cas d'usar dues observables, es pot veure com la tensió de sortida ($V_{out,pp}$) és la observable que millora menys les prediccions, independentment de l'altra observable emprada. Tot i això, utilitzant les tres observables per a realitzar les prediccions, aquesta observable ($V_{out,pp}$) millora les estimacions de manera apreciable.

TAULA 2.13

CORRELACIONS I ERRORS (% RMS) DE PREDICCIÓ RESPECTE LES OBSERVABLE DE TEST

Observables de test	A_0		f_0		SR^+	
	r	ϵ	r	ϵ	r	ϵ
f_{osc}	0.99814	0.19	0.99960	1.80	0.99924	1.37
$V_{out,pp}$	0.96863	0.78	0.91963	23.30	0.94131	13.80
$I_{ss,pp}$	0.99869	0.16	0.99726	2.97	0.99961	0.82
$f_{osc}, V_{out,pp}$	0.99849	0.17	0.99973	1.22	0.99929	1.25
$f_{osc}, I_{ss,pp}$	0.99879	0.15	0.99965	1.59	0.99986	0.58
$V_{out,pp}, I_{ss,pp}$	0.99818	0.12	0.99757	2.70	0.99961	0.82
$f_{osc}, V_{out,pp}, I_{ss,pp}$	0.99939	0.11	0.99974	1.11	0.99986	0.55

Per a il·lustrar gràficament les correlacions obtingudes, s'han dibuixat la Figura 2.12, la Figura 2.13, i la Figura 2.14.

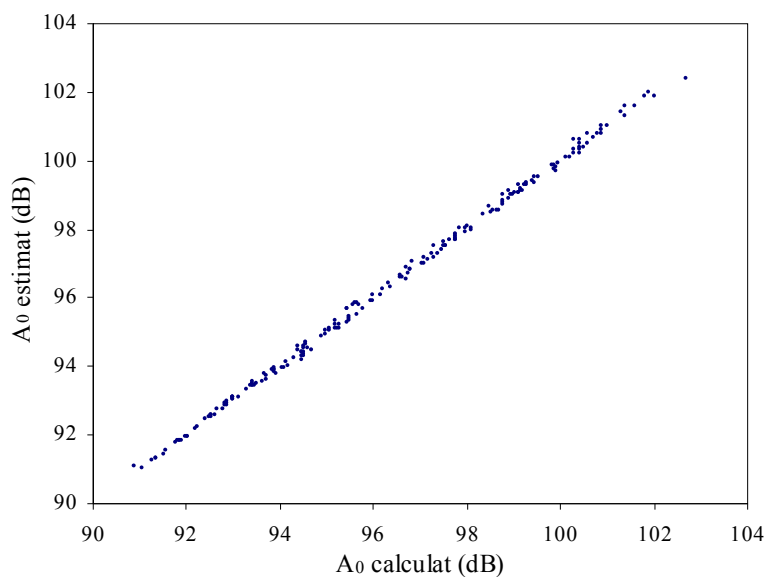


Figura 2.12: Comparació entre els valors calculats i estimats de A_0 .

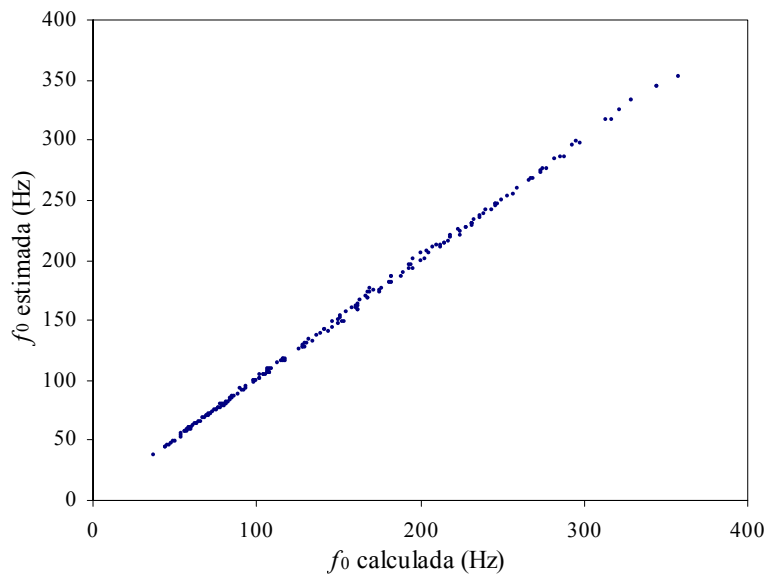


Figura 2.13: Comparació entre els valors calculats i estimats de f_0 .

La Figura 2.12, la Figura 2.13, i la Figura 2.14 mostren la comparació entre les prediccions de les característiques funcionals de l'amplificador (A_0 , f_0 i SR^+), utilitzant les tres observables de test (f_{osc} , $V_{out,pp}$ i $I_{ss,pp}$), respecte de les característiques funcionals reals.

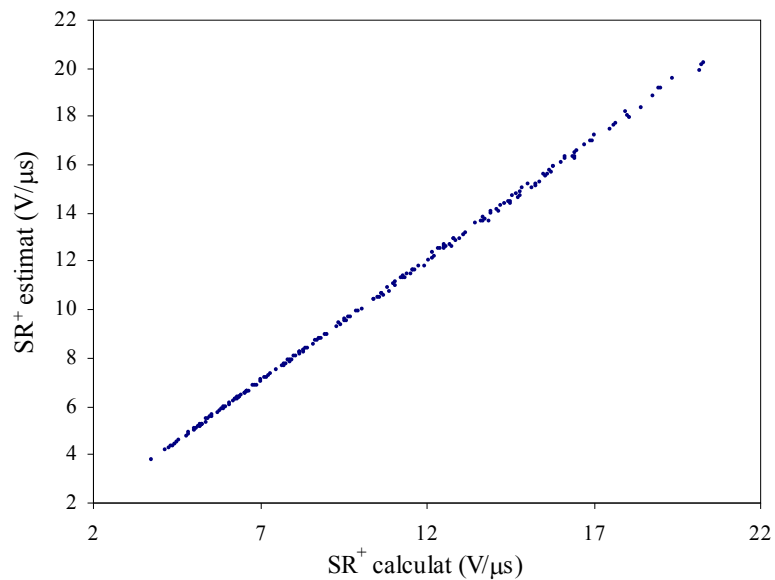


Figura 2.14: Comparació entre els valors calculats i estimats de l' SR^+ .

2.4.3.2.- Mesures

De l'amplificador operacional dissenyat (Figura 2.7) s'han pogut realitzar mesures de 19 circuits diferents². La Taula 2.14 mostra els valors de les característiques funcionals (A_0 , f_0 i SR^+) i les observables de test (f_{osc} , $V_{out,pp}$ i $I_{ss,pp}$) per cada circuit.

Les observables de test han estat utilitzades per a calcular les estimacions de les característiques funcionals, emprant les funcions de correlació calculades mitjançant les simulacions (apartat anterior). Les prediccions es mostren en la Figura 2.15, la Figura 2.16 i la Figura 2.17. En aquestes figures hi ha representades les simulacions (●) i les mesures (°) conjuntament.

TAULA 2.14

MESURES DE LES CARACTERÍSTIQUES FUNCIONALS I LES OBSERVABLES DE TEST DELS AMPLIFICADORS

Nom	A_0 (dB)	f_0 (Hz)	SR^+ (V/ μ seg)	f_{osc} (kHz)	$V_{out,pp}$ (V)	$I_{ss,pp}$ (mA)
O	93.4	135.5	7.50	638.2	2.97	0.976
X	93.8	123.5	7.28	630.9	2.96	0.968
KSP-III	92.4	163.5	9.74	674.3	3.04	1.070
PLL-1	92.7	164.0	9.61	675.9	3.04	1.086
A00	92.4	179.0	11.02	685.0	3.06	1.102
A01	92.7	177.0	10.27	680.7	3.05	1.094
A02	92.8	152.5	9.37	673.2	3.03	1.062
A03	93.9	134.0	7.97	636.9	2.96	0.992
A04	95.0	87.5	6.09	606.7	2.87	0.936
A05	93.2	115.0	7.21	630.7	2.95	0.976
A06	95.1	109.0	7.57	650.8	2.98	1.008
A07	92.8	157.0	6.63	624.6	2.91	0.952
A08	94.3	103.5	6.75	621.7	2.92	0.944
A09	92.7	152.0	11.71	692.5	3.06	1.124
A10	93.8	152.5	9.49	666.9	3.02	1.054
A11	93.4	157.5	9.03	663.6	3.02	1.058
A12	92.1	149.0	11.19	683.2	3.06	1.100
A13	93.4	131.5	8.33	649.4	3.00	1.006
A14	94.3	117.0	7.89	647.5	2.98	1.022

Com es pot observar en les figures, les prediccions de les característiques funcionals (calculades a partir de les observables mesurades i de les funcions de regressió generades en l'apartat anterior) tenen un error considerable. Sobre tot, en el cas del guany. Aquests errors, expressats en % RMS, són: $\Delta A_0 = 5.0 \%$, $\Delta f_0 = 15.5 \%$ i $\Delta SR^+ = 11.1 \%$.

Principalment, es deuen a que els models emprats en les simulacions no s'ajusten al circuit que s'ha mesurat. Tot i que s'ha intentat reproduir acuradament els circuits de mesura en l'entorn de simulació, hi ha hagut elements paràsits que no s'han detectat.

² Els circuits utilitzats per a realitzar les mesures es mostren en l'annex IV.

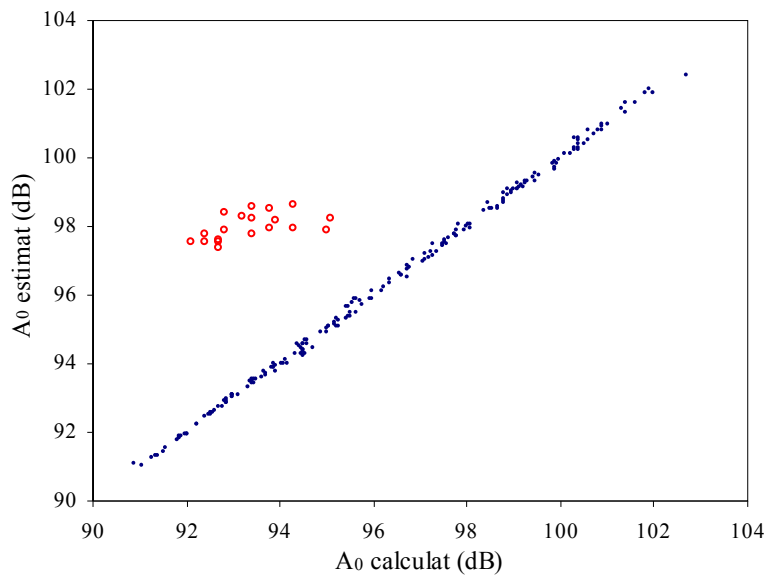


Figura 2.15: Comparació entre els valors calculats i estimats de A_0 , simulacions (●) i mesures (○).

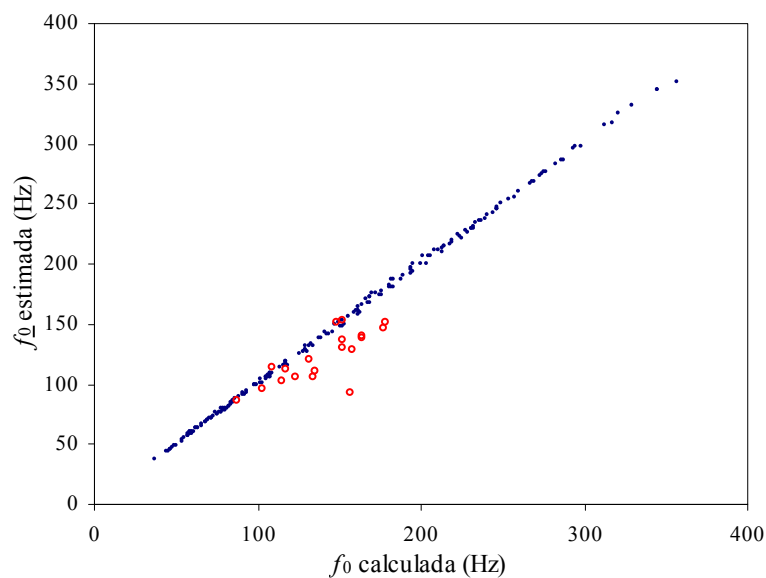


Figura 2.16: Comparació entre els valors calculats i estimats de f_0 , simulacions (●) i mesures (○).

Una manera de tenir en compte aquest error és utilitzar una part de les mesures realitzades per a generar les funcions de regressió, i l'altra part per a comprovar la bondat d'aquestes funcions. Amb aquest procés s'obtindrien unes funcions de regressió calculades a partir de les mesures i estarien més ajustades a la realitat, en les que els errors, i altres factors del procés de mesura, es tindrien en compte. Però això faria necessari disposar d'un conjunt mínim d'unes 100 mesures (o més) de circuits, aproximadament.

Malauradament, en aquest cas només s'ha disposat de 19 circuits per a poder mesurar. Un conjunt tant petit no permet obtenir suficient informació per a entrenar correctament el predictor i obtenir estimacions acceptables. Tot i això, seguint aquest

procés amb les mesures disponibles, els errors de predicció s'han reduït a: $\Delta A_0 = 0.37$ %, $\Delta f_0 = 8.16$ % i $\Delta SR^+ = 1.77$ %.

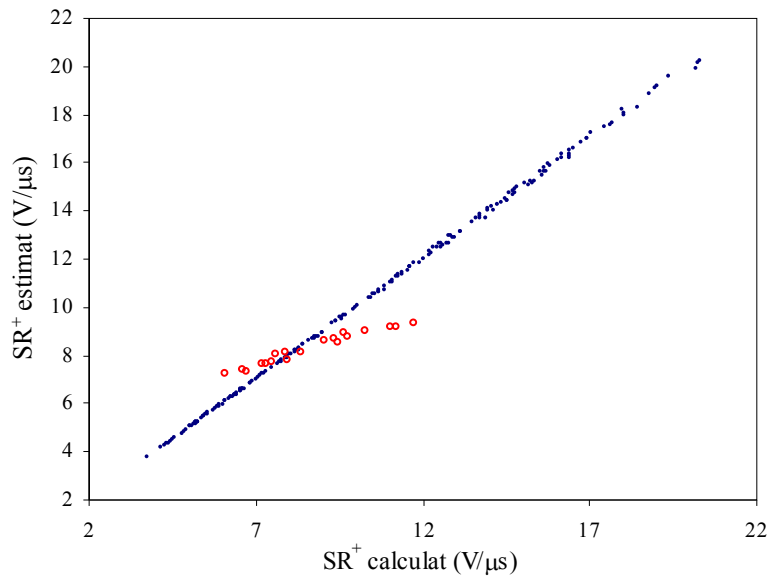


Figura 2.17: Comparació entre els valors calculats i estimats de l' SR^+ , simulacions (●) i mesures (°).

2.4.4.- Conclusions

En aquest Apartat s'ha estudiat l'eficàcia de combinar les tècniques de test OBT i $i_{DD}(t)$ en un circuit amb una freqüència de treball baixa. El circuit utilitzat com a DUT ha estat un amplificador operacional.

Per a realitzar aquest estudi s'han emprat les estratègies de test estructural i predictiu. Aquestes estratègies han servit per a determinar l'efectivitat que té, alhora de detectar falles o estimar les característiques funcionals d'un circuit, combinar les tècniques OBT i $i_{DD}(t)$. També s'han estudiat diferents observables de test i el seu impacte en la detecció de falles i en les prediccions de característiques funcionals.

En les dues estratègies de test utilitzades, la millor observable de test ha estat la freqüència d'oscil·lació. Aquesta observable permet detectar gran part de les falles induïdes i també permet obtenir una bona correlació entre les prediccions i les característiques funcionals de l'amplificador.

D'altra banda, la tensió de sortida i el corrent tenen un comportament diferent depenent de l'estratègia emprada. Utilitzant l'estratègia de test estructural, la tensió de sortida és més efectiva a l'hora de detectar les falles que no pas el corrent (tot i que d'efectivitat comparable). Utilitzar el corrent per a entrenar el predictor proporciona una correlació més gran que la tensió.

Però en tots els casos, combinant tres observables (la freqüència d'oscil·lació, la tensió de sortida i el corrent) les cobertures del test o les prediccions (segons l'estratègia aplicada) milloren significativament.

Analitzant amb més detall l'ús del corrent com a observable de test per a l'estratègia estructural, es pot veure que, tot i no ser la millor, permet detectar falles que amb altres observables passarien inadvertides. En el cas de l'estratègia predictiva, es veu clarament, amb les correlacions, com és superior a la tensió de sortida.

Finalment, remarcar la necessitat d'entrenar el predictor amb mesures experimentals per a minimitzar els errors introduïts pels propis circuits i procediments de mesura, a l'hora de realitzar les estimacions. O aconseguir modelar acuradament el DUT, i poder emprar les dades de les simulacions per a predir les característiques funcionals a partir de les mesures.

3.- Aplicacions a un Mesclador RF

3.1.- Introducció al test RF CMOS

La tecnologia CMOS va començar a ser utilitzada a la dècada del 1970 per als circuits analògics. Aquesta tecnologia, però, no era adequada per a ser emprada en circuits d'alta freqüència, entre d'altres motius, degut a les capacitats paràsites del transistor MOS i la longitud del seu canal.

Per a circuits RF, la tecnologia bipolar seguiria sent la dominant fins a finals dels anys 90, en que es van començar a integrar els primers circuits RF CMOS [83]. Actualment, la majoria de circuits RF integrats estan implementats amb tecnologia CMOS, més barata i integrable que la bipolar.

El gran desenvolupament que han experimentat les tecnologies de la comunicació, i la seva implantació en la societat, ha provocat que la indústria de la integració de circuits RF també hagi experimentat un gran creixement en la darrera dècada. El millor exemple per a il·lustrar aquest fet, és el cas dels telèfons mòbils.

Els interessos econòmics existents en la fabricació de circuits integrats són evidents (sobretot en el camp de la telefonia mòbil), i la indústria que en depèn intenta mantenir aquesta tendència [4]. Abaratir els costos de producció dels terminals mòbils és una de les estratègies utilitzades. Això s'ha aconseguit reduint els costos de la integració. Però el cost del test, associat al producte manufacturat, s'ha mantingut pràcticament constant [5].

El test RF CMOS, a banda dels desavantatges intrínsecs del test analògic CMOS, té els inconvenients associats a la necessitat de realitzar mesures complexes als circuits i sistemes integrats (SoC). Això implica un increment del cost en temps i recursos. El cost en temps és degut al temps necessari que requereixen algunes mesures (*NF* o *IP3*). El cost en recursos és introduït per la necessitat d'aparells adequats per a realitzar les mesures (generadors de soroll, generadors de senyal, analitzadors d'espectres, ATE [84], ...).

Una manera de minimitzar aquests inconvenients, tot intentant que el cost del test sigui mínim [85], és utilitzar tècniques DfT, i més concretament, afegint la circuiteria de test dintre del mateix circuit integrat, aplicant tècniques BiST [41] [86] [87] [88]. Les tècniques BiST són unes tècniques cada cop més emprades per a testar sistemes RF de comunicació integrats [86] [87].

La limitació d'accés als nodes interns dels sistemes integrats impossibilita realitzar el tradicional test basat en especificacions dels circuits RF, fet que imposa buscar noves estratègies de test alternatives [89] [90]. Com les estratègies de test estructural i predictiu, que s'han aplicat en diferents circuits RF (un mesclador i un amplificador de baix soroll).

3.2.- El mesclador

El primer exemple escollit per a determinar si el corrent d'alimentació proporciona observables de test adequades, és un mesclador RF. Aquest, ha estat dissenyat per a treballar en la part receptora d'una cadena de transmissió, de l'estàndard GSM 900 [91].

S'ha escollit aquest circuit per a estudiar les tècniques de test dissenyades en un entorn d'alta freqüència, tot emprant un circuit senzill.

3.2.1.- Circuit mesclador

El circuit utilitzat en aquest tema és un mesclador actiu doblement balancejat basat en la cèl·lula de Gilbert, amb un buffer en cadascuna de les seves sortides. En la Figura 3.1 es mostra el seu esquema elèctric. El procés de disseny seguit per a implementar aquest mesclador està detallat en l'Annex II.

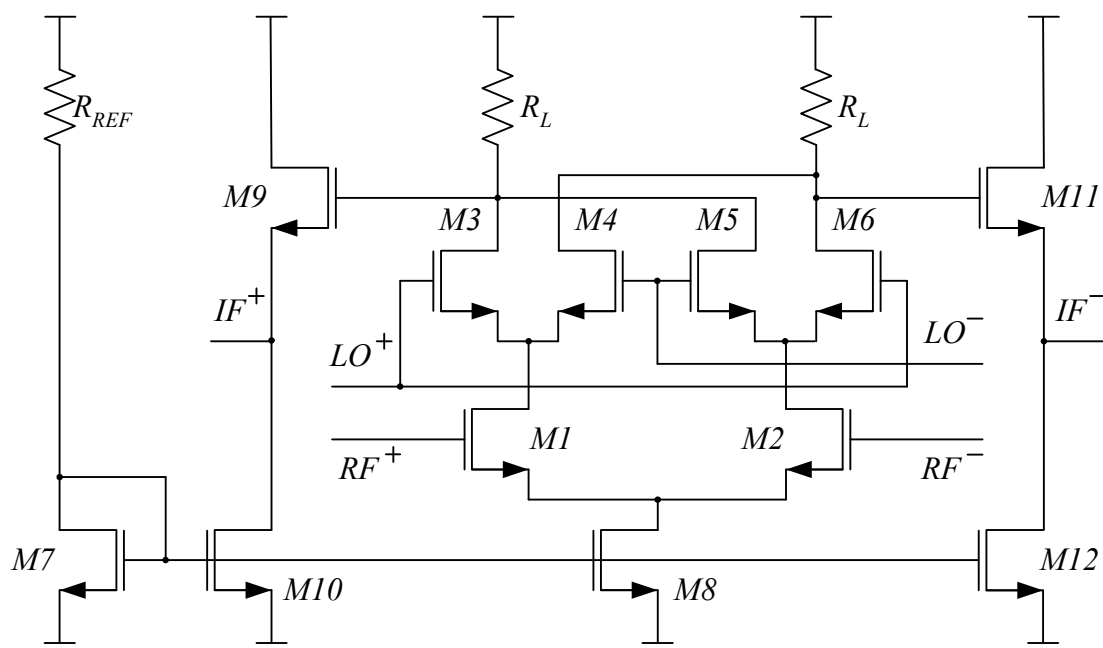


Figura 3.1: Mesclador.

Aquest circuit està format per 4 parts principals: un nucli amplificador, format pels transistors $M1$ i $M2$; una etapa de commutació, composta pels transistors $M3$ a $M6$ (aquestes dues etapes, formades pels transistors $M1$ a $M6$, formen la cèl·lula de Gilbert); dos buffers de sortida, implementats amb els transistors $M9$ a $M12$; i un mirall de corrent per a polaritzar les etapes anteriors, dissenyada amb els transistors $M7$ i $M8$.

Aquest mesclador ha estat dissenyat amb el programa CADENCE, emprant tecnologia de $0.35 \mu\text{m}$ d'AMS. Els valors de tots els elements que formen el circuit,

estan indicats en la Taula 3.1. En la Taula 3.2 es mostren els valors de les característiques funcionals més importants del mesclador.

TAULA 3.1

VALORS DELS ELEMENTS DEL MESCLADOR DISSENYAT
Les dimensions dels transistors estan expressades segons (W/L).

Paràmetre	Valor	Unitats
M1	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M2	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M3	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M4	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M5	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M6	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M7	100 / 1	$\mu\text{m} / \mu\text{m}$
M8	500 / 1	$\mu\text{m} / \mu\text{m}$
M9	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M10	500 / 1	$\mu\text{m} / \mu\text{m}$
M11	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M12	500 / 1	$\mu\text{m} / \mu\text{m}$
R_L	750	Ω
R_{REF}	2.75	$k\Omega$

TAULA 3.2

CARACTERÍSTIQUES DEL MESCLADOR DISSENYAT

Paràmetre	Valor	Unitats
f_{RF}	940	MHz
f_{OL}	700	MHz
f_{IF}	240	MHz
Alimentació	3.00	V
P_{OL} (1 GHz)	5.00	dBm
SSB NF (500 Ω)	7.64	dB
G_C (100 MHz)	16.07	dB
IP1 d'entrada	-14.41	dBm
IP3 d'entrada	-4.38	dBm
Consum mesclador	4.13	mA
Consum buffers	9.41	mA
Consum total	14.90	mA

3.2.2.- Circuit mesclador amb falles

Al mesclador de l'apartat anterior se li han definit un conjunt de falles: 20 falles tipus *Short* i 24 falles tipus *Open* (Taula 3.3 i Taula 3.4 respectivament). La Figura 3.2 mostra el circuit mesclador amb els nodes numerats per a identificar les falles escollides.

Les falles han estat seleccionades a partir del *layout* del circuit [21]. No totes les falles possibles han estat considerades, només les falles més probables. Aquestes són les que apareixen en les taules.

Les falles tipus *Short* s'han modelat mitjançant una resistència de 10 Ω connectada entre els dos nodes implicats [21]. Aquests dos nodes estan indicats en la

Taula 3.3 com dues xifres separades per un guió. El número precedent separat pels dos punts representa l'etiqueta numèrica de la falla.

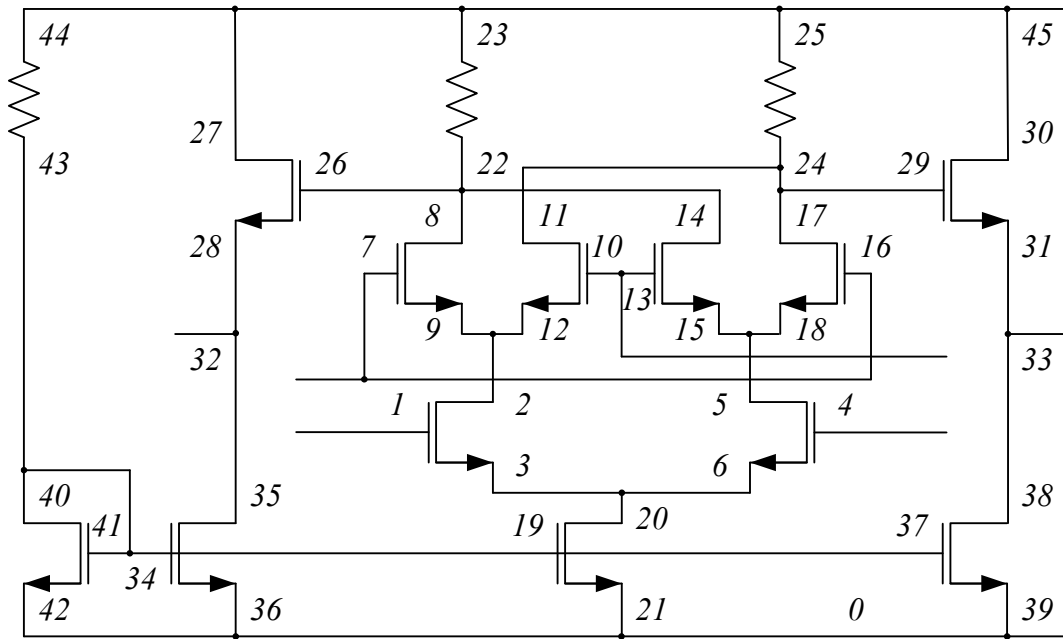


Figura 3.2: Mesclador amb els nodes numerats per a la identificació de les falles.

Per a la simulació d'*Opens* s'ha emprat dos tipus de models [21]: *Soft-Opens*, modelats amb una resistència de 100Ω en sèrie amb el node afectat; i *Hard-Opens*, modelats amb un condensador d'1 fF en sèrie amb el node defectuós. La llista final amb les falles està en la Taula 3.4, on, igual que en la taula anterior, la primera xifra seguida dels dos punts és l'etiqueta numèrica de la falla, i el número següent és el node defectuós.

TAULA 3.3

LLISTA DE FALLES TIPUS SHORT			
Shorts			
1:	10-24	11:	32-33
2:	0-22	12:	32-40
3:	1-5	13:	0-32
4:	4-5	14:	0-33
5:	0-5	15:	2-20
6:	4-20	16:	2-5
7:	2-4	17:	22-33
8:	24-32	18:	2-24
9:	24-33	19:	2-22
10:	22-24	20:	0-40

X: Etiqueta numèrica de la falla.

TAULA 3.4

LLISTA DE FALLES TIPUS OPEN			
Soft Opens		Hard Opens	
1:	22	8:	26
2:	7	9:	7
3:	9	10:	1
4:	3	16:	37
5:	27	17:	19
6:	8	18:	34
7:	2	19:	41
11:	1	20:	40
12:	20	21:	10
13:	28	22:	7 / 16
14:	35	23:	16
15:	14	24:	1

En les falles tipus *Hard-Open* s'han inclòs, tot i no ser-ho exactament, 3 falles (22, 23, 24) que simulen un transistor amb la seva porta flotant en un 50 %, i en certa manera es podrien arribar a considerar conseqüència d'una falla en un node d'un transistor multifinger.

3.3.- Estratègia de test directa

3.3.1.- Estratègia d'aplicació directa del OL

La primer tècnica que es vol emprar per a verificar el mesclador dissenyat està inspirada en OBT, per a suprimir la necessitat d'utilitzar un generador extern que proporcioni el senyal de test. Aquesta tècnica consisteix en aprofitar el senyal que genera l'oscil·lador local com a senyal de test (Figura 3.3), ja que l'oscil·lador és un element sempre disponible en el receptor, degut a que és un component indispensable en la cadena receptora.

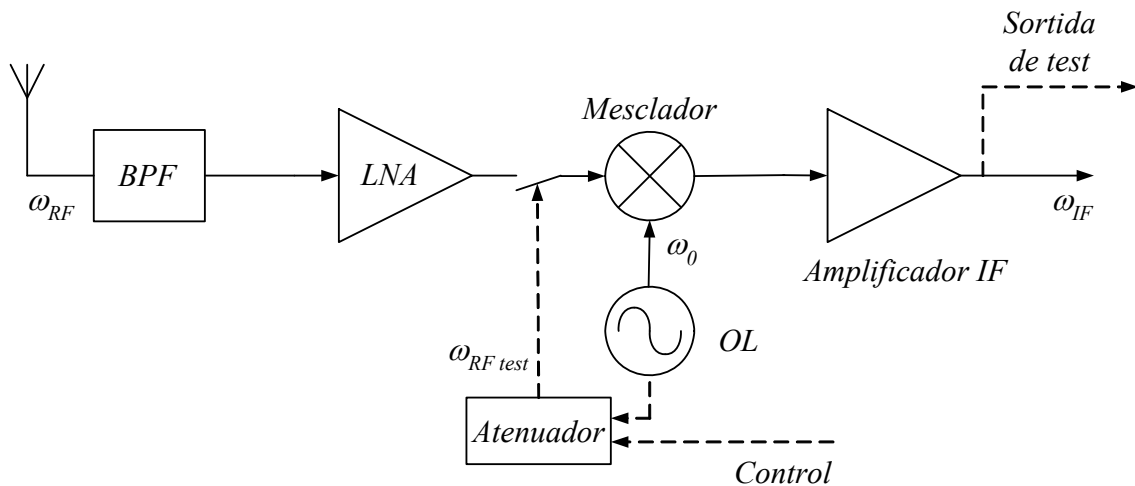


Figura 3.3: Mesclador en mode normal i de test (línies discontinües).

Per tant, per a generar els vectors de test s'utilitzarà el senyal de l'oscil·lador local atenuat, per a no saturar el mesclador, tal i com indica la Figura 3.3. El senyal de sortida, en la configuració en mode test, serà el producte del senyal d'entrada pel senyal de l'oscil·lador. Si es defineixen aquests senyals com,

$$RF = A \cos(\omega_{LO}t) \quad (3.1)$$

$$LO = B \cos(\omega_{LO}t) \quad (3.2)$$

Fent el producte dels senyals d'entrada, equacions (3.1) i (3.2), el senyal de sortida ve donat per l'expressió,

$$IF = A \cos(\omega_{LO}t) \cdot B \cos(\omega_{LO}t) = \frac{AB}{2} (1 + \cos(2\omega_{LO}t)) \quad (3.3)$$

On $A = 10 \text{ mV}$, $B = 0.5 \text{ V}$ i $f_{OL} = 700 \text{ MHz}$ (on $\omega = 2\pi f$). Si es volen els valors de tensió expressats en dB només cal emprar l'expressió,

$$P(\text{dBm}) = 10 \cdot \log_{10} \left(\frac{(V_{eff})^2 / Z_0}{1 \cdot 10^{-3}} \right) \quad (3.4)$$

Amb $Z_0 = 50 \Omega$.

Tal i com es pot veure en l'equació (3.3), a la sortida del mesclador apareixerà un senyal altern a la freqüència doble a la de l'oscil·lador local ($2 \cdot f_{LO}$), sobre un senyal continu. La Figura 3.4 mostra l'espectre de sortida d'una simulació del mesclador, amb la configuració en mode test. En aquesta figura es pot veure el resultat de la mescla (el to a 1.4 GHz i el nivell de contínua), i l'acoblament de l'oscil·lador local a la sortida.

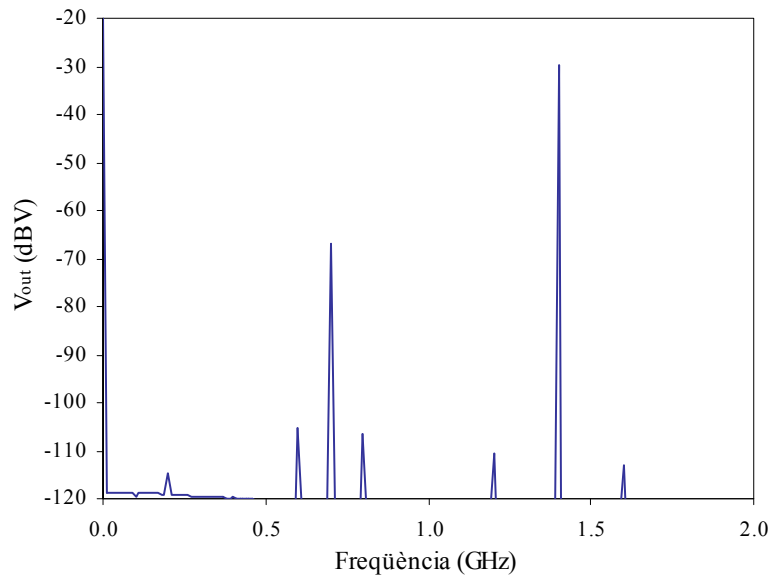


Figura 3.4: Espectre de la tensió de sortida.

Per tant, les observables de test que es poden definir són: l'amplitud del senyal altern (de freqüència $2 \cdot f_{LO}$) i el nivell de contínua de la sortida; i, simultàniament, la component contínua del corrent de terra, i l'amplitud de les variacions del corrent (de freqüència $2 \cdot f_{LO}$).

3.3.2.- Test estructural

Amb aquesta estratègia es vol comprovar si la tècnica de test $i_{DD}(t)$ combinada amb la generació dels vectors de test dissenyada (descrita en l'apartat anterior), és útil alhora de detectar falles en un sistema d'alta freqüència, emprant determinades observables de test (definides més endavant).

Per a realitzar les simulacions del mesclador s'ha utilitzat el programa SpectreRF de CADENCE, amb la tecnologia de 0.35 μm d'AMS [92]. Aquestes simulacions consisteixen en un anàlisi de Monte Carlo, amb el circuit mesclador configurat en mode test (Figura 3.3).

Per a analitzar l'eficàcia de la tècnica proposada, s'han simulat 200 variacions segons el fabricant, del circuit sense cap falla configurada (Falla 0), i amb cadascuna de les falles per separat (Taula 3.3 i Taula 3.4). Amb els resultats de les simulacions, pel cas del circuit sense falles, s'ha calculat la mitjana (μ_0) i la desviació típica (σ_0) de totes les observables escollides: $V_{out,DC}$, $V_{out,pp}$, $I_{SS,DC}$ i $I_{SS,pp}$.

Els resultats de les simulacions es mostren en la Taula 3.5 i la Taula 3.6. La Taula 3.5 mostra els resultats de les simulacions de les falles tipus *Short*, mentre que la Taula 3.6 presenta els resultats de les falles *Open*. En tots dos casos, es mostren les dades de manera estadística i els valors s'expressen en mV o mA, segons la observable corresponent.

Aquestes dades han servit per a determinar els marges de tolerància, definits com dues vegades la desviació típica (2σ) al voltant de la mitja (respecte de cada observable), i avaluar la detectabilitat de cada falla induïda.

Per a determinar la probabilitat de detecció de cada falla s'han comparat els marges de tolerància (en la Falla 0) amb els valors de cada observable (o observables) per cada simulació Monte Carlo de les falles induïdes.

TAULA 3.5

VALORS DE LES OBSERVABLES EN FUNCIÓ DE LA FALLA *SHORT* SELECCIONADA
Tensions en mV. Corrents en mA.

Falla	$V_{out,DC}$		$V_{out,pp}$		$I_{SS,DC}$		$I_{SS,pp}$	
	μ	σ	μ	σ	μ	σ	μ	σ
0	135.9	7.560	46.04	9.015	14.88	0.656	0.981	0.149
1	139.6	21.68	48.35	9.799	14.83	0.634	0.637	0.043
2	1e-4	9e-5	0.231	0.093	8.762	0.040	0.015	0.006
3	127.4	17.07	42.70	5.993	14.31	0.968	1.196	0.127
4	116.6	16.36	46.06	5.514	14.32	0.963	1.172	0.125
5	1e-5	7e-6	0.005	0.003	8.692	0.047	0.014	0.005
6	2e-5	1e-5	1e-5	8e-6	11.24	0.327	0.002	4e-4
7	127.2	17.14	42.58	6.052	14.31	0.968	1.197	0.127
8	150.0	9.511	6.384	5.176	8.380	0.096	0.025	0.025
9	150.0	9.516	7.371	6.205	8.380	0.096	0.024	0.024
10	0.965	0.077	0.726	0.041	14.89	0.666	1.007	0.139
11	24.91	2.001	6.319	1.335	14.90	0.670	1.006	0.121
12	99.48	8.836	143.5	13.32	10.91	0.774	3.076	0.497
13	400.1	46.03	107.7	5.390	31.80	2.975	4.491	1.009
14	200.2	49.17	89.68	27.35	38.20	2.964	5.282	0.490
15	1.404	0.450	0.948	0.411	12.87	0.445	0.996	0.055
16	7.570	2.413	1.660	0.920	14.89	0.666	1.006	0.138
17	150.0	9.511	6.891	5.771	8.373	0.104	0.033	0.034
18	507.1	160.4	173.0	39.16	14.58	0.715	0.494	0.081
19	581.8	168.1	167.0	38.19	14.46	0.716	0.511	0.074
20	3e-8	2e-7	7e-6	3e-6	1.422	1e-6	2e-3	1e-3

TAULA 3.6

VALORS DE LES OBSERVABLES EN FUNCIÓ DE LA FALLA *OPEN* SELECCIONADA
Tensions en mV. Corrents en mA.

Falla	$V_{out,DC}$		$V_{out,pp}$		$I_{SS,DC}$		$I_{SS,pp}$	
	μ	σ	μ	σ	μ	σ	μ	σ
0	135.9	7.560	46.04	9.015	14.88	0.656	0.981	0.149
1	265.7	19.49	79.44	24.32	14.54	0.466	0.815	0.279
2	149.5	7.547	47.68	9.693	14.87	0.654	0.984	0.152
3	42.22	16.43	81.82	6.187	14.88	0.665	0.924	0.136
4	46.84	8.494	12.55	3.434	14.34	0.497	0.514	0.269
5	141.3	8.095	51.21	8.576	14.87	0.654	0.904	0.133
6	125.4	10.87	59.35	15.50	14.88	0.660	0.883	0.186
7	128.2	6.970	45.23	8.034	14.87	0.660	0.949	0.141
8	547.7	147.6	128.7	9.908	11.12	0.618	0.443	0.040
9	713.9	154.7	72.40	30.51	14.01	0.621	0.478	0.091
10	0.140	0.088	0.488	0.246	13.63	0.355	0.802	0.367
11	123.8	7.524	48.74	9.032	14.88	0.659	0.987	0.149
12	87.22	14.59	32.44	3.094	12.98	0.619	0.821	0.087
13	386.9	31.38	103.9	10.97	13.88	0.256	0.839	0.129
14	101.6	11.18	47.31	11.65	13.46	0.211	0.721	0.134
15	125.3	10.95	59.37	16.45	14.88	0.661	0.882	0.187
16	173.6	117.7	38.98	22.54	15.64	6.113	1.962	1.200
17	0.771	8.662	0.378	3.024	11.03	0.521	0.012	0.076
18	124.7	80.63	88.24	9.134	13.36	5.085	1.360	1.086
19	0.006	0.007	1.978	12.03	19.88	27.38	0.053	0.296
20	9e-7	8e-7	0.009	0.010	7.542	0.083	5.373	1.243
21	827.0	165.4	71.09	41.58	13.58	0.609	0.382	0.108
22	87.12	8.418	65.88	3.849	14.88	0.662	0.993	0.140
23	181.4	12.12	58.12	20.38	14.86	0.649	0.969	0.151
24	98.83	6.423	26.28	3.197	14.65	0.636	0.985	0.252

La probabilitat de detecció de cada falla es mostra en la Taula 3.7, la Taula 3.8, la Taula 3.9 i la Taula 3.10. La Taula 3.7 i la Taula 3.9 mostren la probabilitat de detecció amb cadascuna de les observables per separat, mentre que la Taula 3.8 i la Taula 3.10 mostren la probabilitat de detecció amb combinacions d'observables de test.

En aquestes taules es pot veure com la tensió de sortida proporciona unes observables de test ($V_{out,DC}$ i $V_{out,pp}$) que ofereixen més cobertura de detecció. Mentre que els corrents ($I_{SS,DC}$ i $I_{SS,pp}$) tenen una eficiència inferior, però permeten detectar falles que no es poden detectar amb la tensió. Per tant, combinant una observable de test de tensió i una de corrent es pot augmentar la cobertura de detecció.

Es pot observar que la combinació d'observables que maximitza la detecció és la tensió DC a la sortida ($V_{out,DC}$) combinada amb la component AC de la tensió de sortida ($V_{out,pp}$), o la component AC del corrent de terra ($I_{SS,pp}$).

TAULA 3.7

PROBABILITAT DE DETECTAR FALLA *SHORT* (%) I

Falla	V _{out,DC}	V _{out,pp}	I _{SS,DC}	I _{SS,pp}
F0	4.50	2.00	1.00	5.00
F1	57.5	2.00	1.00	83.0
F2	100	100	100	100
F3	34.0	1.00	28.5	26.0
F4	45.5	1.50	28.5	22.5
F5	100	100	100	100
F6	100	100	100	100
F7	34.5	1.00	28.5	27.0
F8	43.0	100	100	100
F9	43.5	99.0	100	100
F10	100	100	0.50	3.50
F11	100	100	0.50	2.00
F12	100	100	100	100
F13	100	100	100	100
F14	82.5	74.5	100	100
F15	100	100	94.5	0.00
F16	100	100	0.50	3.50
F17	43.0	100	100	100
F18	100	100	7.00	100
F19	100	99.5	12.5	99.0
F20	100	100	100	100

TAULA 3.8

PROBABILITAT DE DETECTAR FALLA *SHORT* (%) II

Falla	V _{out,DC} & V _{out,pp}	I _{SS,DC} & I _{SS,pp}	V _{out,DC} & I _{SS,pp}	V _{out,pp} & I _{SS,DC}
F0	6.50	6.00	4.50	3.00
F1	57.5	83.0	57.5	2.00
F2	100	100	100	100
F3	35.0	51.0	38.5	29.5
F4	47.0	48.0	45.5	30.0
F5	100	100	100	100
F6	100	100	100	100
F7	35.5	51.5	44.5	29.5
F8	100	100	100	100
F9	100	100	100	100
F10	100	4.00	100	100
F11	100	2.50	100	100
F12	100	100	100	100
F13	100	100	100	100
F14	83.5	100	100	100
F15	100	94.5	100	100
F16	100	4.00	100	100
F17	100	100	100	100
F18	100	100	100	100
F19	100	99.0	100	100
F20	100	100	100	100

TAULA 3.9

PROBABILITAT DE DETECTAR FALLA *OPEN* (%) I

Falla	V _{out,DC}	V _{out,pp}	I _{SS,DC}	I _{SS,pp}
F0	4.50	2.00	1.00	5.00
F1	100	63.0	1.00	33.0
F2	44.5	5.50	1.00	5.00
F3	100	100	1.00	6.00
F4	100	100	7.50	67.0
F5	8.50	9.50	1.00	7.50
F6	45.5	37.5	1.00	19.0
F7	12.5	0.00	1.00	4.50
F8	100	100	99.0	100
F9	100	72.0	25.0	99.0
F10	100	100	41	35
F11	37.5	6.00	1.00	5.50
F12	100	7.50	75.5	4.00
F13	100	100	13.5	14.5
F14	95.5	10.5	65.0	34.0
F15	27.0	37.5	1.00	19.5
F16	94.5	54.5	91.0	73.5
F17	99.5	99.5	100	99.5
F18	96.5	99.0	91.0	85.0
F19	100	99.0	100	100
F20	100	100	100	100
F21	99.5	78.0	64.5	100
F22	100	67.0	1.00	2.50
F23	98.0	36.5	1.00	5.50
F24	100	73.5	2.50	43.0

TAULA 3.10

PROBABILITAT DE DETECTAR LA FALLA *OPEN* (%) II

Falla	V _{out,DC} & V _{out,pp}	I _{SS,DC} & I _{SS,pp}	V _{out,DC} & I _{SS,pp}	V _{out,pp} & I _{SS,DC}
F0	6.50	6.00	4.50	3.00
F1	100	34.0	100	64.0
F2	45.0	6.00	45.5	6.50
F3	100	7.00	100	100
F4	100	74.5	100	100
F5	16.0	8.50	8.50	10.5
F6	42.5	20.0	49.0	38.5
F7	12.5	5.50	12.5	1.00
F8	100	100	100	100
F9	100	99.0	100	83.0
F10	100	44.0	100	100
F11	43.0	6.50	37.5	7.00
F12	100	75.5	100	75.5
F13	100	28.0	100	100
F14	95.5	95.5	100	75.5
F15	42.5	20.5	27.0	38.5
F16	96.5	100	94.5	94
F17	99.5	100	100	100
F18	100	99.5	96.5	100
F19	100	100	100	100
F20	100	100	100	100
F21	100	100	99.5	100
F22	100	3.50	100	68.0
F23	98.0	6.50	99.0	37.5
F24	100	45.5	100	73.5

La Taula 3.11 resumeix les probabilitats de detecció de totes les falles considerades, indicades en la Taula 3.7, la Taula 3.8, la Taula 3.9 i la Taula 3.10. Les probabilitats, indicades en aquesta taula resum, són el resultat de sumar totes les probabilitat de detectar falla, en funció de les observables emprades, i dividir pel número de falles.

La Taula 3.11 permet comparar la cobertura de detecció en funció de les observables utilitzades. Tal i com s'ha comentat anteriorment, aquesta taula mostra com la tensió de sortida proporciona les millors observables de test. D'altra banda, tot i que les observables de test extretes del corrent proporcionen una cobertura baixa, permeten detectar falles que només amb la tensió serien indetectables.

Finalment, també es pot observar que la detecció de *Shorts* resulta més simple que la detecció dels *Opens* (excepte per al cas d'utilitzar $V_{out,DC}$).

TAULA 3.11

Observables	PROBABILITAT DE DETECTAR FALLA	
	Probabilitat de detecció (%)	
	<i>Shorts</i>	<i>Opens</i>
$V_{out,DC}$	79.17	81.63
$V_{out,pp}$	78.93	63.04
$I_{SS,DC}$	60.10	36.90
$I_{SS,pp}$	68.33	48.31
$V_{out,DC}$ & $V_{out,pp}$	87.92	82.96
$I_{SS,DC}$ & $I_{SS,pp}$	76.88	56.13
$V_{out,DC}$ & $I_{SS,pp}$	89.30	82.06
$V_{out,pp}$ & $I_{SS,DC}$	84.55	72.48

3.3.3.- Test predictiu

Amb aquesta estratègia de test es vol estudiar si la tècnica de test amb l'OL, combinada amb la tècnica $i_{DD}(t)$, proporciona unes observables de test que permetin estimar, de manera acceptable, algunes de les característiques del mesclador que s'ha dissenyat: el guany de conversió (G_C) i el punt de compressió d'1dB d'entrada ($IP1dB$).

Les simulacions del circuit, per a calcular les seves característiques funcionals i per a trobar els valors de les observables de test, s'han realitzat amb el programa SprecTreRF de CADENCE, amb la tecnologia de 0.35 μm d'AMS. Aquestes simulacions s'han fet amb un anàlisi de Monte Carlo segons les variacions indicades pel fabricant. Amb el circuit configurat en mode normal de funcionament s'ha calculat el G_C i l' $IP1dB$ del mesclador. I configurant el circuit mesclador en mode test s'han obtingut les observables de test (estadístiques de les dades en la Taula 3.5, Falla 0) necessàries en els càlculs de les funcions de regressió. 100 mostres han servit per a entrenar el predictor i generar les funcions de regressió f_{td} . Aquest procés no es pot realitzar analíticament, i per això, s'ha fet servir el mètode MARS [29]. Les altres 100 mostres han servit per a comprovar l'ajust de les funcions de regressió anteriorment calculades (mirar l'apartat 2.3.3).

Un cop realitzades les simulacions, i les funcions de correlació calculades, en la Figura 3.5 i la Figura 3.6 es mostra la comparació entre els valors predits i calculats del G_C i de l' $IP1dB$, emprant dues observables de test en la predicció ($V_{out,pp}$ i $I_{SS,DC}$).

La Taula 3.12 mostra les correlacions i els errors de predicció depenent de les observables de test utilitzades. Tant en les figures com en la taula es pot observar l'efecte que tenen sobre la correlació les diferents observables de test, així com

l'increment de la correlació al augmentar el nombre d'observables utilitzades en les estimacions.

De la Taula 3.12 es pot veure com la tensió de sortida proporciona les millors observables de test, separadament o utilitzant dues observables per a realitzar les prediccions. En general, el corrent de terra no proporciona bones observables de test, excepte en el cas de la seva component DC per a predir l' $IP1dB$, que dóna la correlació més elevada.

De tots els casos en que s'han utilitzat dues observables de test per a estimar el G_C i l' $IP1dB$, les observables que proporcionen una major correlació són: $V_{out,DC}$ i $I_{SS,pp}$.

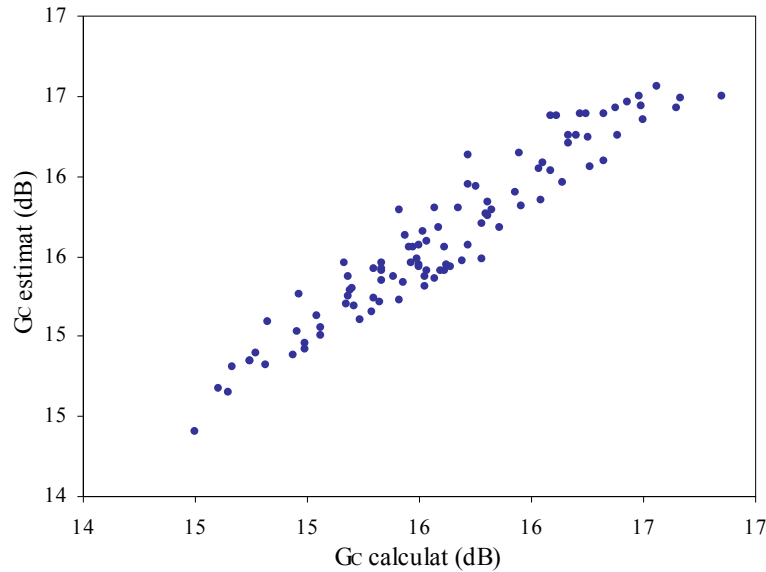


Figura 3.5: Correlació entre el G_C calculat i predit emprant $V_{out,pp}$ i $I_{SS,DC}$.

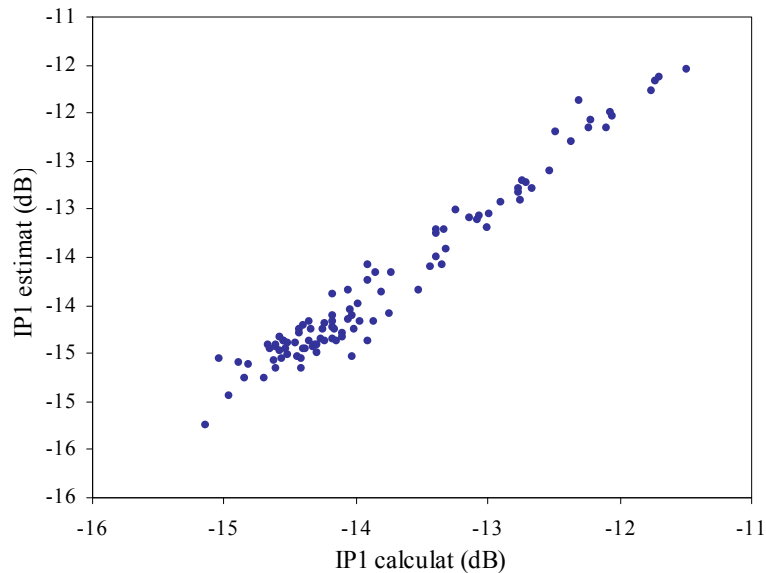


Figura 3.6: Correlació entre el $IP1dB$ calculat i predit emprant $V_{out,pp}$ i $I_{SS,DC}$.

Conceptualment simple i amb poca circuiteria de test addicional, aquesta tècnica per a generar els vectors de test (a partir del senyal de l'oscil·lador local atenuat), presenta la dificultat de necessitar mesurar senyals a unes freqüències excessivament elevades, amb el cost que això comporta, i un senyal DC emmascarat per la tensió

d'offset del mesclador. D'aquí la necessitat de dissenyar una altra tècnica que minimitzi aquests inconvenients.

TAULA 3.12

Observables de test	CORRELACIONS I ERRORS (% RMS) DE PREDICCIÓ EN FUNCIÓ DE LES OBSERVABLES DE TEST			
	G_C		IP1dB	
	r	ϵ	r	ϵ
$V_{out,pp}$	0.69	4.37	0.81	3.85
$V_{out,DC}$	0.85	3.15	0.75	4.32
$I_{SS,pp}$	0.58	4.91	0.37	6.29
$I_{SS,DC}$	0.53	5.08	0.92	2.54
$V_{out,pp}$ & $V_{out,DC}$	0.98	1.00	0.84	3.50
$I_{SS,pp}$ & $I_{SS,DC}$	0.67	4.41	0.94	2.01
$V_{out,DC}$ & $I_{SS,pp}$	0.99	0.64	0.98	1.23
$V_{out,pp}$ & $I_{SS,DC}$	0.95	1.73	0.97	1.25

3.4.- Estratègia de test millorada

3.4.1.- Estratègia de test millorada amb circuiteria addicional

La segona tècnica que s'ha estudiat, per a generar els vectors de test i poder verificar un mesclador RF, ha estat una tècnica que permet testar el mesclador amb un senyal de la mateixa freqüència que el senyal d'entrada, en mode normal de funcionament [93].

Aquesta tècnica requereix més circuiteria addicional que amb l'estratègia directa amb l'oscil·lador local com a generador del senyal de test (Figura 3.3). Com a contrapartida, aquesta tècnica permet testar l'amplificador IF, el mesclador i l'LNA.

La circuiteria addicional necessària per a implementar aquesta tècnica és: un oscil·lador de freqüència controlable i un mesclador auxiliar (veure la Figura 3.7). Els següents apartats descriuen els circuits necessaris per a implementar aquesta circuiteria de test addicional.

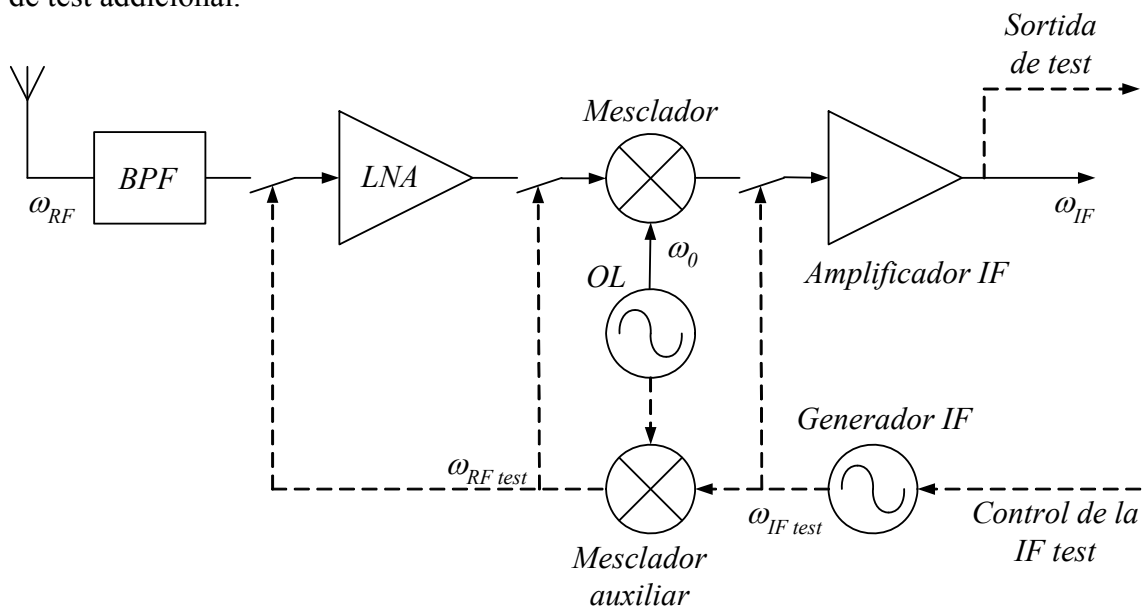


Figura 3.7: Mesclador en mode normal i de test (línies discontinües).

3.4.1.1.- Generador IF

El generador de freqüència controlable és un oscil·lador que ha de generar la freqüència IF de test. Aquesta freqüència de test IF ha de ser variable per a poder ajustar-la a la freqüència IF del receptor. La freqüència IF permetrà testar l'amplificador IF, i combinada amb l'OL obtenir el senyal RF de test.

Per a implementar aquest generador IF, s'ha escollit un oscil·lador en anell. En aquest cas, en comptes d'emprar el disseny clàssic amb un nombre d'inversor senar, s'ha optat per una configuració amb un nombre d'inversors parell [94]. Aquesta configuració permet obtenir dos senyals diferencials en quadratura, necessaris en el mesclador auxiliar. El seu esquemàtic es mostra en la Figura 3.8, a on cadascuna de les cel·les de retard estan implementades amb inversors CMOS.

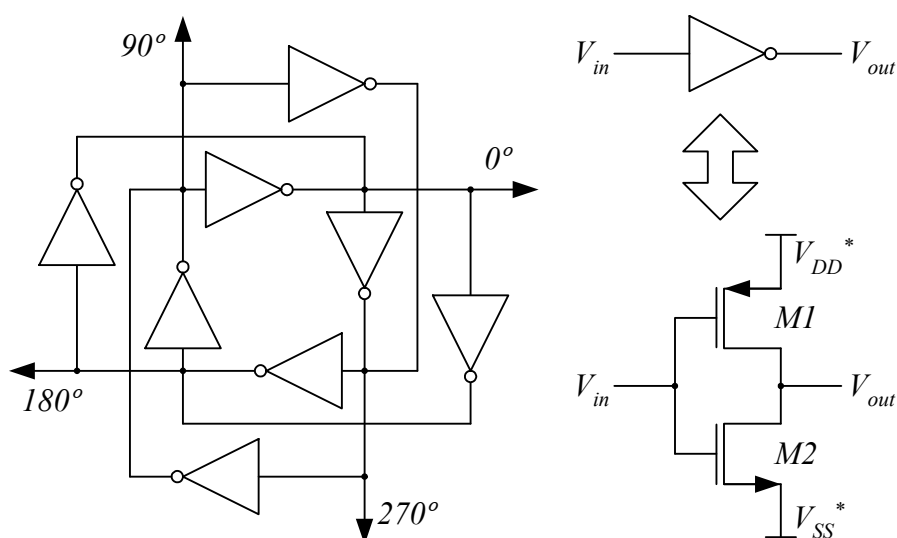


Figura 3.8: Oscil·lador en quadratura i inversor CMOS.

Tal i com s'ha descrit anteriorment, la freqüència de sortida d'aquest oscil·lador ha de poder ser controlada per a aconseguir ajustar-la a la freqüència intermitja del receptor. Aquest control es pot realitzant ajustant el voltatge de *bulk* [95] o el consum de l'oscil·lador [96]. L'opció escollida ha estat la segona (Figura 3.9).

Els transistors que es mostren en la Figura 3.9 implementen dos miralls de corrent per a poder controlar el consum de l'oscil·lador mitjançant un senyal de control ($V_{control}$). Variant aquesta tensió de control es podrà modificar la freqüència de sortida de l'oscil·lador (veure la Figura 3.10). Les dimensions dels transistors de l'oscil·lador i el seu circuit de control es mostren en la Taula 3.13.

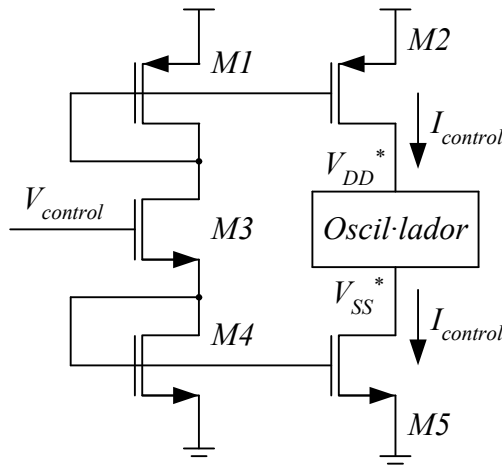


Figura 3.9: Circuit de control de la freqüència.

TAULA 3.13

VALORS DELS ELEMENTS DE L'INVERSOR I DEL CIRCUIT DE CONTROL
 Les dimensions dels transistors estan expressades segons (W/L).

Paràmetre	Valor	Unitats
M1 _{INV}	3 / 0.5	µm / µm
M2 _{INV}	1 / 0.5	µm / µm
M1 _{CONTROL}	6 / 0.5	µm / µm
M2 _{CONTROL}	36 / 0.5	µm / µm
M3 _{CONTROL}	1 / 1	µm / µm
M4 _{CONTROL}	2 / 0.5	µm / µm
M5 _{CONTROL}	12 / 0.5	µm / µm

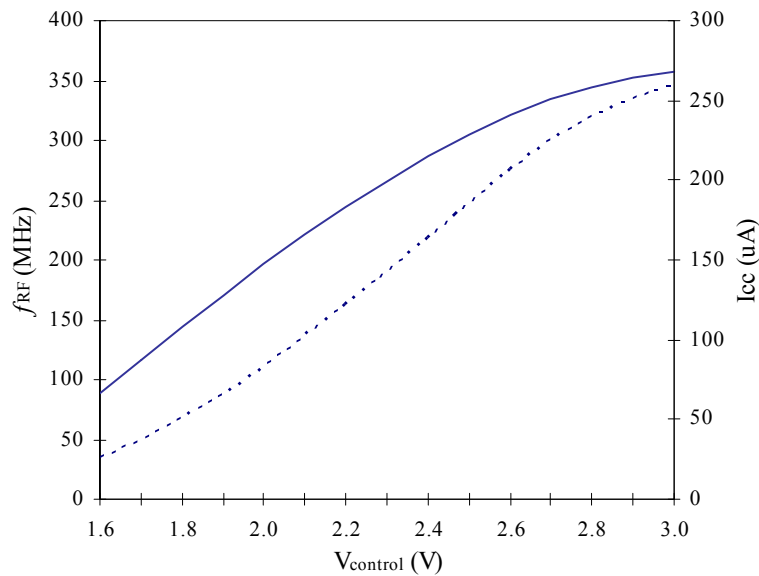


Figura 3.10: Freqüència (—) i consum (--) de l'oscil·lador en funció de la tensió de control.

Com es pot veure en la Figura 3.10, el marge de freqüències que, s'aconsegueix a al sortida de l'oscil·lador, varia entre els 100 i 350 MHz, aproximadament. El consum d'aquest circuit no supera els 0.3 mA, i només durant el procés de test.

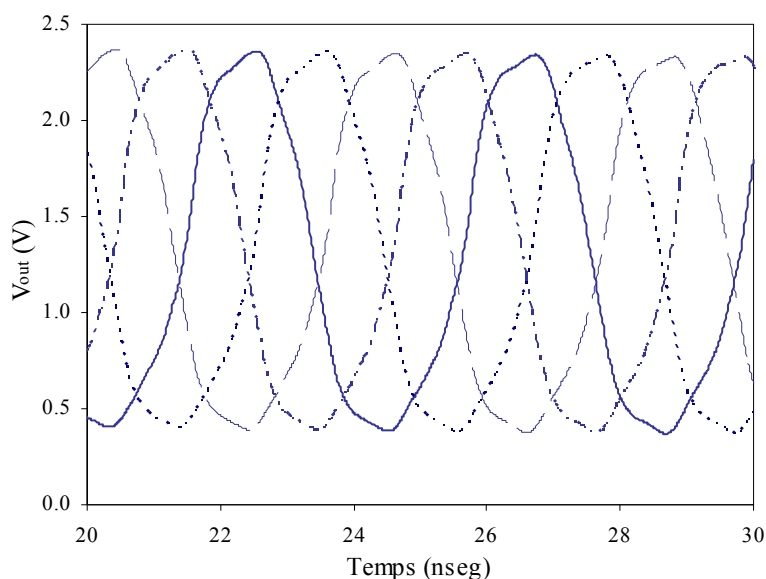


Figura 3.11: Sortides del generador IF.

Els senyals que es mostren en la Figura 3.11 corresponen a la sortida del generador, amb una tensió de control de 1.99 V. La freqüència d'aquests senyals és de 240MHz i tenen una amplitud d'uns 2 V, aproximadament.

Un cop ha estat dissenyat, aquest circuit ha estat fabricat en tecnologia de 0.35 μm . La Figura 3.12 mostra les mesures de la freqüència de sortida del generador IF en funció de la tensió de control, per a diferents tensions d'alimentació. En aquesta figura es pot veure la dependència que té la freqüència d'oscil·lació respecte de la tensió d'alimentació. Amb una tensió d'alimentació inferior a 2.5 V no es pot sintonitzar el generador IF per a que proporcioni una freqüència de 240 MHz.

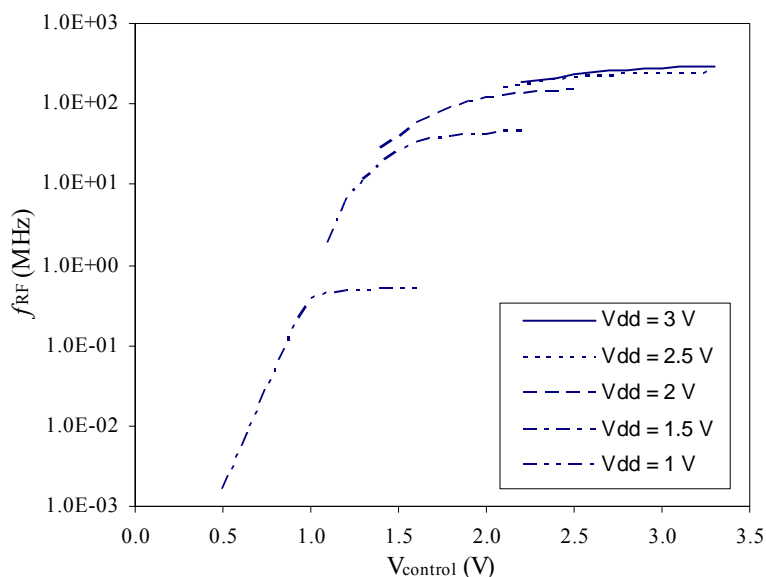


Figura 3.12: Freqüència de sortida en funció de la tensió de control. Dependència entre la tensió d'alimentació i la freqüència d'oscil·lació.

La Figura 3.13 mostra la comparació entre les simulacions i les mesures de la freqüència d'oscil·lació pel cas d'alimentar el circuit amb 3 V. Tal i com es pot apreciar, els valors simulats i mesurats tenen un error no menyspreable. Això és degut a que l'oscil·lador controlat per la tensió de control s'ha integrat juntament amb un oscil·lador controlat per bulk, i les sortides dels 2 circuits estan multiplexades. Tota aquesta circuiteria addicional (per a implementar el multiplexor) és una de les causes de que les mesures no s'ajustin a les simulacions realitzades.

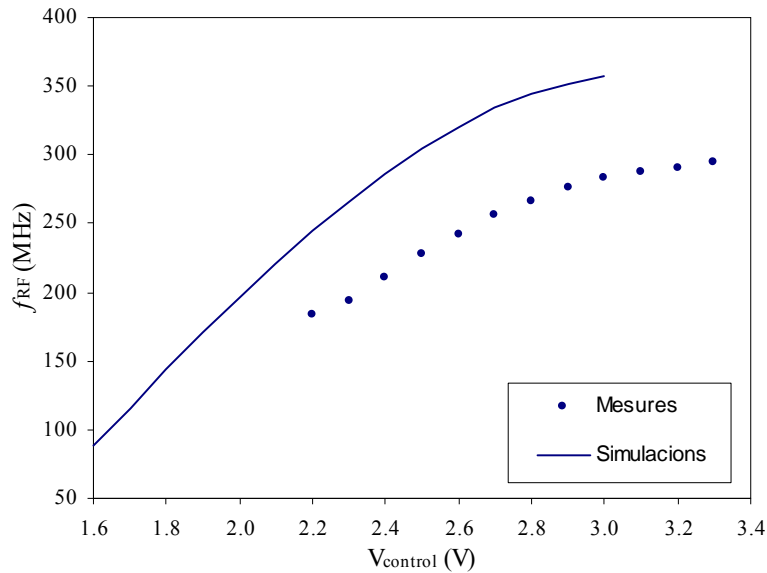


Figura 3.13: Freqüència de sortida en funció de la tensió de control. Comparació entre les simulacions i les mesures.

3.4.1.2.- Mesclador auxiliar

Per a generar el senyal RF de test, es necessari un mesclador per a combinar el senyal de l'oscil·lador local amb el senyal IF de test. Normalment, el procés de mescla de dos tons produeix dos tons a la sortida del mesclador, a les freqüències suma i resta de les freqüències d'entrada. Si només es desitja un dels dos tons, cal filtrar el que no es vol. En aquest cas, es vol aconseguir un mesclador en que a la seva sortida només aparegui el to suma de les dues freqüències d'entrada. Per tant, s'utilitzarà l'esquema de la Figura 3.14, el qual no requereix filtre.

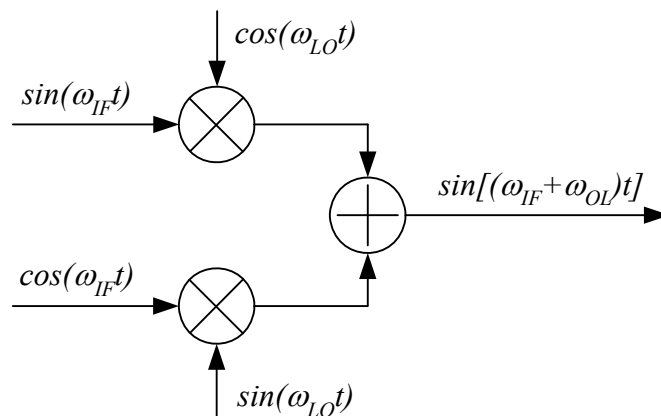


Figura 3.14: Diagrama de blocs del mesclador auxiliar.

Aquesta configuració requereix dos senyals en quadratura, proporcionats pel generador IF i per l'oscil·lador local. Actualment, els OL implementats en els receptors d'RF acostumen a tenir sortides en quadratura.

L'esquema de la Figura 3.14 implementa la relació trigonomètrica de suma d'angles,

$$\sin(a + b) = \sin a \cdot \cos b + \cos a \cdot \sin b \quad (4.5)$$

En aquest cas, $a = \omega_{IF}t$ i $b = \omega_{OL}t$, l'expressió queda,

$$\sin[(\omega_{IF} + \omega_{OL})t] = \sin(\omega_{IF}t) \cdot \cos(\omega_{OL}t) + \cos(\omega_{IF}t) \cdot \sin(\omega_{OL}t) \quad (4.6)$$

Degut a que els requisits del nivell del senyal de sortida no són grans, s'ha escollit un mesclador passiu [97] per a realitzar el procés de mescla. La Figura 3.15 mostra la circuiteria amb que estan formats els dos multiplicador i el sumador de la Figura 3.14.

Els transistors $M1$ a $M4$ proporcionen el senyal RF de test multiplicant els senyals de l'oscil·lador local i del senyal IF de test. Els transistors $M5$ a $M8$ implementen un mirall de corrent, que fa que el node comú a les fonts dels transistors $M1$ a $M4$ sigui de molt baixa impedància [98]. $M9$ i $M10$ formen una font de corrent programable. $M10$, representat en la Figura 3.15 com un sol transistor, és en realitat un conjunt de transistors seleccionables digitalment per a aconseguir a la sortida un dels 3 nivells seleccionables (-30, -20 i -10 dB).

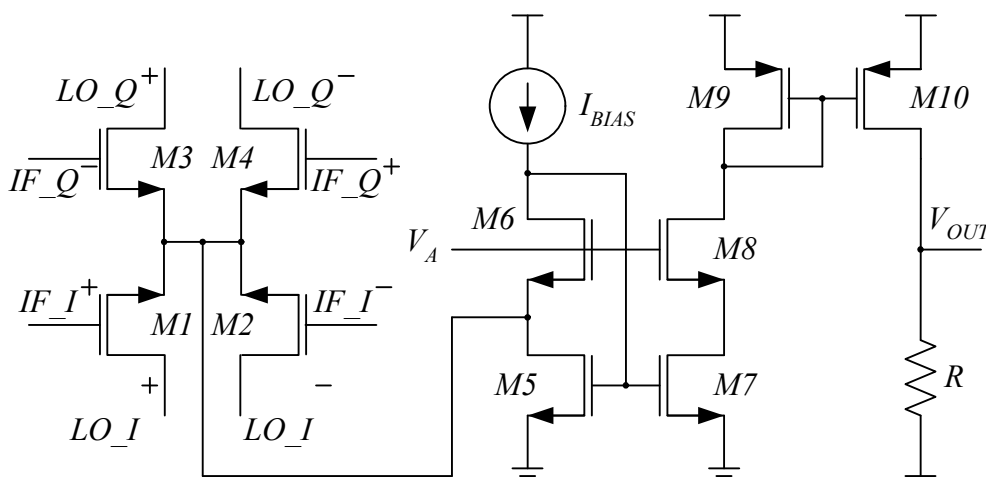


Figura 3.15: Esquemàtic del mesclador auxiliar.

En la Taula 3.14 s'especifiquen els valors dels components que formen el mesclador auxiliar.

TAULA 3.14

VALORS DELS ELEMENTS DEL MESCLADOR AUXILIAR
 Les dimensions dels transistors estan expressades segons (W/L).

Paràmetre	Valor	Unitats
M1	3 / 0.5	$\mu\text{m} / \mu\text{m}$
M2	1 / 0.5	$\mu\text{m} / \mu\text{m}$
M3	6 / 0.5	$\mu\text{m} / \mu\text{m}$
M4	36 / 0.5	$\mu\text{m} / \mu\text{m}$
M5	1 / 1	$\mu\text{m} / \mu\text{m}$
M6	18 / 0.35	$\mu\text{m} / \mu\text{m}$
M7	18 / 0.35	$\mu\text{m} / \mu\text{m}$
M8	18 / 0.35	$\mu\text{m} / \mu\text{m}$
M9	2 / 0.5	$\mu\text{m} / \mu\text{m}$
M10	23 / 0.35	$\mu\text{m} / \mu\text{m}$
R	50	Ω
I_{BIAS}	200	μA

La Figura 3.16 mostra la sortida del mesclador auxiliar, programat per a obtenir a la sortida un to a 940 MHz [91] de -30 dBm (aproximadament). També es pot veure com els harmònics que apareixen tenen una diferència de nivell, respecte del to principal (940 MHz) d'uns 50 dB.

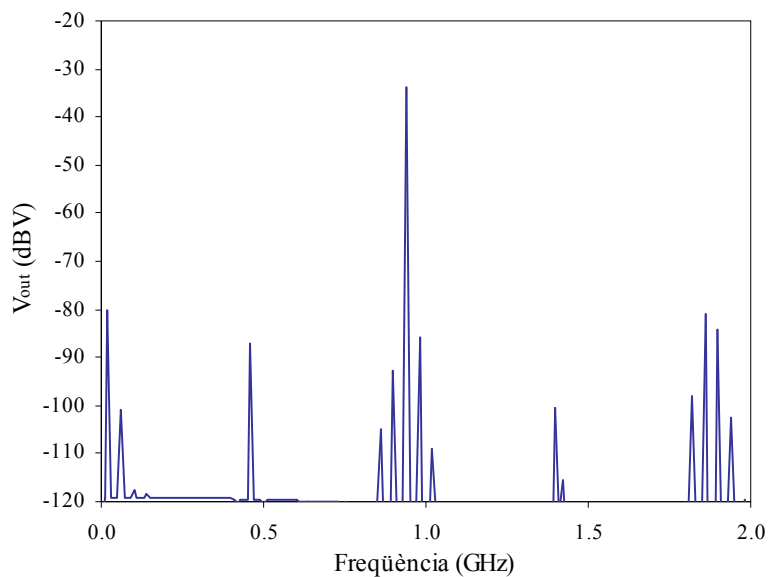


Figura 3.16: Espectre de la sortida del mesclador auxiliar.

En la Figura 3.17, on apareix l'espectre de sortida del mesclador a testar, es pot veure com, a part del to principal situat en el 240MHz, apareixen altres 2 tons de nivell comparable (1.16 i 1.64 GHz). Aquests dos tons, podran ser filtrats amb facilitat (en el cas de ser necessari). Finalment, també apareix a la sortida el senyal de l'oscil·lador local (700 MHz) però aquest tampoc afectarà degut al seu baix nivell (-50 dB de diferència respecte del senyal d'interès).

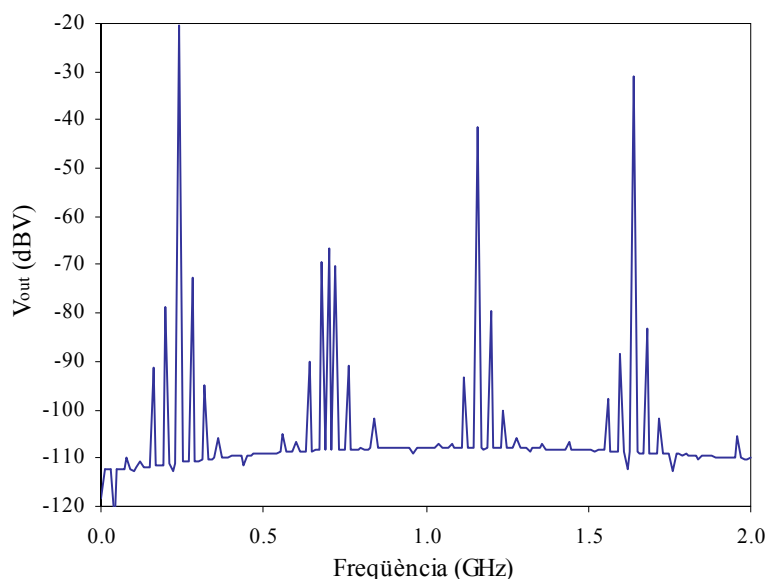


Figura 3.17: Espectre de la sortida del mesclador sota prova, en mode test.

3.4.2.- Test estructural

Amb aquesta estratègia es vol comprovar si la tècnica de test $i_{DD}(t)$ combinada amb la generació dels vectors de test, emprant la circuiteria addicional de test (descrita en l'apartat anterior), és útil alhora de detectar falles en un sistema d'alta freqüència.

Per a analitzar l'eficàcia de la tècnica proposada, s'ha simulat el circuit sense falles i amb cadascuna de les falles per separat (Taula 3.3 i Taula 3.4). Amb els valors de les observables, obtinguts amb el cas del circuit sense falles, s'ha calculat la mitja (μ_0) i la desviació típica (σ_0) de totes les observables: $V_{out,pp}$, $I_{SS,DC}$ i $I_{SS,pp}$. Aquestes dades han servit per a determinar els marges de tolerància, definits com dues vegades la desviació típica al voltant de la mitja (respecte de cada observable) i avaluar la detectabilitat de cada falla induïda.

$V_{out,DC}$ no s'ha tingut en compte degut a que, en principi, a la sortida no hi hauria d'aparèixer component contínua (tot i que en un circuit defectuós hi podria aparèixer, aquesta observable de test no es tindrà en compte).

Per a realitzar les simulacions del mesclador s'ha utilitzat el programa SpectreRF de CADENCE. Aquestes simulacions s'han fet mitjançant un anàlisi de Monte Carlo de 100 iteracions, amb el circuit mesclador configurat en mode test (Figura 3.7).

Els resultats de les simulacions es mostren en la Taula 3.15 i la Taula 3.16. La Taula 3.15 mostra els resultats de les simulacions de les falles tipus *Short*, mentre que la Taula 3.16 presenta els resultats de les falles *Open*. En tots dos casos, es mostren les dades de manera estadística i els valors s'expressen en mV o mA, segons l'observable indicada. El cas de la Falla 0, mostra les estadístiques de les observables amb el circuit configurat sense cap falla.

La probabilitat de detecció de cada falla, amb cadascuna de les observables i combinacions d'aquestes, es mostra en la Taula 3.17 i la Taula 3.18. La Taula 3.19 sintetitza els resultats d'aquestes dues taules.

TAULA 3.15

VALORS DE LES OBSERVABLES EN FUNCIÓ DE LA FALLA *SHORT* SELECCIONADA
Tensions en mV. Corrents en mA.

Falla	$V_{out,pp}$		$I_{SS,DC}$		$I_{SS,pp}$	
	μ	σ	μ	σ	μ	σ
0	113.8	16.22	14.95	0.629	2e-4	1e-4
1	12.08	2.522	13.21	0.396	0.011	0.008
2	7e-4	4e-4	8.764	0.038	4e-4	2e-4
3	14.24	6.923	13.61	0.288	2e-4	2e-4
4	60.43	9.405	14.76	0.702	2e-4	1e-4
5	8e-4	4e-4	8.695	0.453	4e-5	8e-7
6	32.01	11.21	13.83	0.314	3e-4	3e-4
7	14.19	6.951	13.61	0.287	2e-4	1e-4
8	0.056	0.041	8.385	0.091	0.003	0.003
9	0.039	0.022	8.385	0.091	0.003	0.003
10	0.948	0.165	14.95	0.633	3e-4	2e-4
11	18.56	3.285	14.96	0.633	3e-4	1e-4
12	108.6	17.40	11.38	0.768	0.511	0.068
13	82.34	12.35	34.40	2.786	2.415	0.412
14	82.35	12.34	34.40	2.787	2.415	0.412
15	2.689	0.996	12.89	0.432	2e-4	2e-4
16	6.864	2.088	14.96	0.632	3e-4	2e-4
17	0.057	0.042	8.385	0.091	0.003	0.003
18	43.33	6.134	14.55	0.710	0.088	0.012
19	43.34	6.143	14.55	0.710	0.088	0.012
20	2e-5	3e-6	1.422	1e-6	3e-6	1e-6

TAULA 3.16

VALORS DE LES OBSERVABLES EN FUNCIÓ DE LA FALLA *OPEN* SELECCIONADA
Tensions en mV. Corrents en mA.

Falla	$V_{out,pp}$		$I_{SS,DC}$		$I_{SS,pp}$	
	μ	σ	μ	σ	μ	σ
0	113.8	16.22	14.95	0.629	2e-4	1e-4
1	107.3	17.74	14.75	0.525	0.113	0.049
2	114.7	16.38	14.95	0.628	0.004	0.002
3	107.7	15.43	14.93	0.620	0.031	0.021
4	46.60	8.657	14.43	0.482	2e-4	2e-4
5	112.7	15.99	14.94	0.627	0.008	0.002
6	109.7	15.95	14.95	0.629	0.004	0.002
7	106.8	15.05	14.94	0.631	2e-4	1e-4
8	50.31	6.994	11.49	1.456	0.193	0.040
9	43.19	7.937	13.79	0.663	0.131	0.025
10	12.74	7.952	13.57	0.326	1e-4	2e-4
11	104.44	15.40	14.95	0.630	2e-4	1e-4
12	83.04	17.66	13.02	0.594	2e-4	7e-5
13	79.05	12.61	14.06	27.98	0.140	0.032
14	107.0	15.67	13.76	0.241	0.242	0.041
15	109.7	15.95	14.95	0.630	0.004	0.002
16	91.15	13.01	14.20	6.585	0.451	0.660
17	0.275	2.699	10.99	0.635	3e-6	7e-6
18	90.67	14.69	15.15	7.481	0.569	0.806
19	1.105	10.67	9.556	13.02	0.003	0.027
20	0.001	0.001	7.547	0.078	7e-6	2e-6
21	41.46	9.377	13.89	0.870	0.122	0.031
22	113.2	16.32	14.95	0.631	3e-4	2e-4
23	114.1	16.30	14.95	0.628	0.018	0.009
24	88.99	12.72	14.73	0.610	1e-4	1e-4

TAULA 3.17

PROBABILITAT DE DETECTAR FALLA *SHORT* (%)

Falla	V _{out,pp}	I _{SS,DC}	I _{SS,pp}	I _{SS,DC} & I _{SS,pp}	V _{out,pp} & I _{SS,DC}
F0	1.00	1.00	3.00	4.00	2.00
F1	100	88.0	100	100	100
F2	100	100	22.0	100	100
F3	100	54.0	6.00	56.0	100
F4	99.0	8.00	3.00	11.0	99.0
F5	100	100	0.00	100	100
F6	100	31.0	17.0	45.0	100
F7	100	55.0	4.00	56.0	100
F8	100	100	96.0	100	100
F9	100	100	96.0	100	100
F10	100	1.00	10.0	11.0	100
F11	100	1.00	9.00	10.0	100
F12	2.00	100	100	100	100
F13	52.0	100	100	100	100
F14	52.0	100	100	100	100
F15	100	96.0	8.00	97.0	100
F16	100	1.00	10.0	11.0	100
F17	100	100	96.0	100	100
F18	100	15.0	100	100	100
F19	100	15.0	100	100	100
F20	100	100	0.00	100	100

TAULA 3.18

PROBABILITAT DE DETECTAR FALLA *OPEN* (%)

Falla	V _{out,pp}	I _{SS,DC}	I _{SS,pp}	I _{SS,DC} & I _{SS,pp}	V _{out,pp} & I _{SS,DC}
F0	1.00	1.00	3.00	4.00	2.00
F1	8.00	1.00	100	100	9.00
F2	2.00	1.00	97.0	98.0	3.00
F3	0.00	1.00	99.0	100	1.00
F4	100	9.00	7.00	16.0	100
F5	0.00	1.00	100	100	1.00
F6	1.00	1.00	100	100	2.00
F7	0.00	1.00	3.00	4.00	1.00
F8	100	90.0	100	100	100
F9	100	59.0	100	100	100
F10	100	66.0	12.0	68.0	100
F11	0.00	1.00	4.00	5.00	1.00
F12	51.0	85.0	1.00	85.0	85.0
F13	62.0	11.0	100	100	68.0
F14	0.00	39.0	100	100	39.0
F15	1.00	1.00	100	100	2.00
F16	29.0	91.0	100	100	93.0
F17	100	100	0.00	100	100
F18	36.0	93.0	100	100	95.0
F19	99.0	100	2.00	100	100
F20	100	100	0.00	100	100
F21	100	42.0	99.0	100	100
F22	0.00	1.00	10.0	11.0	1.00
F23	1.00	1.00	100	100	2.00
F24	34.0	4.00	1.00	5.00	35.0

Els valors indicats en la Taula 3.19 provenen de fer el promig de la probabilitat de detecció en funció de les observables de test utilitzades, igual que en el cas de la Taula 3.11.

Comparant els resultats de la Taula 3.11 i la Taula 3.19 es pot veure que l'observable de tensió ($V_{out,pp}$), tot i augmentar la seva efectivitat amb les falles tipus *Short*, és menys efectiva amb els *Open*. Les observables de test extrems del corrent de consum ($I_{SS,DC}$ i $I_{SS,pp}$) mantenen una efectivitat comparable, tant si s'empren soles com combinades. Finalment, combinar les observables $V_{out,pp}$ i $I_{SS,DC}$, permet millorar considerablement el percentatge de detecció dels *Shorts*, però provoca que els *Opens* siguin més difícils de detectar.

TAULA 3.19

Observables	PERCENTATGE TOTAL FALLES DETECTADES	
	Probabilitat de detecció (%)	
	<i>Shorts</i>	<i>Opens</i>
$V_{out,pp}$	85.25	38.08
$I_{SS,DC}$	63.25	36.96
$I_{SS,pp}$	58.85	47.17
$I_{SS,DC}$ & $I_{SS,pp}$	74.85	65.75
$V_{out,pp}$ & $I_{SS,DC}$	99.95	46.88

3.4.3.- Test predictiu

Amb aquesta estratègia de test es vol estudiar si la tècnica de test millorada, permeten estimar de manera acceptable algunes de les característiques del mesclador que s'ha dissenyat: el guany de conversió (G_C) i el punt de compressió d'1dB d'entrada ($IP1dB$).

Les observables de test escollides per a realitzar les prediccions han estat: la tensió pic a pic de la sortida ($V_{out,pp}$), i les components DC i pic-a-pic del corrent de terra ($I_{SS,DC}$ i $I_{SS,pp}$).

Les simulacions del circuit, per a calcular les seves característiques funcionals i per a trobar els valors de les observables de test, s'han realitzat amb el programa SpretreRF. Aquestes simulacions consisteixen en un anàlisi de Monte Carlo.

Amb el circuit configurat en mode normal de funcionament s'ha calculat el guany de conversió i el punt de compressió d'1 dB del mesclador. Configurant el circuit mesclador en mode test s'han obtingut les observables de test (estadístiques de les dades en la Taula 3.15, Falla 0) necessàries en els càlculs de les funcions de regressió. 100 mostres han servit per a entrenar el predictor i generar les funcions de regressió f_{id} .

Altres 100 mostres han servit per a comprovar la bondat de les funcions de regressió anteriorment calculades (mirar l'apartat 2.3.3).

Un cop realitzades les simulacions, i calculades les funcions de correlació, en la Figura 3.18 i la Figura 3.19 es mostra la comparació entre els valors predits i calculats del G_C i de l' $IP1dB$, emprant dues observables de test en la predicció ($V_{out,pp}$ i $I_{SS,DC}$).

La Taula 3.20 mostra les correlacions i els errors de predicció depenent de les observables de test utilitzades. En la taula es pot observar l'efecte de que tenen sobre la correlació, les diferents observables de test, així com l'increment de la correlació al augmentar el nombre d'observables utilitzades en les estimacions.

De la Taula 3.20 es pot observar que la millor observable de test per a predir el guany és $V_{out,pp}$. Mentre que el corrent $I_{SS,DC}$ és la millor observable per a predir

l'IP1dB. En el cas d'utilitzar dues observables per a realitzar la predicció, emprant $V_{out,pp}$ i $I_{SS,DC}$ n'hi ha prou per a aconseguir una estimació acceptable de les dues característiques funcionals.

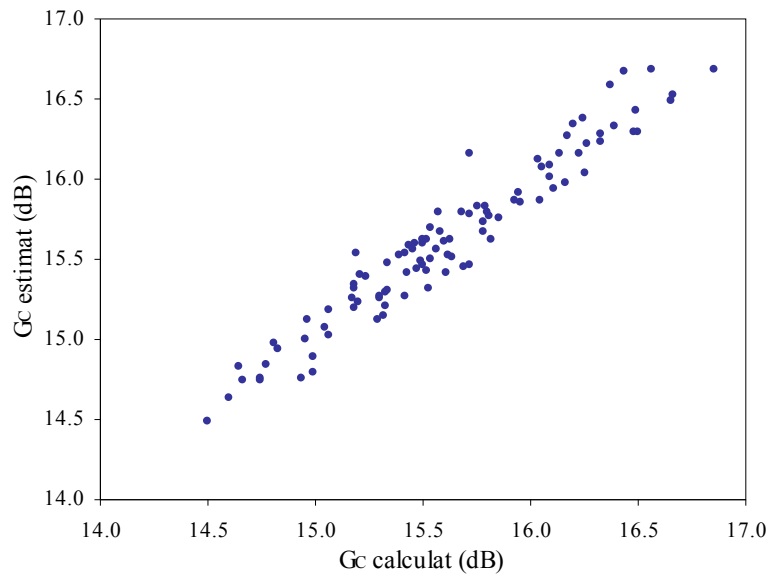


Figura 3.18: Correlació entre el G_C estimat i el calculat, utilitzant $V_{out,pp}$ i $I_{SS,DC}$ com a observable de test.

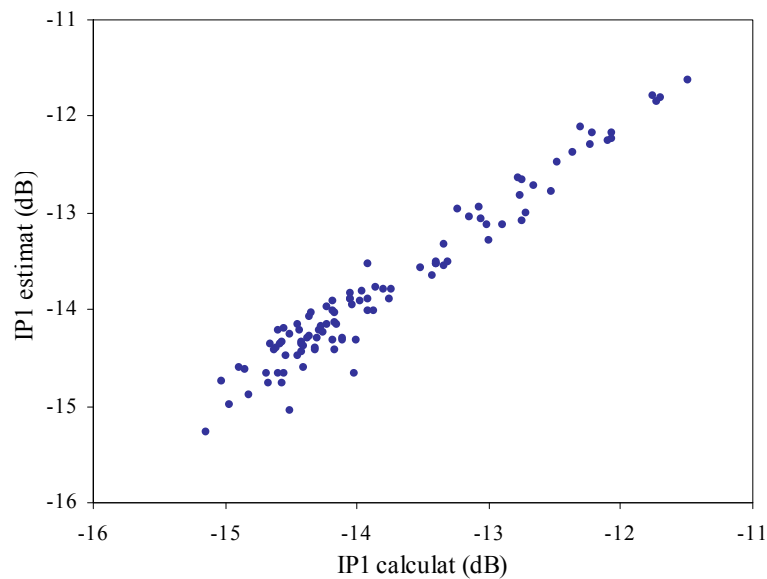


Figura 3.19: Correlació entre l'IP1dB estimat i calculat, utilitzant $V_{out,pp}$ i $I_{SS,DC}$ com a observables de test.

TAULA 3.20

CORRELACIONS I ERRORS (% RMS) DE PREDICCIÓ EN FUNCIÓ DE LES OBSERVABLE DE TEST				
Observables de test	G_C		IP1dB	
	r	ϵ	r	ϵ
$V_{out,pp}$	0.85	3.20	0.33	6.37
$I_{SS,DC}$	0.53	5.06	0.92	2.48
$I_{SS,pp}$	0.15	5.97	0.16	6.73
$I_{SS,DC}$ & $I_{SS,pp}$	0.56	4.95	0.92	2.46
$V_{out,pp}$ & $I_{SS,DC}$	0.96	1.51	0.97	1.38

3.5.- Conclusions

En aquest capítol s'han exposat dues tècniques per a generar els vectors de test, per a verificar el funcionament un mesclador RF. La primera consisteix en utilitzar el senyal de l'oscil·lador local atenuat com a senyal de test. La segona tècnica genera un senyal de test, a la mateixa freqüència del senyal d'entrada del mesclador en mode normal de funcionament. Per a comparar aquestes dues tècniques s'han emprat les estratègies de test estructural i predictiu. En tots dos casos, les observables de test usades han estat les mateixes: les components de la tensió de sortida i el corrent de consum, amb el circuit configurat en mode test.

En el cas de la tècnica de test directa, el senyal de test s'obté atenuant el senyal de l'oscil·lador local fins als -30 dBm. Les observables de test que s'han considerat són: el senyal de sortida i el corrent d'alimentació ($V_{out,DC}$, $V_{out,pp}$, $I_{SS,DC}$ i $I_{SS,pp}$). Aquesta tècnica permet obtenir una cobertura de test acceptable amb l'estratègia estructural (aproximadament del 84 % per les falles tipus *Short*, i del 70 % per les *Open*). Les estimacions calculades, aplicant test predictiu, també són bones ($r = 0.95$ per a la predicció del guany i $r = 0.97$ per a la predicció de l'*IP1dB*). El principal inconvenient d'aquesta tècnica és l'elevada freqüència del senyal de sortida ($2 \cdot f_{OL}$). Per a evitar els problemes que provoca l'elevada freqüència del senyal de test, s'ha dissenyat una altra tècnica.

La tècnica de test millorada que es proposa genera el senyal de test a partir del senyal de l'oscil·lador local i un senyal IF de test. La circuiteria necessària per a implementar aquesta tècnica és: un generador IF i un mesclador auxiliar. El generador IF és controlable per tensió i genera el senyal IF de test. El mesclador auxiliar produeix el senyal RF de test combinant el senyal IF de test amb el senyal de l'oscil·lador local. El nivell de la sortida d'aquest mesclador és programable per a disposar de diferents nivells a la seva sortida (-30, -20 i -10 dBm). L'àrea de tota aquesta circuiteria destinada al test és del 5.4 % respecte l'àrea que ocupa el mesclador que s'ha testat. Les observables de test que s'han considerat són: el senyal de sortida i el corrent de massa ($V_{out,pp}$, $I_{SS,DC}$ i $I_{SS,pp}$). Aquesta tècnica permet obtenir una cobertura de falles i unes prediccions d'eficàcia comparables a la tècnica que genera els vectors de test a partir del senyal de l'oscil·lador local atenuat. Tot i ser més complexa que aquesta, permet testar el circuit en un mode semblant al seu mode normal de treball.

Les diferències més destacables es detecten aplicant el test estructural. En la tècnica de test millorada, l'observable de la tensió ($V_{out,pp}$) és més efectiva a l'hora de detectar *Shorts*, malauradament, la detecció d'*Opens* empitjora considerablement. Les observables del corrent de terra ($I_{SS,DC}$ i $I_{SS,pp}$) tenen una eficàcia comparable en les dues tècniques. En el cas de combinar $V_{out,pp}$ i $I_{SS,DC}$, (utilitzant la tècnica millorada), la detecció de *Shorts* augmenta de manera significativa però la detecció d'*Opens* es fa més complicada.

Aquest augment de l'error comès en alguns casos també pot ser atribuïble a la incertesa introduïda pel mesclador auxiliar. Per a realitzar les simulacions d'aquest capítol s'ha emprat un OL ideal i un generador IF ideal (tot i que el generador IF ha estat implementat, per a facilitar les simulacions també ha estat substituït per un ideal). Per tant, en la primera tècnica proposada, el senyal de test ha estat ideal, mentre que en la segona tècnica mostrada, el mesclador auxiliar també introdueix un cert error al procés de test.

A primera vista, el descens en la detecció de les falles tipus *Open* pot semblar un gran desavantatge de la tècnica de test millorada. A la pràctica, tot i no ser un efecte desitjable, l'augment en la detecció de *Shorts* pot arribar a compensar-ho. En el procés de fabricació d'un circuit integrat, la majoria de defectes estan relacionats amb falles tipus *Short*. Les falles tipus *Open*, tot i ser-hi presents, acostumen a produir un percentatge relativament petit dels circuits defectuosos [23] [56].

Tot i els desavantatges que presenta, la tècnica de test millorada (pèrdua qualitativament gran en la detecció dels *Opens*, o necessitat d'una circuiteria més complexa) té el gran avantatge de poder testar el mesclador sota condicions semblants al seu mode normal de funcionament.

Finalment, aquesta tècnica millorada té dos avantatges addicionals: permet utilitzar la mateixa circuiteria de test per a tots els blocs d'un capçal RF (reducció de circuiteria de test), i la tensió de test a mesurar és de freqüència baixa.

4.- Aplicacions a un Amplificador de Baix Soroll

4.1.- L'amplificador de baix soroll

El segon exemple escollit, per a comprovar la eficàcia de la tècnica millorada (implementada amb el generador IF i el mesclador auxiliar), ha estat un amplificador de baix soroll (*low noise amplifier*, LNA). Aquesta comprovació és el pas previ abans de provar aquesta tècnica sobre tot el capçal RF d'un receptor.

4.1.1.- Circuit amplificador

L'amplificador de baix soroll utilitzat ha estat un LNA CMOS cascode amb degeneració inductiva de Surtidor [99]. El circuit emprat es mostra en la Figura 4.1.

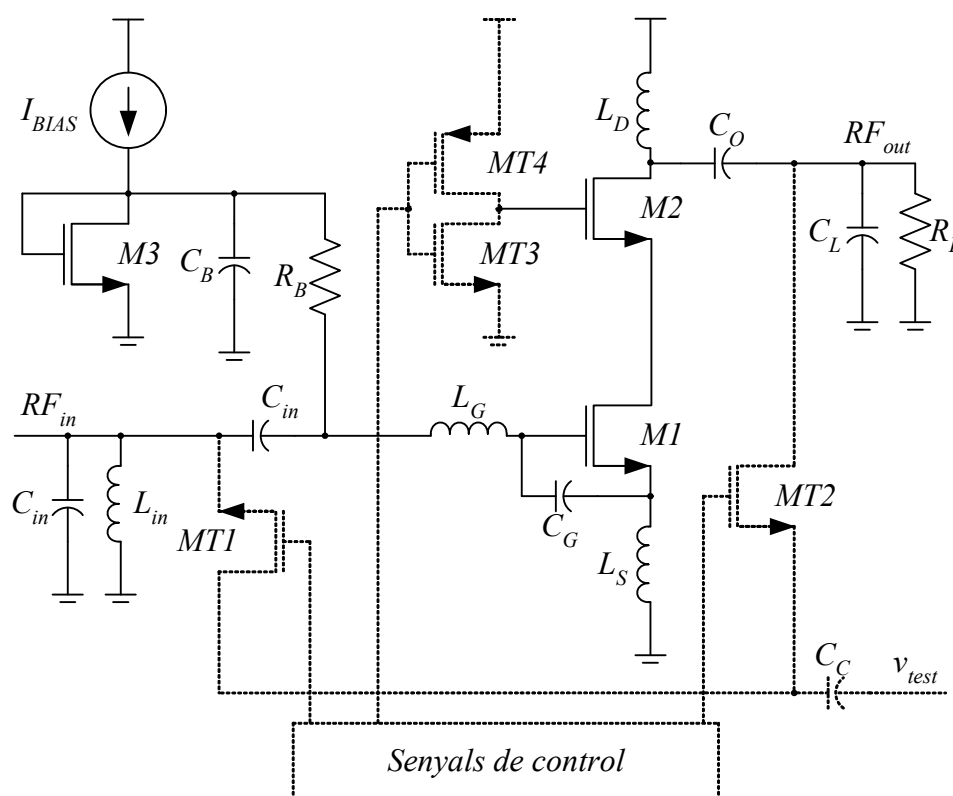


Figura 4.1: Esquema de l'LNA. La circuiteria addicional de test està indicada amb línies discontinuades.

Els transistors $M1$ i $M2$ formen una etapa cascode, mentre que $M3$ fixa el corrent de polarització del cascode. $MT1$ i $MT2$ són transistors de pas, que permeten introduir en el circuit els senyals necessaris per a testar l'LNA o l'etapa següent (respectivament). $MT3$ i $MT4$ deshabiten el transistor $M2$ per a poder testar l'etapa següent, amb l'LNA desactivat. C_G s'ha afegit per a millorar la impedància d'entrada, tal com es suggereix en [100].

Aquest LNA ha estat dissenyat per a obtenir el mínim soroll, el seu procés de disseny es mostra en l'annex III. Els valors obtinguts estan resumits en la Taula 4.1. La

Taula 4.2 mostra les principals característiques funcionals del LNA i els efectes de la circuiteria addicional de test.

TAULA 4.1

VALORS DELS ELEMENTS DE L'LNA DISSENYAT
 L_G integrada en un 13.5 % on xip (4 nH).

Paràmetre	Valor	Unitats
M1	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M2	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M3	20 / 0.35	$\mu\text{m} / \mu\text{m}$
MT1	40 / 0.35	$\mu\text{m} / \mu\text{m}$
MT2	40 / 0.35	$\mu\text{m} / \mu\text{m}$
MT3	100 / 0.35	$\mu\text{m} / \mu\text{m}$
MT4	300 / 0.35	$\mu\text{m} / \mu\text{m}$
I_{BIAS}	250	μA
R_B	5.0	$\text{k}\Omega$
C_B	8.63	pF
C_G	350	fF
L_D	10.2	nH
L_S	0.9	nH
L_G	29.6	nH

TAULA 4.2

CARACTERÍSTIQUES DE L'LNA DISSENYAT

Paràmetre	LNA inicial	LNA modificat	Unitats
Alimentació	3.0	3.0	V
Consum	5.65	5.63	mA
NF	1.97	2.11	dB
S11	-43.92	-42.10	dB
S12	-50.89	-50.71	dB
S21	20.90	19.69	dB
S22	-23.97	-26.16	dB
IP1dB	-17.50	-15.85	dBm
IP3	-11.32	-8.74	dBm

4.2.- Test estructural

L'estratègia de test estructural ha estat utilitzada per a determinar si la tècnica millorada (implementada amb el generador IF i el mesclador auxiliar) de test proposada en l'apartat anterior és adequada per a verificar un LNA. En aquest cas, per a testar l'LNA s'emprarà la tècnica basada en tres tons [101] [102]. Aquesta tècnica consisteix en mesurar la resposta de l'LNA a tres tons del mateix nivell de senyal (-35 dBm), i de diferent freqüència, com il·lustra a la Figura 4.2. Un to situat en el centre de la banda RF de l'LNA ($f_2 = 940$ MHz), i dos més situats a 100 MHz a banda i banda dels 940 MHz ($f_1 = 840$ i $f_3 = 1040$ MHz). La freqüència d'aquests dos tons coincideix, aproximadament, amb una caiguda de 3 dB (Figura 4.2) del guany respecte de la freqüència central (940 MHz). Aquests tons s'aconsegueixen ajustant la freqüència de l'oscil·lador local, i només durant el procés de test.

En aquest cas, es volen aconseguir les observables de test emprant un sol punt de mesura, situat en la sortida del LNA. Les observables escollides són la relació entre les tensions mesurades a les freqüències de 840 i 1040 MHz respecte la de 940 MHz,

$v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$. En els dos apartats següents, s'estudiarà la capacitat de detecció de falles, que tenen aquestes dues observables de test, segons el tipus de falla.

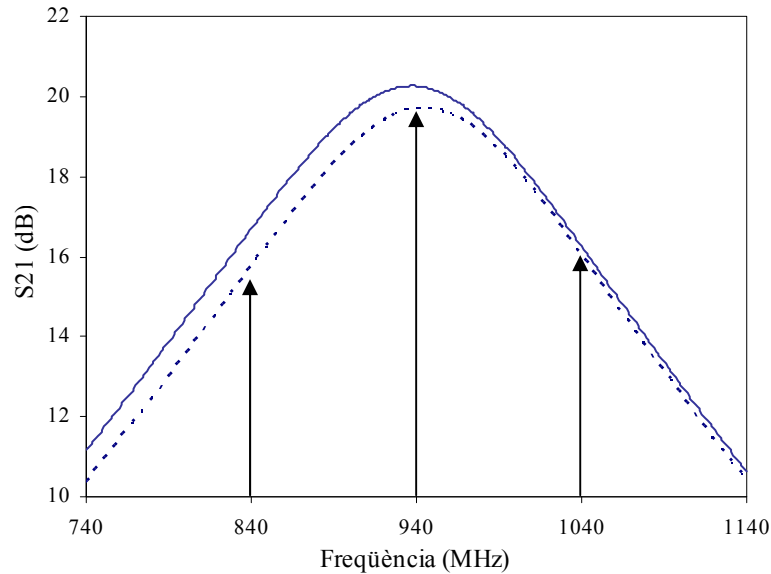


Figura 4.2: Resposta freqüencial de l'LNA (-), i l'LNA en mode test (--); i els tres tons utilitzats en la tècnica de test.

4.2.1.- Cas 1: falles catastròfiques i paramètriques

El primer estudi que s'ha realitzat, per a comprovar si la tècnica de test millorada permet testar un LNA amb una bona cobertura de test, és analitzar la capacitat per detectar falles catastròfiques i paramètriques.

Per a determinar l'efectivitat de la tècnica millorada, aquesta ha estat comparada amb la tècnica proposada per Gopalan et al. en [101]. En aquesta segona tècnica, igual que en la tècnica millorada, els senyals de test d'entrada són de tres freqüències diferents. La diferència està en que aquesta segona tècnica també té un punt de test a l'entrada del circuit. Aleshores, les observables de test que utilitza (segons la notació que emprava Gopalan) són:

$$\frac{v_o}{v_i}(f_1) - \frac{v_o}{v_i}(f_2)$$

$$\frac{v_o}{v_i}(f_3)$$

Per a simplificar la notació i adaptar-la a la tècnica millorada, s'ha optat per a anomenar a les observables de test: $v(f_1) - v(f_3)$ i $v(f_2)$. D'aquesta manera, $v(f_i)$ representa la relació entre la tensió de sortida i d'entrada per a una freqüència "i". A on la freqüència "i" serà de 840, 1040 i 940 MHz, respectivament.

La situació de les falles escollides, dintre del circuit, es mostra en la Figura 4.3. En la figura només s'indiquen els nodes (indicant amb un punt) i els elements (indicats amb línies discontinues) que presentin algun tipus de falla. El llistat complet de falles es

mostra en la Taula 4.3. En total s'han definit 24 falles [21]: 12 falles catastròfiques i 12 falles paramètriques.

Pel cas de les falles catastròfiques, els *Hard Opens* s'han modelat mitjançant un condensador d'1 fF, i els *Shorts* s'han simulat amb una resistència de 10 Ω , entre els nodes implicats. Les falles paramètriques han estat simulades variant (en %) el valor de l'element afectat per la falla (amplada dels transistors, valor de les bobines i condensadors, i corrent de polarització), o amb una resistència de 100 Ω pel cas de simular *Soft Opens*.

Per a fer les simulacions, s'ha utilitzat el programa SpectreRF. Primer s'ha realitzat una simulació de Monte Carlo de 100 iteracions, modificant els paràmetres tecnològics del circuit segons les dades proporcionades pel fabricant. Aquesta anàlisi ha permès trobar els valors $v(f_1)$, $v(f_2)$ i $v(f_3)$, per a l'LNA sense cap falla configurada, i calcular l'àrea en que el circuit funciona correctament (àrea d'acceptació) per a les dues tècniques estudiades.

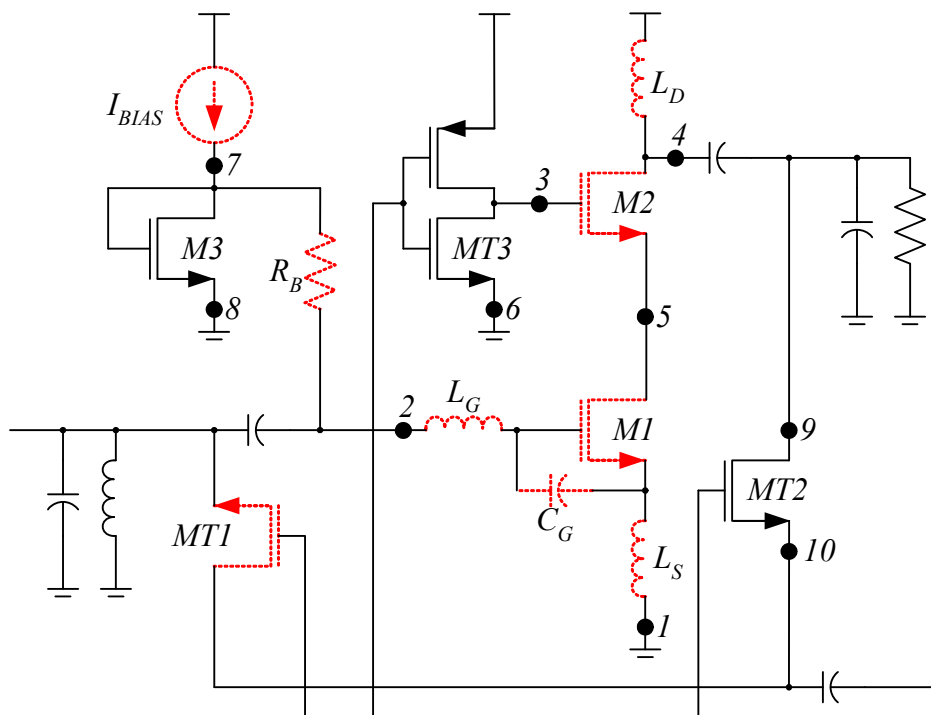


Figura 4.3: Esquema de l'LNA amb els elements i nodes afectats per alguna falla.

TAULA 4.3

LLISTA DE FALLES

Hard Open (HO). *Short* (S). *Soft Open* (SO). Node (N). Amplada del transistor (W).

Falles catastròfiques						Falles paramètriques					
Núm	Element	Tipus	Núm	Element	Tipus	Núm	Element	Tipus	Núm	Element	Tipus
1	L_S	HO	7	N 3 – 6	S	13	L_D	-25%	19	W M1	-25%
2	L_G	HO	8	N 7 – 8	S	14	L_D	-50%	20	W MT1	-25%
3	C_G	S	9	N 9 – 10	S	15	L_G	-50%	21	W M2	-25%
4	R_B	S	10	N 4 – 5	S	16	C_G	-50%	22	L_G	SO
5	N 3 – 4	S	11	N 5	HO	17	I_{BIAS}	-50%	23	L_S	SO
6	N 3 – 5	S	12	N 7	HO	18	I_{BIAS}	-40%	24	N 5	SO

La distribució de les mostres, pel cas d'utilitzar com a observables de test $v(f_2)$ i $v(f_1) - v(f_3)$, s'il·lustra en la Figura 4.4. Mentre que en la Figura 4.5 es poden veure els punts pel cas d'emprar $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$ com a observables de test. La Figura 4.6 mostra amb més detall la zona definida per les simulacions sense falles.

Per a poder comparar la cobertura de detecció de totes dues tècniques, s'ha calculat l'àrea d'acceptació dels dos casos. Aquesta àrea ha estat definida com una superfície rectangular amb el 95 % de les mostres sense falles, de les simulacions de Monte Carlo, incloses en el seu interior.

Una vegada l'àrea ha estat especificada, s'han simulat totes les falles (indicades en la Taula 4.3). La Figura 4.4 i la Figura 4.5 mostren els resultats de les simulacions de Monte Carlo anteriors (●), juntament amb les simulacions del circuit amb falles induïdes (○).

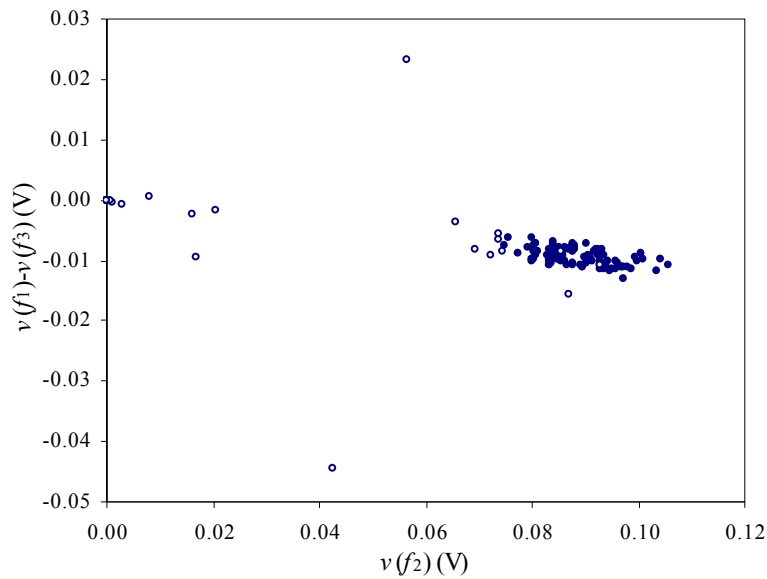


Figura 4.4: Relació entre les dues observables de test $v(f_2)$ i $v(f_1) - v(f_3)$. (●) Circuit sense falles i (○) circuits amb falles.

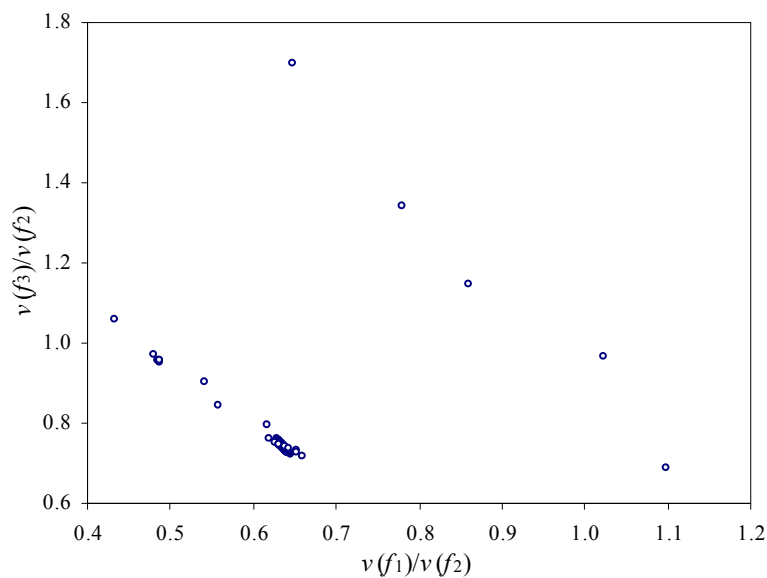


Figura 4.5: Relació entre les dues observables de test $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$. (●) Circuit sense falles i (○) circuits amb falles.

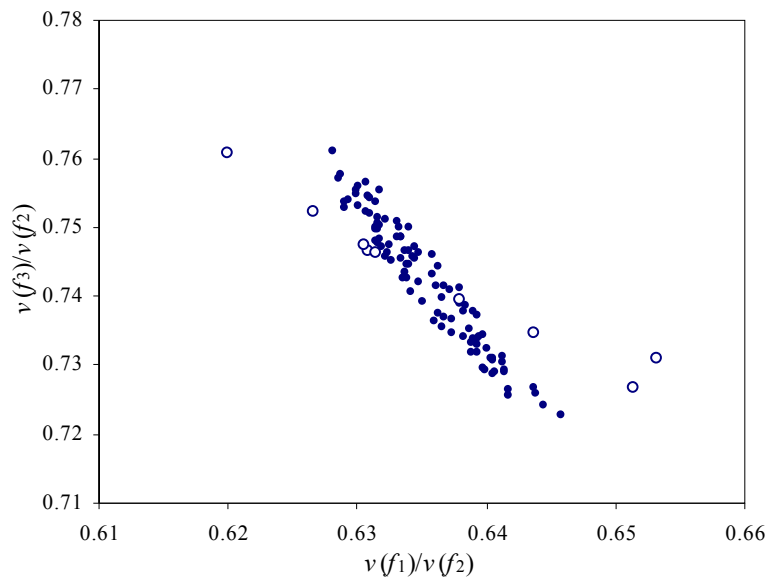


Figura 4.6: Relació entre les dues observables de test $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$. (•) Circuit sense falles i (◦) circuits amb falles. Ampliació de la Figura 4.5.

La Taula 4.4 mostra la cobertura de falles que té cadascuna de les tècniques utilitzades. Com es pot veure, la cobertura d'ambdues és la mateixa. L'avantatge de les observades que es proposen, $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$, és que no els afecten les fluctuacions de la tensió del senyal de test.

En la Taula 4.4 també es pot veure que, en tots dos casos, la detecció de les falles catastròfiques és del 100 %, mentre que hi ha dues falles paramètriques que no es poden detectar. La falla 15 és una reducció de la inductància de la bobina d'entrada (L_G). Cal recordar que aquesta bobina només està integrada en un 13.5 % on-Chip, i que la variació del -50 % és de la part integrada. Per tant, tal i com es mostra en la Taula 4.4 aquesta és una falla difícil de detectar.

TAULA 4.4

COBERTURA DE TEST I FALLES NO DETECTABLES

Observables de test	Falles catastròfiques		Falles paramètriques	
	Falles no detectades	Cobertura de test (%)	Falles no detectades	Cobertura de test (%)
$v(f_2)$				
$v(f_1) - v(f_3)$	–	100	15, 16	92
$v(f_1)/v(f_2)$				
$v(f_3)/v(f_2)$	–	100	15, 18	92

4.2.2.- Cas 2: dispersió de falles paramètriques

En l'apartat anterior s'ha demostrat l'efectivitat de les observables de test escollides, en la detecció de falles. Encara que es poden detectar totes les falles catastròfiques considerades, hi ha falles paramètriques que són indetectables. En aquest apartat es deixa de banda els casos de falles catastròfiques, les quals tenen una alta

cobertura de detecció, i es centra en estudiar els límits de detecció de les falles paramètriques degudes al procés de fabricació.

A l'LNA, representat en la Figura 4.1, se li han definit un conjunt de 3 tipus de falles paramètriques: variacions en les amplades dels transistors, variacions en el valor d'algun dels elements del circuit (no transistors), i variacions del valor de 5 *Soft-Opens*. La Figura 4.7 indica la posició de cadascuna de les falles definides, i la llista de les falles es pot veure en la Taula 4.5. En la Figura 4.7, les variacions en els components es mostren amb l'element dibuixat amb línies discontinües, i els *Soft-Opens* amb un punt i la seva corresponent etiqueta numèrica.

Les variacions de les amplades dels transistors s'han definit entre el 10 i el 100 % del seu valor nominal (veure Taula 4.1), com també les variacions d'alguns dels altres elements que formen el circuit. Les variacions en les amplades dels transistors simulen una falla tipus *Open* situada en alguna (o diverses) portes del transistors, implementat amb multifinger [103]. Els *Soft-Opens* s'han modelat amb una resistència variable entre 1 mΩ i 1 kΩ [21].

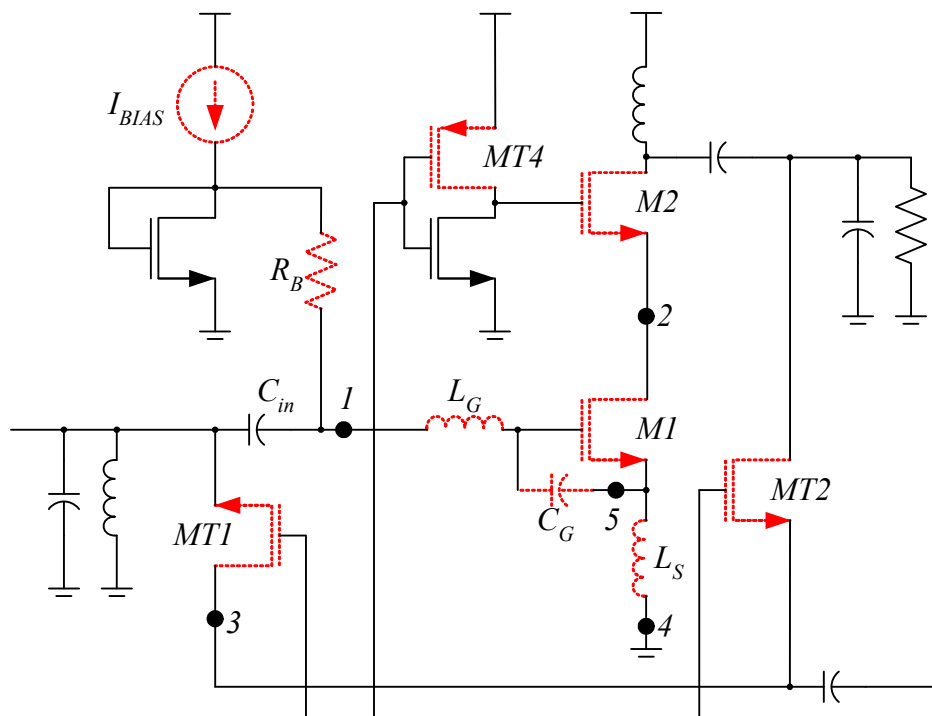


Figura 4.7: Esquema de l'LNA amb els elements i nodes afectats per alguna falla.

TAULA 4.5

LLISTA DE FALLES

Falla	Paràmetre	Falla	Paràmetre	Falla	Paràmetre
1	W (M1)	6	L_G	11	R_{Node1}
2	W (M2)	7	L_S	12	R_{Node2}
3	W (MT1)	8	C_G	13	R_{Node3}
4	W (MT2)	9	R_B	14	R_{Node4}
5	W (MT4)	10	I_{BIAS}	15	R_{Node5}

Per a realitzar les simulacions necessàries s'ha emprat el programa SpectreRF. El circuit amplificador, configurat en mode test, s'ha simulat amb un anàlisi de Monte Carlo de 100 iteracions, per cadascuna de les falles definides.

Primer s'ha simulat el circuit amplificador sense cap falla configurada per a cercar el comportament del circuit sense falles. La distribució de les dues observables de test, calculades a partir dels valors de sortida de l'LNA, i la seva relació es mostren en la Figura 4.8 i la Figura 4.9, respectivament.

Com es pot veure en la Figura 4.9, $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$ tenen una forta correlació entre elles, i permet definir una àrea regular (àrea d'acceptació, AA) que contingui el 95 % dels punts de l'anàlisi de Monte Carlo. Però definir aquesta àrea, en l'espai de les observables de test no és simple. Per aquest motiu s'ha utilitzat l'anàlisi de components principals, PCA [104] [105], per a calcular aquesta àrea com un rectangle.

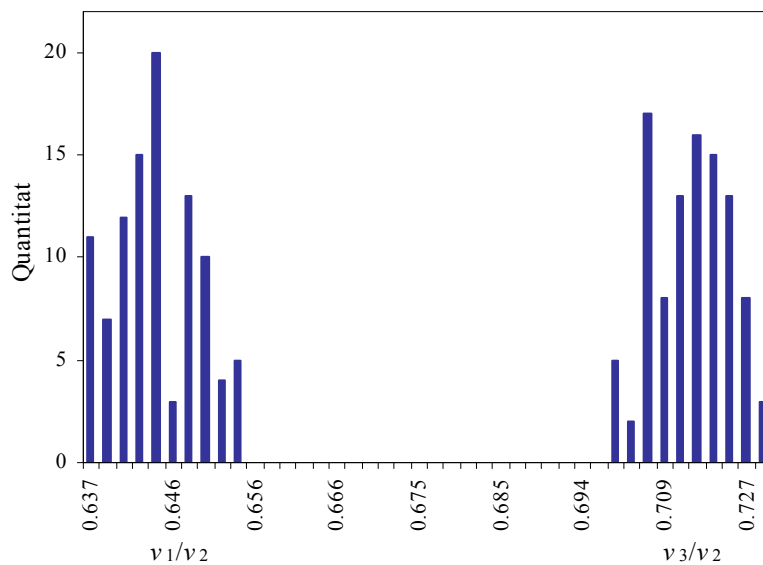


Figura 4.8: Distribució de les dues observables de test del circuit LNA sense falles.

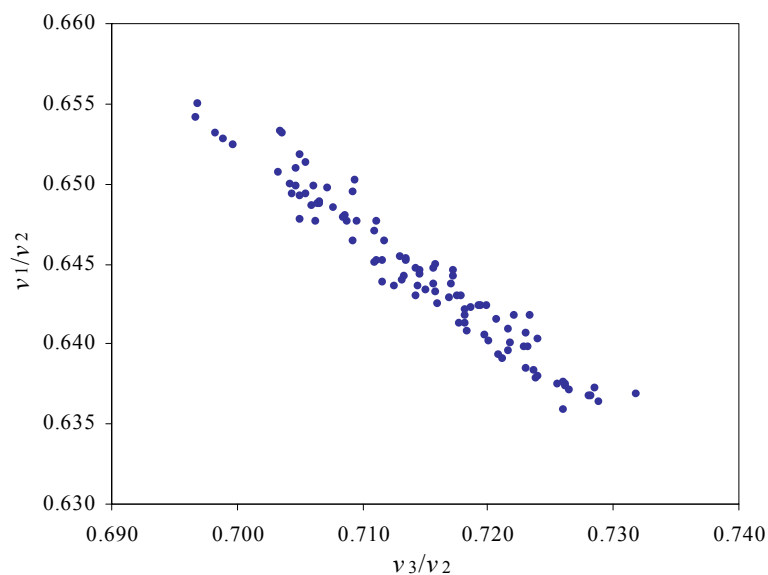


Figura 4.9: Relació entre les dues observables de test del circuit LNA sense falles.

El PCA és una tècnica estadística que permet mapejar un conjunt de dades en una altra base ortogonal, diferent a la cartesiana (o de l'emprada per defecte). Aquesta nova base es defineix amb una combinació lineal dels components de la base original. Definint M_0 com,

$$M_0 = \begin{bmatrix} X \\ Y \end{bmatrix} = \begin{bmatrix} \langle (v(f_1)/v(f_2))_1 & (v(f_1)/v(f_2))_2 & \dots & (v(f_1)/v(f_2))_N \rangle \\ \langle (v(f_3)/v(f_2))_1 & (v(f_3)/v(f_2))_2 & \dots & (v(f_3)/v(f_2))_N \rangle \end{bmatrix} \quad (4.1)$$

A on X i Y són dos vectors formats per les observables de test normalitzades ($\mu = 0$ i $\sigma = 1$), de cadascuna de les iteracions de Monte Carlo, i N és 100, el nombre d'iteracions de Monte Carlo.

Aleshores, els punts en la nova base es poden calcular segons,

$$M'_0 = M_T \cdot M_0 = \begin{bmatrix} a_{11} & a_{12} \\ a_{21} & a_{22} \end{bmatrix} \cdot M_0 \quad (4.2)$$

Els termes a_{ij} són els coeficients que s'han de calcular per a obtenir la matriu de transformació M_T . Per a obtenir-los només s'han de trobar els valors propis i els vectors propis associats de la matriu de covariància dels vectors X i Y ,

$$A = \text{cov}(X, Y) \quad (4.3)$$

Una vegada calculada la matriu de covariàncies A , es calculen els seus valors propis,

$$\det(\lambda I - A) = 0 \quad (4.4)$$

En aquest cas, se'n troben 2. Els vectors propis associats a cadascun d'aquests valors propis es troben utilitzant l'equació següent,

$$(\lambda I - A)\vec{v} = 0 \quad (4.5)$$

Utilitzant els dos valors propis calculats anteriorment, es troben els dos vectors propis associats. Finalment, per a crear la matriu de transformació M_T només cal construir una matriu amb els vectors propis, ordenats en funció del valor (en ordre decreixent) dels valors propis.

Tot aquest procés s'ha realitzat amb el programa Matlab [106]. Aquest programa proporciona les funcions necessàries per a fer un programa que implementi el PCA. Els resultats es mostren en la Figura 4.10.

En la Figura 4.10 es mostren els punts $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$ transformats en la nova base ortogonal. La mitjana dels punts transformats (μ_X i μ_Y) és zero, mentre que la desviació típica és: $\sigma_X = 1.40$ i $\sigma_Y = 0.16$.

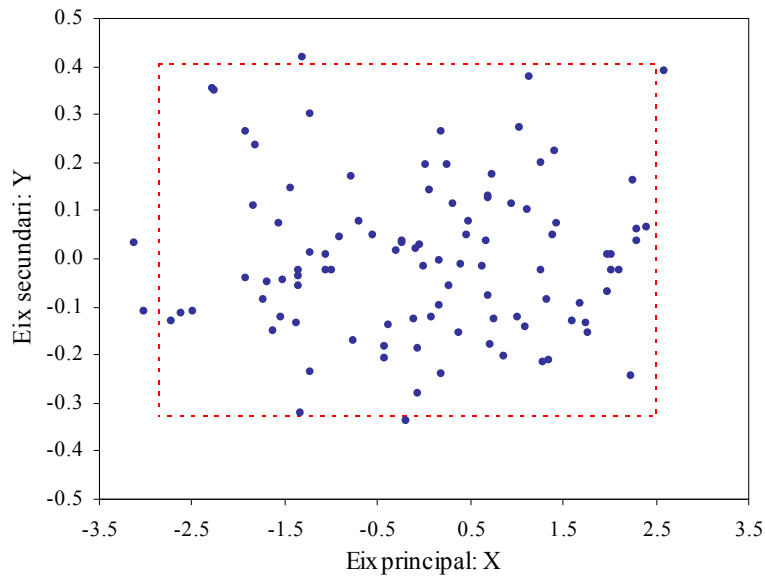


Figura 4.10: Relació de les observables de test transformades amb el PCA i l'àrea d'acceptació (--).

A part, en la Figura 4.10, també s'hi pot veure l'àrea d'acceptació (AA) definida pel rectangle dibuixat amb línies discontinües. Aquest rectangle s'ha definit per a que en el seu interior hi hagi el 95 % dels punts simulats, amb la mínima àrea. Els marges estan limitats pels punts més allunyats respecte del zero, en cadascuna de les possibles direccions. La cerca d'aquesta àrea també s'ha automatitzat utilitzant el programa Matlab.

Un cop s'ha determinat l'àrea d'acceptació, s'ha passat a simular cadascuna de les falles (indicades en la Taula 4.5). Un exemple d'aquests càlculs es mostra en la Figura 4.11, a on es mostren els resultats de la simulació de Monte Carlo, de 100 iteracions, per les variacions paramètriques definides en la falla F5.

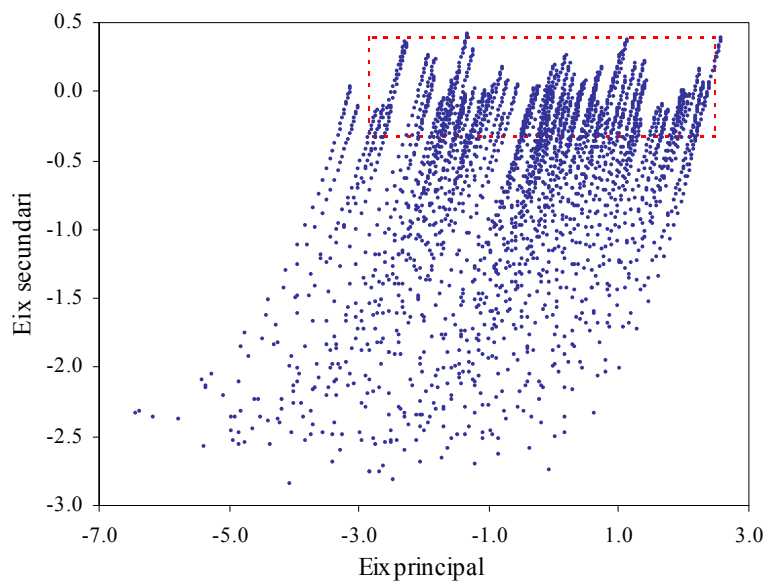


Figura 4.11: Resultats de les simulacions de Monte Carlo de F5, en el domini transformat, i àrea d'acceptació (--).

Degut al gran volum d'informació obtingut a les simulacions, només es mostraran el promig de cadascuna de les falles, en la Figura 4.12, la Figura 4.13 i la Figura 4.14. En totes tres figures també es mostra l'àrea d'acceptació com un rectangle (amb l'etiqueta AA). Aquesta àrea s'ha calculat antitransformant els punts que delimiten l'àrea d'acceptació a l'espai original amb la matriu de transformació inversa, i desnormalitzant.

Per a avaluar la detectabilitat de cadascuna de les falles, cal definir dos paràmetres: el límit de detecció (DL), i el percentatge de detecció (DP). S'ha definit el límit de detecció com, aquella variació de la falla paramètrica (expressada en %) a partir de la qual es pot detectar la falla amb un determinat DP. El percentatge de detecció es defineix com el percentatge de mostres, de cadascuna de les variacions realitzades, que apareixen fora de l'àrea d'acceptació.

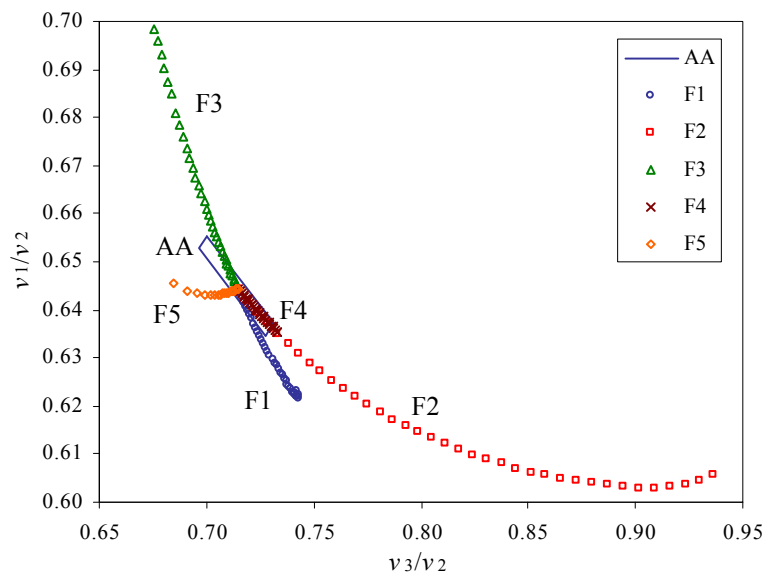


Figura 4.12: Mitjanes de les falles F1, F2, F3, F4 i F5.

S'han definit dos possibles valors per al DP: 50 % i 95 %. El primer valor ha estat escollit per a estudiar la detecció de les variacions en el cas nominal. El segon per a determinar la capacitat de detecció de variacions del 50 %.

Per al cas particular dels *Soft-Opens*, es defineix la seva detecció com el valor mínim de resistència que cal per a que el percentatge escollit (50 o 95 %) de mostres quedin fora de l'àrea d'acceptació. Per a mantenir la coherència entre el DL de les falles paramètriques i dels *Soft-Opens*, el límit de detecció dels *Soft-Opens*, s'ha definit com,

$$DL_{res} [\%] = \left(1 - \frac{R}{1k\Omega} \right) \cdot 100 \quad (4.6)$$

A on R és el valor de la resistència emprada per a simular el *Soft-Open*.

Els límits de detecció de totes les falles simulades es mostren en la Taula 4.6. En aquesta taula es pot veure com detectar les variacions dels elements passius i del corrent de polarització és difícil. Mentre que detectar falles en els elements actius i els *Opens* és, en general, més senzill.

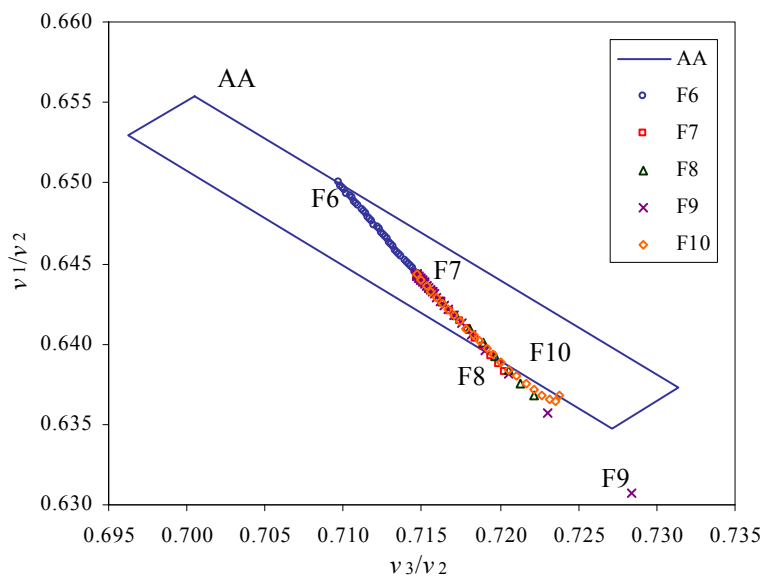


Figura 4.13: Mitjanes de les falles F6, F7, F8, F9 i F10.

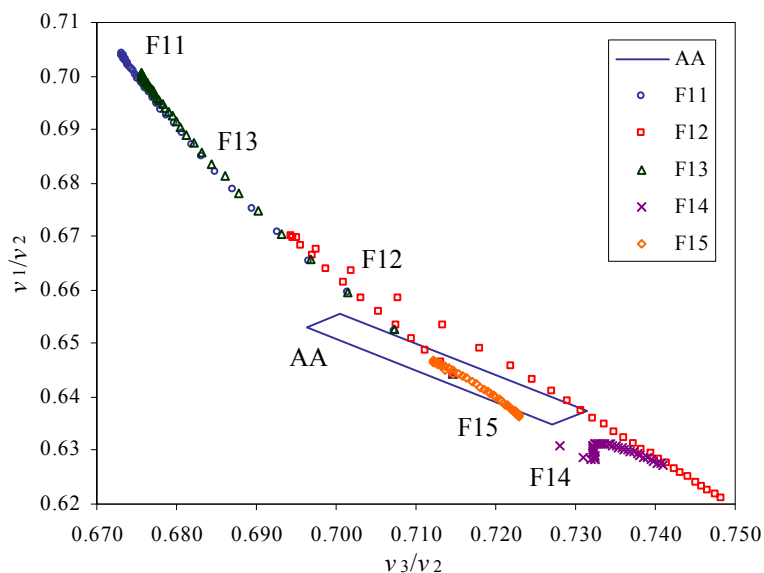


Figura 4.14: Mitjana de les falles F11, F12, F13, F14 i F15.

Tanmateix, les falles de la Taula 4.6 es poden dividir en 3 grups diferents en funció de la detectabilitat. En el primer grup s’hi poden classificar les falles fàcils de detectar (F1, F2, F3, F5, F11 i F13). En el segon grup hi han les falles indetectables o difícilment detectables (F4, F6, F7, F8, F9, F10 i F15). Finalment, a l’últim grup pertanyen les falles F12 i F14, aquestes tenen un comportament atzarós (veure la Figura 4.14).

Igual que totes les altres falles, F12 i F14 es poden detectar a partir d’un determinat valor de *Soft-Open* (100 Ω), però si el valor del *Soft-Open* continua augmentant, arriba un moment en que es torna un altre cop en indetectable (entre els 525 i 750 Ω), per al final, tornar a ser detectable (750 Ω cap endavant). Això es degut a que la falla afecta per igual a $v(f_1)/v(f_2)$ i $v(f_3)/v(f_2)$ i la falla queda emmascarada (Figura 4.14). Per a solucionar aquesta incertesa només cal utilitzar el valor de l’observable de test $v(f_2)$. El seu valor (que varia en funció del valor de la falla) permet determinar si la

falla està en el marge de 525 i 750 Ω . Per aquesta funció, no cal mesurar $v(f_2)$ amb tanta precisió com les altres observables de test. Els límits de detecció presentats en la Taula 4.6 corresponen a la detecció més baixa.

TAULA 4.6

LÍMITS DE DETECCIÓ (%)

Falles indetectables marcades amb un guió.

Falla	DL (%)		Falla	DL (%)		Falla	DL (%)	
	50 %	95 %		50 %	95 %		50 %	95 %
1	87.5	77.5	6	10.0	-	11	97.5	95.0
2	92.5	85.0	7	37.7	-	12	95.0	90.0
3	77.5	65.0	8	50.0	-	13	97.5	95.0
4	40.0	-	9	16.0	5.00	14	97.5	97.5
5	63.3	43.3	10	56.0	-	15	37.5	-

4.3.- Test predictiu

Amb aquesta estratègia de test es vol estudiar si la tècnica de test millorada (implementada amb el generador IF i el mesclador auxiliar) permeten estimar, de manera acceptable, algunes de les característiques de l'amplificador de baix soroll, que s'ha dissenyat: els paràmetres S ($S11$, $S12$, $S21$, i $S22$) i el punt de compressió d'1dB a l'entrada ($IP1dB$).

En aquest cas, però, aquestes tècniques s'han complementat amb dues tècniques més: el test basant en tres tons (la mateixa que l'emprada en l'apartat anterior), i un canvi d'impedància de sortida del mesclador auxiliar, inspirat en [102]. Els canvis afegits es mostren en la Figura 4.15.

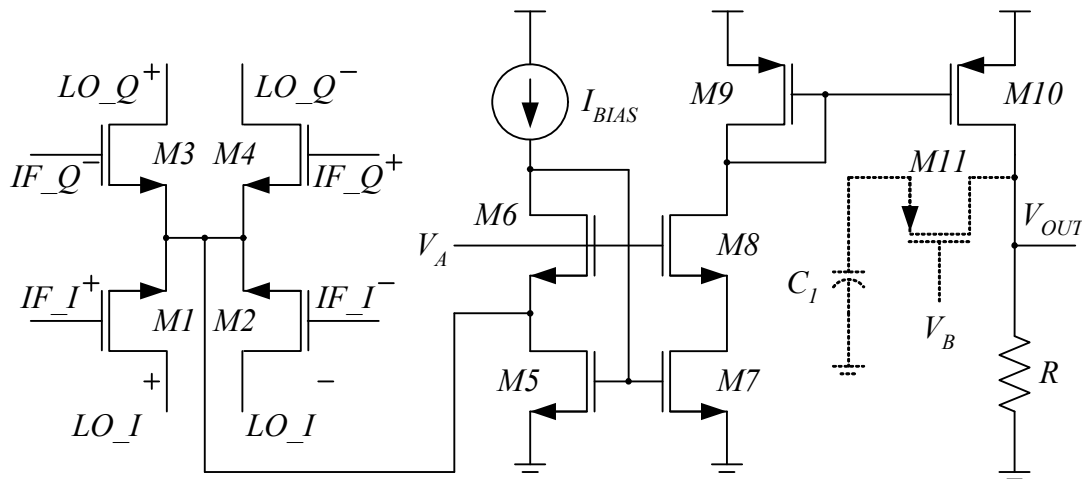


Figura 4.15: Esquemàtic del mesclador auxiliar amb circuit de canvi de $Z_o(--)$.

Per a no incrementar la complexitat del mesclador auxiliar, la variació de la impedància de la seva sortida s'ha implementat amb un condensador de 250 fF (C_1), controlat per un interruptor format per un transistor ($M11$). En aquest cas, ajustar el valor de la impedància de sortida a un valor concret no és necessari, això relaxa les condicions de disseny del transistor $M11$, de dimensió $W = 40 \mu\text{m}$ i $L = 0.35 \mu\text{m}$.

Les observables de test escollides per a realitzar les prediccions han estat: la tensió pic a pic de la sortida ($V_{out,pp}$), i les components DC i pic-a-pic del corrent de terra ($I_{SS,DC}$ i $I_{SS,pp}$). Totes aquestes observables, obtingudes per cadascuna de les freqüències utilitzades (840, 940 i 1040 MHz) i per les dues impedàncies de sortida (Z1 i Z2). En la Taula 4.7 hi ha la descripció de totes les observables considerades.

TAULA 4.7

ESTADÍSTIQUES DE LES OBSERVABLES DE TEST

Unitats: mV o mA, segons la observable.

Observables		Estadístiques	
Descripció	Etiqueta	μ	σ
V_{pp} de sortida, amb $f_{in} = 840$ MHz i $Z_{out} = Z1$	$V_{out,pp}(840, Z1)$	64.52	9.606
Component DC de I_{SS} , amb $f_{in} = 840$ MHz i $Z_{out} = Z1$	$I_{SS,DC}(840, Z1)$	5.636	0.133
Component pp de I_{SS} , amb $f_{in} = 840$ MHz i $Z_{out} = Z1$	$I_{SS,pp}(840, Z1)$	0.487	0.073
V_{pp} de sortida, amb $f_{in} = 940$ MHz i $Z_{out} = Z1$	$V_{out,pp}(940, Z1)$	96.86	15.00
Component DC de I_{SS} , amb $f_{in} = 940$ MHz i $Z_{out} = Z1$	$I_{SS,DC}(940, Z1)$	5.635	0.133
Component pp de I_{SS} , amb $f_{in} = 940$ MHz i $Z_{out} = Z1$	$I_{SS,pp}(940, Z1)$	0.106	0.064
V_{pp} de sortida, amb $f_{in} = 1040$ MHz i $Z_{out} = Z1$	$V_{out,pp}(1040, Z1)$	66.78	10.91
Component DC de I_{SS} , amb $f_{in} = 1040$ MHz i $Z_{out} = Z1$	$I_{SS,DC}(1040, Z1)$	5.635	0.133
Component pp de I_{SS} , amb $f_{in} = 1040$ MHz i $Z_{out} = Z1$	$I_{SS,pp}(1040, Z1)$	0.099	0.018
V_{pp} de sortida, amb $f_{in} = 840$ MHz i $Z_{out} = Z2$	$V_{out,pp}(840, Z2)$	62.96	9.401
Component DC de I_{SS} , amb $f_{in} = 840$ MHz i $Z_{out} = Z2$	$I_{SS,DC}(840, Z2)$	5.636	0.133
Component pp de I_{SS} , amb $f_{in} = 840$ MHz i $Z_{out} = Z2$	$I_{SS,pp}(840, Z2)$	0.475	0.071
V_{pp} de sortida, amb $f_{in} = 940$ MHz i $Z_{out} = Z2$	$V_{out,pp}(940, Z2)$	94.15	14.62
Component DC de I_{SS} , amb $f_{in} = 940$ MHz i $Z_{out} = Z2$	$I_{SS,DC}(940, Z2)$	5.635	0.133
Component pp de I_{SS} , amb $f_{in} = 940$ MHz i $Z_{out} = Z2$	$I_{SS,pp}(940, Z2)$	0.394	0.062
V_{pp} de sortida, amb $f_{in} = 1040$ MHz i $Z_{out} = Z2$	$V_{out,pp}(1040, Z2)$	64.68	10.59
Component DC de I_{SS} , amb $f_{in} = 1040$ MHz i $Z_{out} = Z2$	$I_{SS,DC}(1040, Z2)$	5.635	0.133
Component pp de I_{SS} , amb $f_{in} = 1040$ MHz i $Z_{out} = Z2$	$I_{SS,pp}(1040, Z2)$	0.096	0.017

Les simulacions del circuit, s'han realitzat amb el programa SpretreRF, fent un anàlisi de Monte Carlo de 200 iteracions. Amb el circuit configurat en mode normal de funcionament s'han calculat els paràmetres S i l' $IP1dB$ de l'amplificador. Configurant el circuit en mode test s'han obtingut les observables de test (estadístiques de les dades en la Taula 4.7) necessàries en els càlculs de les funcions de regressió. 100 mostres han servit per a entrenar el predictor i generar les funcions de regressió f_{id} . Les altres 100 mostres han servit per a comprovar l'ajust de les funcions de regressió anteriorment calculades (veure l'apartat 2.3.3).

Les estimacions del paràmetre $S21$ i l' $IP1dB$, utilitzant quatre a observables de test ($V_{out,pp}(940, Z1)$, $I_{SS,DC}(940, Z1)$, $V_{out,pp}(940, Z2)$ i $I_{SS,DC}(940, Z2)$), es mostren en la Figura 4.16 i la Figura 4.17. La Taula 4.8 mostra les correlacions i els errors de predicció en funció de les observables de test utilitzades. En aquesta taula es poden veure els errors (i les correlacions) entre els paràmetres reals i els estimats, en funció de determinades observables utilitzades en les prediccions.

En la Taula 4.8, es pot observar que només amb la tensió de sortida i el corrent de consum, a una freqüència de 940 MHz i amb Z1, el coeficient de correlació del guany i l' $IP1dB$ és, com a màxim, del 0.99 i 0.98, respectivament. L' $S12$ assoleix un màxim de 0.89. Tots tres casos, utilitzant les observables: $V_{out,pp}(840, Z1)$ i $I_{SS,DC}(840, Z1)$. Malauradament, les prediccions del $S11$ i $S22$ són dolentes. L' $S22$ es pot millorar qualitativament emprant dues observables de test de tensió, a diferents freqüències. Però millorar l' $S11$ és complicat. Tot i això, es veu com, variant l'impedància de sortida del mesclador auxiliar, es pot augmentar significativament la correlació de les prediccions i els paràmetres funcionals.

Es pot augmentar el coeficient de correlació del guany ($S21$) i de l' $IP1dB$ fins al 0.99 utilitzant com a observables de test: $V_{out,pp}(940, Z1)$, $I_{SS,DC}(940, Z1)$, $V_{out,pp}(940, Z2)$ i $I_{SS,DC}(940, Z2)$ (veure la Figura 4.16 i la Figura 4.17). Això permetria evitar la necessitat d'utilitzar la tècnica basada en tres tons. Per contra, l' $S11$ i l' $S22$ no es podrien predir amb un error baix.

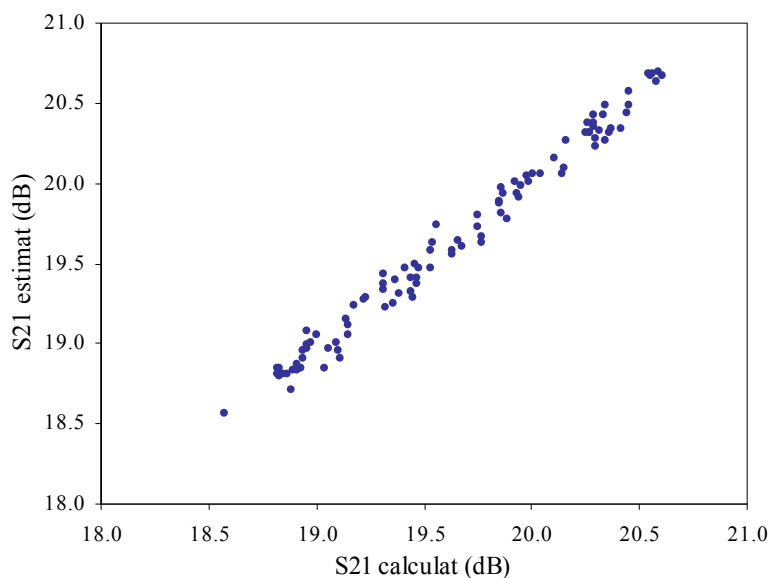


Figura 4.16: Correlació entre el $S21$ estimat i el calculat, utilitzant $V_{out,pp}(940, Z1)$, $I_{SS,DC}(940, Z1)$, $V_{out,pp}(940, Z2)$ i $I_{SS,DC}(940, Z2)$ com a observables de test.

Utilitzar 6 observables de test permet obtenir unes bones estimacions, si deixem de banda el paràmetre $S11$ (amb la tècnica emprada és impossible augmentar la correlació d' $S11$ per sobre de 0.84). Les observables implicades són: $V_{out,pp}(840, Z1)$, $V_{out,pp}(940, Z1)$, $V_{out,pp}(1040, Z1)$, $V_{out,pp}(940, Z2)$, $I_{SS,DC}(940, Z1)$ i $I_{SS,DC}(940, Z2)$. Tot i que caldria estudiar, per cada circuit en concret, si la predicció del paràmetre $S22$ justificaria l'augment de la complexitat del sistema de test (per poder predir adequadament $S11$ és evident que es fa necessari dissenyar una tècnica de test diferent).

TAULA 4.8

CORRELACIONS I ERRORS (% RMS) DE PREDICCIÓ EN FUNCIÓ DE LES OBSERVABLES DE TEST

Núm Observables	Observables de test	S11		S12		S21		S22		IP1dB	
		r	ε	r	ε	r	ε	r	ε	r	ε
1	V _{out,pp} (840, Z1) *	0.52	19.65	0.85	1.71	0.98	0.58	0.45	7.43	0.92	2.47
	I _{SS,DC} (840, Z1) **	0.52	20.58	0.86	1.67	0.91	1.21	0.33	7.85	0.98	1.82
	I _{SS,pp} (840, Z1) *	0.53	19.49	0.85	1.72	0.98	0.56	0.44	7.46	0.92	2.46
	V _{out,pp} (940, Z1) *	0.53	19.51	0.84	1.75	0.98	0.54	0.40	7.60	0.93	2.35
	I _{SS,DC} (940, Z1) **	0.52	20.51	0.66	2.92	0.82	2.24	0.33	9.02	0.98	1.48
	I _{SS,pp} (940, Z1) *	0.55	19.19	0.84	1.77	0.98	0.50	0.39	7.65	0.93	2.33
	V _{out,pp} (1040, Z1) *	0.53	19.52	0.83	1.81	0.98	0.55	0.34	7.82	0.93	2.31
	I _{SS,DC} (1040, Z1) **	0.52	20.54	0.85	2.19	0.91	1.37	0.33	7.85	0.98	1.63
	I _{SS,pp} (1040, Z1) *	0.58	18.73	0.83	1.81	0.99	0.47	0.29	7.96	0.93	2.26
2	V _{out,pp} (840, Z1) & I _{SS,DC} (840, Z1) **	0.61	18.84	0.89	1.47	0.99	0.63	0.46	7.38	0.98	1.95
	V _{out,pp} (940, Z1) & I _{SS,DC} (940, Z1) *	0.60	18.85	0.87	1.59	0.98	0.58	0.39	7.70	0.97	1.42
	V _{out,pp} (1040, Z1) & I _{SS,DC} (1040, Z1) **	0.61	18.72	0.87	1.58	0.97	0.68	0.39	7.62	0.98	1.25
	V _{out,pp} (840, Z1) & V _{out,pp} (940, Z1) *	0.55	19.27	0.86	1.65	0.98	0.51	0.86	4.17	0.94	2.17
	V _{out,pp} (840, Z1) & V _{out,pp} (1040, Z1) *	0.55	19.17	0.86	1.65	0.98	0.52	0.90	3.67	0.93	2.26
	V _{out,pp} (940, Z1) & V _{out,pp} (1040, Z1) *	0.55	19.12	0.86	1.66	0.98	0.52	0.92	3.31	0.93	2.27
3	V _{out,pp} (840, Z1) & V _{out,pp} (940, Z1) & V _{out,pp} (1040, Z1) *	0.59	18.36	0.86	1.61	0.98	0.50	0.94	2.74	0.97	1.55
	I _{SS,DC} (840, Z1) & I _{SS,DC} (940, Z1) & I _{SS,DC} (1040, Z1) *	0.62	18.50	0.90	1.37	0.98	0.49	0.44	7.90	0.98	1.20
4	V _{out,pp} (840, Z1) & V _{out,pp} (940, Z1) & V _{out,pp} (1040, Z1) & V _{out,pp} (940, Z2)	0.80	13.68	0.91	1.35	0.99	0.42	0.96	2.36	0.97	1.51
	V _{out,pp} (940, Z1) & I _{SS,DC} (940, Z1) & V _{out,pp} (940, Z2) & I _{SS,DC} (940, Z2)	0.78	13.31	0.94	1.06	0.99	0.42	0.45	7.37	0.99	1.09
5	V _{out,pp} (840, Z1) & V _{out,pp} (940, Z1) & V _{out,pp} (1040, Z1) & V _{out,pp} (940, Z2) & I _{SS,DC} (940, Z1)	0.83	12.25	0.97	0.81	0.96	7.68	0.98	1.39	0.98	1.10
	V _{out,pp} (840, Z1) & V _{out,pp} (940, Z1) & V _{out,pp} (940, Z2) & I _{SS,DC} (940, Z1) & I _{SS,DC} (940, Z2)	0.79	12.96	0.98	0.88	0.98	1.25	0.95	2.52	0.99	0.80
6	V _{out,pp} (840, Z1) & V _{out,pp} (940, Z1) & V _{out,pp} (1040, Z1) & V _{out,pp} (940, Z2) & I _{SS,DC} (940, Z1) & I _{SS,DC} (940, Z1)	0.84	11.90	0.98	0.58	0.99	0.34	0.99	0.91	0.99	0.91

Només incloses les combinacions d'observables de test més significatives.

* Les prediccions amb les observables obtingudes amb Z1 i Z2 tenen correlacions similars.

** Les prediccions amb les observables obtingudes amb Z1 i Z2 tenen correlacions diferents (15 % de diferència màxima aproximadament).

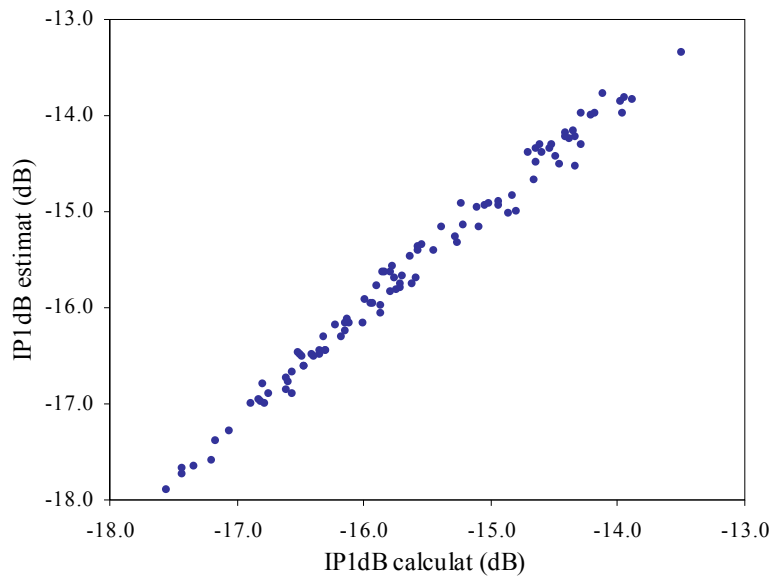


Figura 4.17: Correlació entre l'IP1dB estimat i calculat, utilitzant $V_{out,pp}(940, Z1)$, $I_{SS,DC}(940, Z1)$, $V_{out,pp}(940, Z2)$ i $I_{SS,DC}(940, Z2)$ com a observables de test.

4.4.- Conclusions

En aquest capítol s'ha aplicat la tècnica de test millorada (implementada amb un mesclador auxiliar i un generador d'IF), combinada amb la tècnica basada en tres tons, a un amplificador de baix soroll (LNA), utilitzant dues estratègies de test diferents: el test estructural i el predictiu.

L'estratègia de test estructural ha servit per a estudiar la capacitat de la tècnica millorada per a detectar errors de fabricació en un LNA. L'anàlisi s'ha dividit en dues parts. La primera ha consistit en determinar la capacitat de les observables de test escollides per a detectar les falles definides. La cobertura de detecció que ofereixen aquestes observables és comparable a la tècnica proposada en [101]. També es pot veure com detectar falles paramètriques és més complicat que detectar falles catastròfiques. Per aquest motiu, en la segona part, s'ha estudiat el comportament de certes variacions de les falles paramètriques, i la capacitat de la tècnica proposada per a detectar-les.

En general, les falles més difícils de detectar són les que afecten als elements passius (L_G , L_S , C_G i R_B), a la corrent de polarització, i als transistors destinats al test. La baixa taxa de detecció dels elements passius és deguda a la desadaptació d'impedàncies existent (durant el procés de test) entre la sortida del mesclador auxiliar i l'entrada de l'LNA. Aquesta desadaptació emmascara els efectes de les variacions en els elements passius. La variació del corrent de polarització afecta de manera proporcional a totes les observables de test.

Finalment, és interessant fer un comentari sobre la detecció de les falles en els transistors de test. Tot i que depèn molt del transistor de que es tracti i de la seva funció, aquests transistors són difícils de detectar. Aquest fet indica que la seva variació afecta poc al circuit, i aquesta és una característica desitjable en aquesta circuiteria addicional.

Amb l'estratègia predictiva s'ha estudiat l'aptitud de la tècnica millorada per a estimar determinades característiques funcionals del LNA: S_{21} i IP_{1dB} (tot i que també s'ha intentat estimar la resta dels paràmetres S).

La tècnica de test millorada, aplicada conjuntament amb la tècnica basada en 3 tons permet obtenir una bona estimació d' S_{12} , S_{21} i IP_{1dB} . Lamentablement, les estimacions d' S_{11} i S_{22} han estat baixes, i s'ha estudiat una altra tècnica complementària per a intentar millorar les seves prediccions.

La tècnica proposada ha estat commutar la impedància de sortida del mesclador auxiliar entre dues impedàncies (Z_1 i Z_2), per a canviar l'adaptació entre aquest i l'entrada de l'LNA. Això s'ha fet afegint un circuit senzill i de dimensions reduïdes, un condensador a la sortida del mesclador auxiliar, commutable a través d'un transistor, proporcionant així, Z_2 . Aquesta tècnica permet millorar les prediccions. L'estimació d' S_{22} arriba a ser bona. Encara que el paràmetre S_{11} s'arriba a estimar millor, és impossible predir-lo sense un grau considerable d'error. Seria necessari utilitzar una altra tècnica de generació de vectors per a poder incrementar la precisió de les estimacions del paràmetre S_{11} . D'altra banda, la tècnica de commutar impedàncies també permet millorar les estimacions dels altres paràmetres S i de l' IP_{1dB} .

5.- Aplicacions al capçal RF d'un receptor

5.1.- El capçal RF

Després de comprovar l'efectivitat de la tècnica de test millorada per a verificar un mesclador i un LNA, finalment es verificarà el capçal RF d'un receptor dissenyat per a treballar en la banda de GSM 900.

Tot i la gran varietat de configuracions receptores existents [107] [108] [109] [110] [111] [112], degut a les diferents modulacions utilitzades en les comunicacions [91], l'estructura bàsica d'un capçal RF d'un receptor (Figura 5.1) és bàsicament el mateix per totes les configuracions: un LNA a continuació de l'antena, per a amplificar el senyal i minimitzar el soroll, un mesclador, per a traslladar la portadora d'RF a una freqüència intermitja (IF), i un oscil·lador local, que genera el senyal requerit pel mesclador per a fer el seu trasllat de freqüències. Després de l'etapa mescladora, els blocs que es poden afegir són tant variats com modulacions existents.

D'altra banda, també poden ser necessaris altres circuits complementaris: baluns, filtres o desfassadors. En l'exemple utilitzat només serà necessari afegir un balun entre l'LNA i el mesclador, per a convertir el senyal en mode comú de la sortida de l'amplificador en un senyal diferencial, necessari per a atacar les entrades del mesclador.

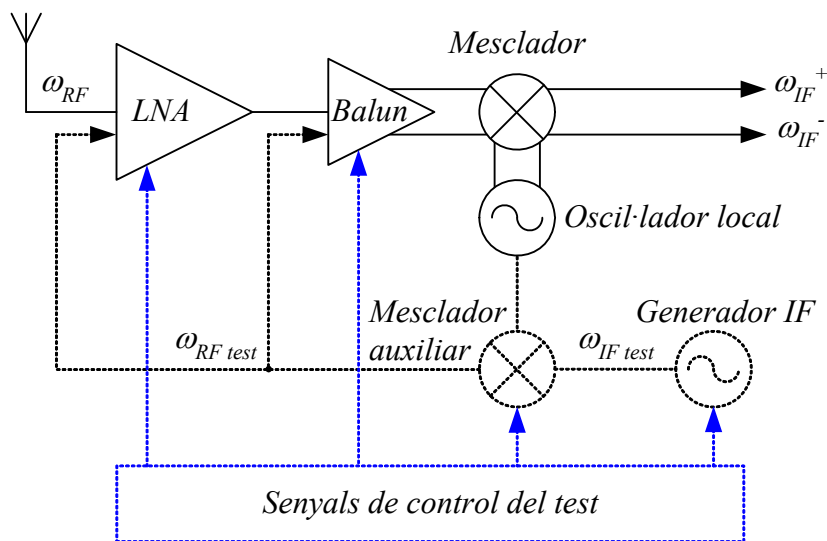


Figura 5.1: Diagrama de blocs d'un receptor RF. Blocs destinats al test en línees discontinues (--).

En la Figura 5.1 es poden veure les parts del capçal receptor (LNA, balun, mesclador i l'oscil·lador local), juntament amb la circuiteria destinada al test, indicada en línees discontinues (Generador IF i el mesclador auxiliar).

La gran majoria dels circuits que es mostren en la Figura 5.1 ja han estat presentats en els capítols anteriors. Tot i això, encara falta per implementar el balun. El seu disseny es mostra en l'apartat següent.

5.1.1.- Balun

Per a convertir el senyal en mode comú de la sortida de l'LNA a un senyal diferencial s'ha d'utilitzar un balun [113] [114] [115]. En aquest cas s'ha escollit dissenyar un balun actiu (Figura 5.2 i Taula 5.1), implementat amb un amplificador diferencial, amb una xarxa de realimentació LC per a balancejar el guany de les dues branques de sortida, tot mantenint la fase entre les dues sortides de 180°.

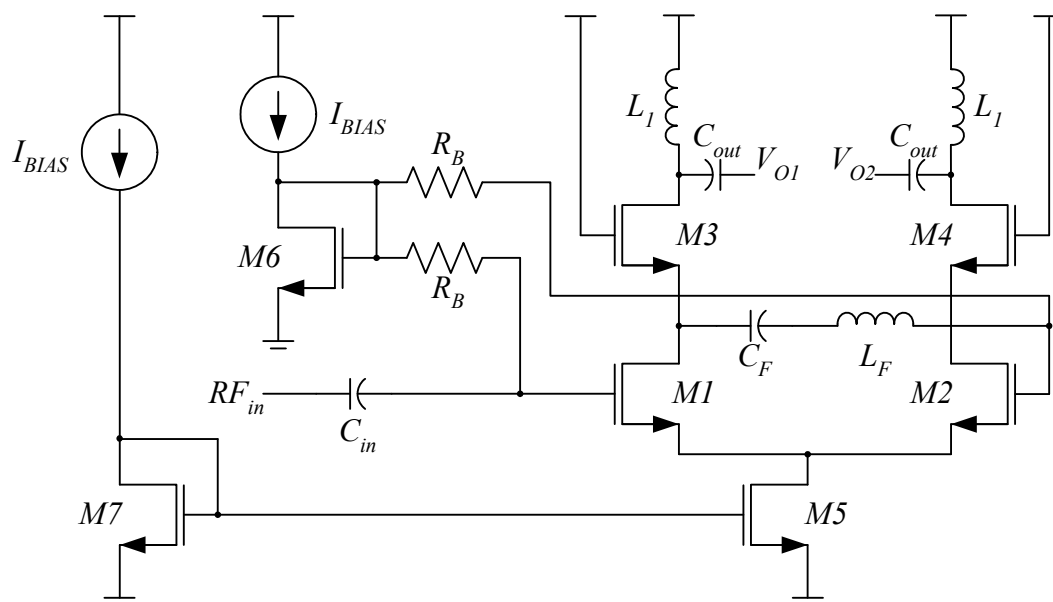


Figura 5.2: Esquema d'un balun.

TAULA 5.1

VALORS DELS ELEMENTS DEL BALUM DISSENYAT

Les dimensions dels transistors estan expressades segons (W/L).

Paràmetre	Valor	Unitats
M1	90 / 0.35	μm / μm
M2	90 / 0.35	μm / μm
M3	90 / 0.35	μm / μm
M4	90 / 0.35	μm / μm
M5	180 / 0.35	μm / μm
M6	32 / 1	μm / μm
M7	32 / 1	μm / μm
C _{in}	20	pF
C _F	10	pF
C _{out}	20	pF
L ₁	10.2	nH
L _F	3	nH
R _B	10	kΩ
I _{BIAS}	250	μA

5.2.- El Capçal RF amb la circuiteria de test

En la Figura 5.3 es mostra l'esquema complet del capçal RF dissenyat. En la figura, no es mostren els circuits de polarització de l'LNA, del balun i del mesclador.

D'altra banda, el generador IF es mostra representat com un bloc amb l'oscil·lador, i els transistors de control de la freqüència.

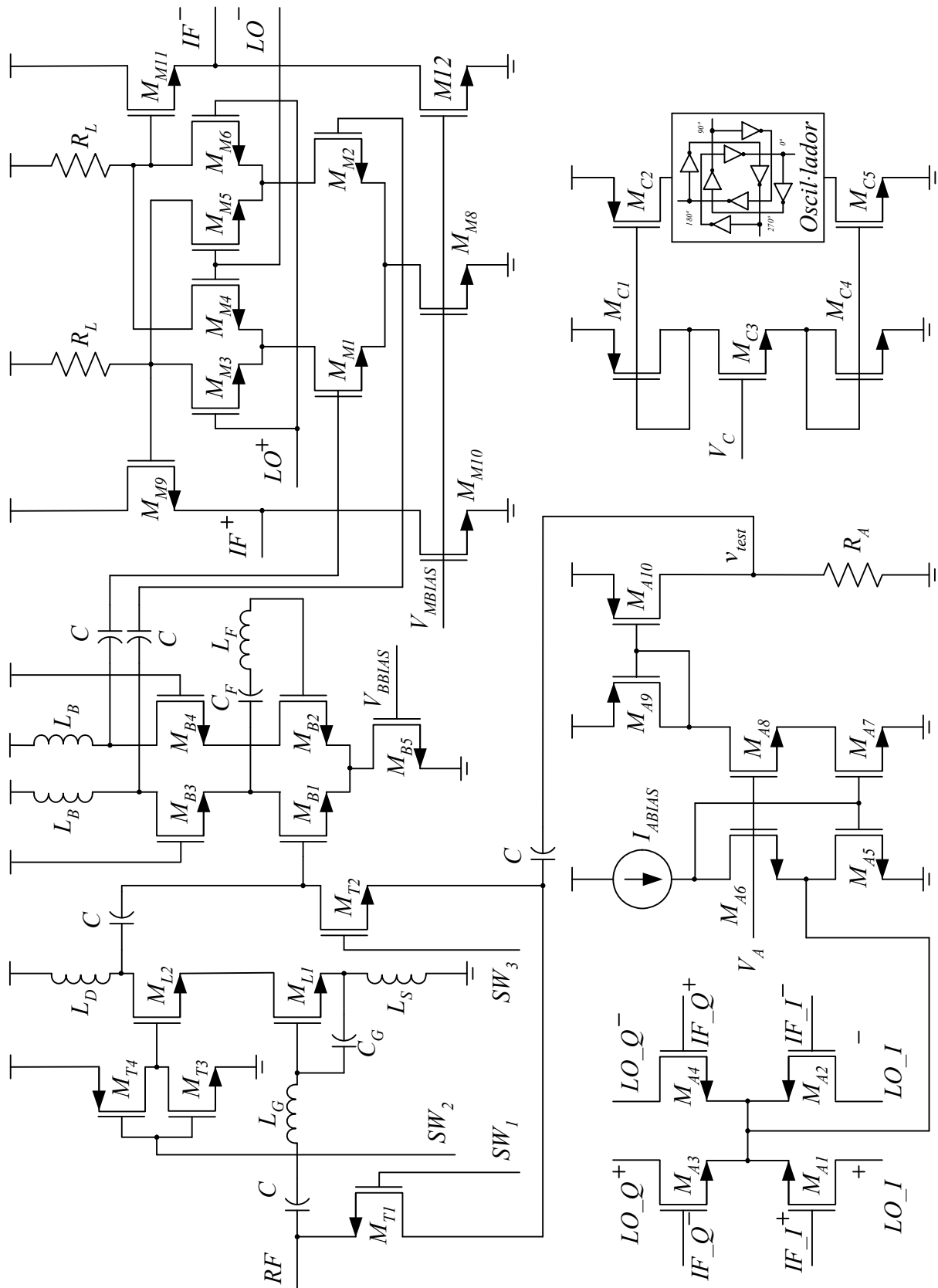


Figura 5.3: Esquema del capçal RF amb la circuiteria de test (circuitos de polarització no inclosos).

5.2.1.- Procés de test: test seqüencial

Tal i com s'ha descrit anteriorment, la tècnica proposada redueix la circuiteria de test necessària per a testar un capçal RF. Això impossibilita testar més d'un circuit al mateix temps. Degut a aquesta restricció, cal testar el capçal RF de manera seqüencial. Per aquest motiu s'ha rebatejat la tècnica de test dissenyada com a tècnica de test seqüencial (en comptes de tècnica de test millorada).

Aquesta tècnica seqüencial verifica, de manera consecutiva, els diferents components del capçal RF. Primer el mesclador i després l'LNA. Aquest procés és controlable mitjançant qualsevol dispositiu programable inclòs dintre del receptor RF. Els passos a seguir per a testar el capçal RF són:

1. Configurar el circuit en mode test. Activa els senyals lògics adequats per a aïllar tots els blocs que conformen el capçal RF, i connectar la sortida del generador IF a l'entrada de l'amplificador IF.
2. Variar la tensió de control V_C . Això permet ajustar el senyal de sortida del generador IF. El generador IF quedarà sintonitzat a la freqüència IF quan en la sortida de l'amplificador IF s'hi detecti el màxim nivell de tensió. Per a aquest objectiu es pot utilitzar la circuiteria suggerida en [116].
3. Configurar el sistema per a verificar el mesclador. Modifica els senyals lògics adequats per a configurar el mesclador en mode test, i connectar la sortida del mesclador auxiliar a l'entrada del balun.
4. Verificar el mesclador. En el cas que el mesclador presenti falla, o no compleixi les especificacions, el procés de test es pot finalitzar.
5. Configurar el sistema per a verificar l'LNA. Modifica els senyals lògics per a configurar l'LNA en mode test, i connectar la sortida del mesclador auxiliar a l'entrada de l'LNA.
6. Verificar l'LNA. En aquest procés es poden emprar totes les tècniques exposades en el capítol anterior (tècnica de test dels 3 tons, canvi de la impedància de sortida del mesclador auxiliar).

Durant el procés de test, el corrent de consum de la circuiteria de test és menyspreable, aproximadament uns 2.6 mA. Un cop finalitzada la verificació, el seu consum és zero. La circuiteria de test és desactivada.

5.2.2.- Procés de test: programació de les simulacions

El circuit de la Figura 5.3 s'ha de simular per a realitzar-les estimacions teòriques. Per això, de la mateixa manera que en els apartats anteriors, es realitzarà un anàlisi de Monte Carlo de 200 iteracions. Amb els resultats que s'obtinguin s'entrenarà el predictor per a generar les funcions de regressió, i es comprovarà l'ajust d'aquestes funcions.

En aquesta ocasió, aquest procés no resulta tant simple. Degut a la variació dels paràmetres tecnològics en cada iteració, la freqüència d'oscil·lació del generador IF és diferent per una tensió de control donada. Aquest fet fa que sigui necessari ajustar la freqüència de l'oscil·lador en cada iteració de Monte Carlo. Per a fer aquesta tasca, s'ha implementat un programa amb OCEAN [117], una aplicació addicional que ofereix l'entorn de simulació de CADENCE.

La Figura 5.4 mostra els principals processos, variables i constants implicats en el programa implementat. Les condicions de permanència o els accessos incondicionals a les funcions no estan indicats.

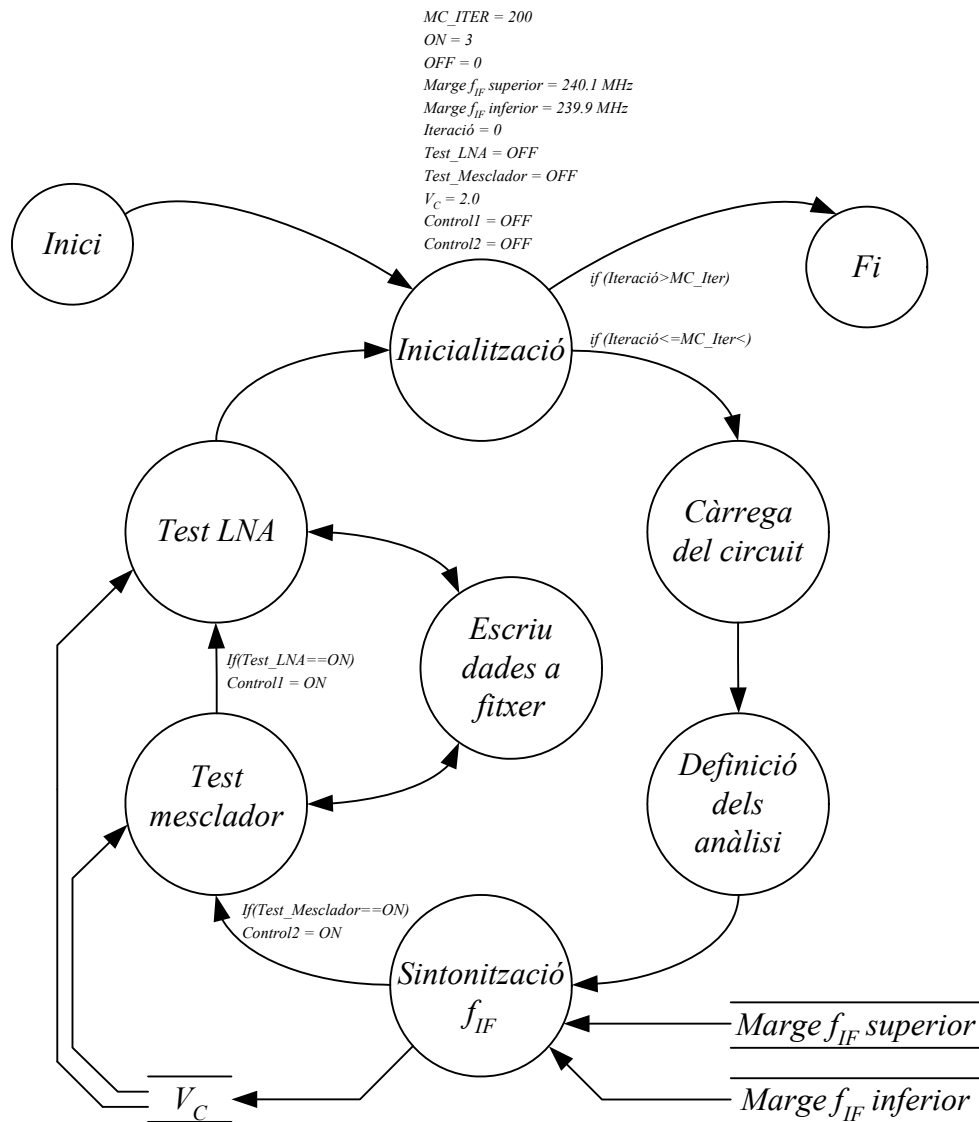


Figura 5.4: Esquemàtic del programa de simulació.

Com es pot veure en l'esquema de la Figura 5.4, el programa implementat consta de 7 funcions principals. Aquestes són:

- Inicialització: Carrega a les variables i a les constants els seus valors inicials corresponents. També controla les iteracions de Monte Carlo que s'han de realitzar.
- Càrrega del circuit: Carrega la *netlist* (del circuit representat en la Figura 5.3) i les llibreries necessàries per a executar les simulacions.
- Definició dels anàlisis: Aquesta funció especifica el tipus d'anàlisi que s'ha de fer (un transitori, TRAN), i configura la simulació de Monte Carlo, per la iteració corresponent.
- Sintonització f_{IF} : Configura el circuit en mode test, i realitza un bucle fins a trobar la tensió de control (V_C). Aquesta tensió tindrà un valor tal que permeti obtenir una freqüència IF entre 239.9 i 240.1 MHz.

- Test mesclador: Calcula el valor pic a pic del senyal de sortida del mesclador i el corrent de consum del mesclador, amb el circuit configurat en mode test per a testar el mesclador.
- Test LNA: Calcula el valor pic a pic del senyal de sortida del mesclador i el corrent de consum del LNA, amb el circuit configurat en mode test per a testar l'LNA.

El circuit de la Figura 5.3 no es pot analitzar amb un anàlisi dels components freqüencials (PSS) [92]. El generador IF, basat en un oscil·lador, no permet configurar aquest anàlisi. Degut a això, la simulació d'aquest circuit es realitza amb un anàlisi d'un transitori (TRAN). Per a obtenir les components freqüencials dels senyals temporals és necessari realitzar la transformada discreta de Fourier (DFT).

La Figura 5.5 mostra el senyal d'entrada (de l'LNA) i de sortida del capçal RF (sortida del mesclador) després d'haver estat transformats amb la DFT. Per a una entrada de 1 μ V d'amplitud (a la freqüència de 940 MHz), a la sortida de mesclador es pot mesurar un senyal de 2 mV d'amplitud.

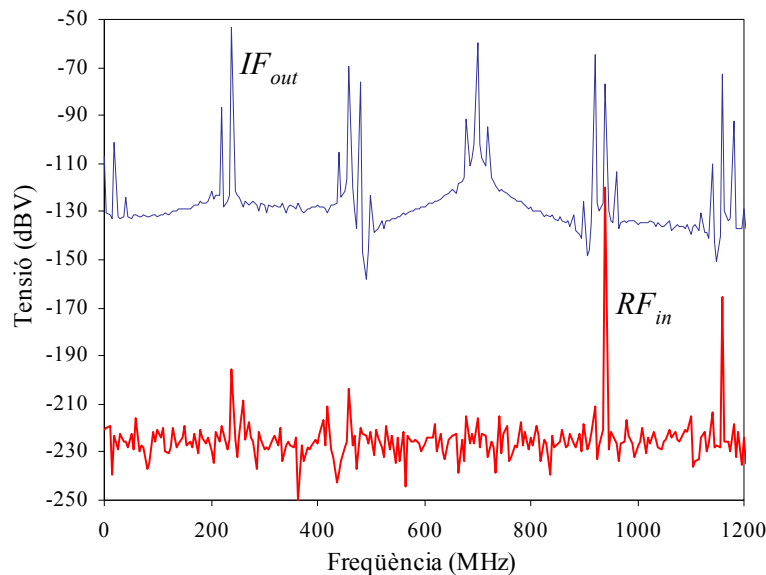


Figura 5.5: Espectre dels senyals d'entrada (corba inferior) i sortida del capçal RF (corba superior), en mode normal de funcionament.

La Figura 5.6 també mostra el senyal d'entrada i de sortida del capçal RF, però en aquest cas, amb el circuit configurat en mode test. El senyal d'entrada (a 940 MHz) té una amplitud de 10 mV, i el senyal de sortida (a 240 MHz) una amplitud de 1 V.

Com es pot veure, el senyal RF de test presenta diversos harmònics comparables a l'harmònic situat als 940 MHz, i el soroll és més gran que en les simulacions anteriors de la sortida del mesclador auxiliar (mirar Figura 3.17).

Tot i això, el senyal de test, a la sortida del mesclador és prou bona com per poder ser mesurada. En el cas que un circuit de mesura fos massa complicat per mesurar l'amplitud de l'harmònic a 240 MHz, amb un processat digital del senyal seria possible obtenir el seu valor fàcilment.

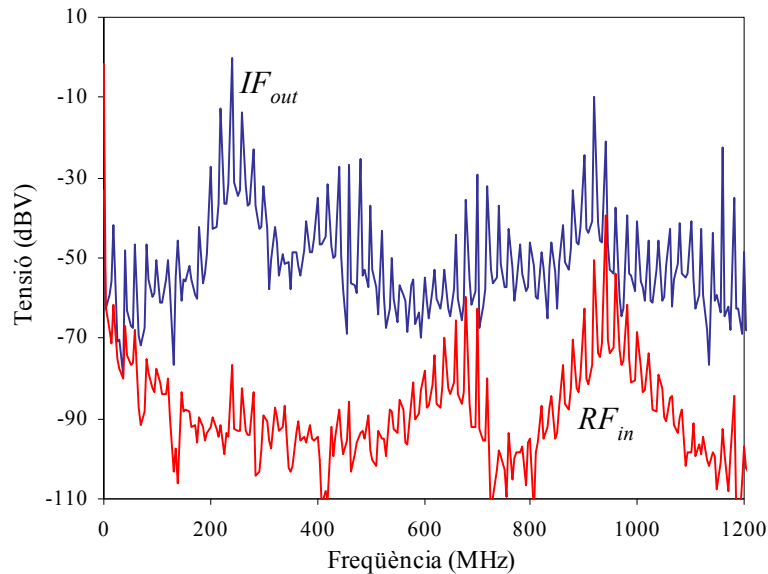


Figura 5.6: Espectre dels senyals d'entrada (corba inferior) i sortida del capçal RF (corba superior), en configuració en mode test per a testar el capçal RF complet.

5.3.- Test predictiu

Amb aquesta estratègia de test es vol estudiar si la tècnica de test seqüencial, combinada amb la tècnica $i_{DD}(t)$, permeten estimar algunes de les característiques funcionals del LNA i el mesclador. En aquest cas, s'han escollit el guany i l' $IP1dB$, de tots dos circuits. Les observables de test escollides són: la component AC de la tensió de sortida del mesclador (a freqüència f_{IF}) i la component DC del corrent de consum de cadascun dels circuits ($V_{out,pp,LNA}$, $I_{SS,DC,LNA}$, $V_{out,pp,MX}$ i $I_{SS,DC,MX}$). $V_{out,pp,LNA}$ representa la tensió de sortida del mesclador, amb el circuit configurat en mode test, amb el senyal de test introduït a l'LNA. $V_{out,pp,MX}$ representa la tensió de sortida del mesclador, amb el circuit configurat en mode test, amb el senyal de test introduït després de l'LNA (mirar la Figura 5.3). $I_{SS,DC,LNA}$ i $I_{SS,DC,MX}$ són els corrents de consum de l'LNA i del mesclador, respectivament.

Per a calcular el guany i l' $IP1dB$ de l'LNA i del mesclador s'han configurat, per separat, aquests dos circuits en mode normal de funcionament, i s'han calculat aquestes dues característiques funcionals. Les simulacions han estat realitzades amb el programa OCEAN d'AMS. Aquestes simulacions han consistit en un anàlisi de Monte Carlo de 200 iteracions (les estadístiques d'aquestes dades estan indicades en la Taula 5.2).

Un cop calculats els paràmetres funcionals, s'ha emprat el programa indicat en la Figura 5.4 per a realitzar les simulacions del capçal RF, conjuntament amb la circuiteria de test (Figura 5.3). Aquestes simulacions han permès obtenir les observables de test: $V_{out,pp,LNA}$, $I_{SS,DC,LNA}$, $V_{out,pp,MX}$ i $I_{SS,DC,MX}$ (la Taula 5.2 mostra els seus valors de manera estadística).

Amb 100 de les mostres s'han calculat les funcions de regressió. Les altres 100 s'han utilitzat per a comprovar la bondat de les funcions de regressió calculades (procediment detallat en l'apartat 2.3.3). Les correlacions i els errors de predicció dels paràmetres funcionals estimats, en funció de les observables de test emprades, es mostren en la Taula 5.3 i la Taula 5.4.

TAULA 5.2

MITJANA I DESVIACIÓ TÍPICA DELS
PARÀMETRES FUNCIONALS I LES OBSERVABLES DE TEST

Nom	Paràmetres Descripció	Unitats	Estadístiques	
			μ	σ
G_{LNA}	Guany de l'LNA	dB	19.69	0.517
$IP1dB_{LNA}$	IP1dB de l'LNA	dBm	-15.99	0.626
$G_{C, MX}$	Guany del mesclador	dB	15.79	0.522
$IP1dB_{MX}$	IP1dB del mesclador	dBm	-13.85	0.986
$V_{out,pp,LNA}$	V_{pp} de sortida. LNA en mode test	V	0.976	0.095
$I_{SS,DC,LNA}$	I_{DC} del corrent de terra	mA	5.666	0.139
$V_{out,pp,MX}$	V_{pp} de sortida. Mesclador en mode test	V	0.262	0.078
$I_{SS,DC,MX}$	I_{DC} del corrent de terra	mA	14.87	0.649

La Figura 5.7, la Figura 5.8, la Figura 5.9 i la Figura 5.10 mostren gràficament les estimacions del guany i l'IP1dB, de l'LNA i del mesclador, utilitzant la tensió de sortida del mesclador ($V_{out,pp}$) i els corrents de cadascun dels circuits ($I_{SS,DC}$) com a observables de test.

Comparant la Taula 5.3 amb la Taula 4.8 es pot observar com els coeficients de correlació les prediccions del paràmetre S_{21} i l'IP1dB són inferiors en aquest cas. Això es degut a tres motius principals:

1. En aquest cas, el senyal de sortida (que és el senyal de sortida del mesclador) es veu influït per la desadaptació entre la sortida del mesclador auxiliar i l'entrada de l'LNA.
2. La simulació utilitzada també introdueix certs errors en les observables. La impossibilitat de configurar un anàlisi PSS (la naturalesa del generador IF impedeix fer l'anàlisi PSS). En comptes d'aquests, s'ha hagut de fer un anàlisi TRAN i fer la DFT dels senyals emprats com a observables de test.
3. Finalment, el circuit de test utilitzat ha estat el circuit complet. En simulacions anteriors, tot i utilitzar el mesclador auxiliar, el generador IF havia estat simulat mitjançant una font ideal (per a reduir el temps de les simulacions). En aquest cas, apareixen tots els harmònics indesitjats produïts per aquest generador IF, que a través dels diferents circuits afecten al senyal d'interès.

TAULA 5.3

CORRELACIONS I ERRORS (% RMS) DE PREDICCIÓ
DEL LNA EN FUNCIÓ DE LES OBSERVABLE DE TEST

Observables de test	G_{LNA}		$IP1dB_{LNA}$	
	r	ϵ	r	ϵ
$V_{out,pp,LNA}$	0.423	2.58	0.844	2.16
$I_{SS,DC,LNA}$	0.889	1.29	0.827	2.28
$V_{out,pp,LNA}$ & $I_{SS,DC,LNA}$	0.935	1.00	0.919	1.85

TAULA 5.4

CORRELACIONS I ERRORS (% RMS) DE PREDICCIÓ
DEL MESCLADOR EN FUNCIÓ DE LES OBSERVABLE DE TEST

Observables de test	$G_{C, MX}$		$IP1dB_{MX}$	
	r	ϵ	r	ϵ
$V_{out,pp,MX}$	0.786	2.02	0.239	6.91
$I_{SS,DC, MX}$	0.494	2.79	0.922	2.65
$V_{out,pp,MX}$ & $I_{SS,DC,MX}$	0.918	1.27	0.974	1.48

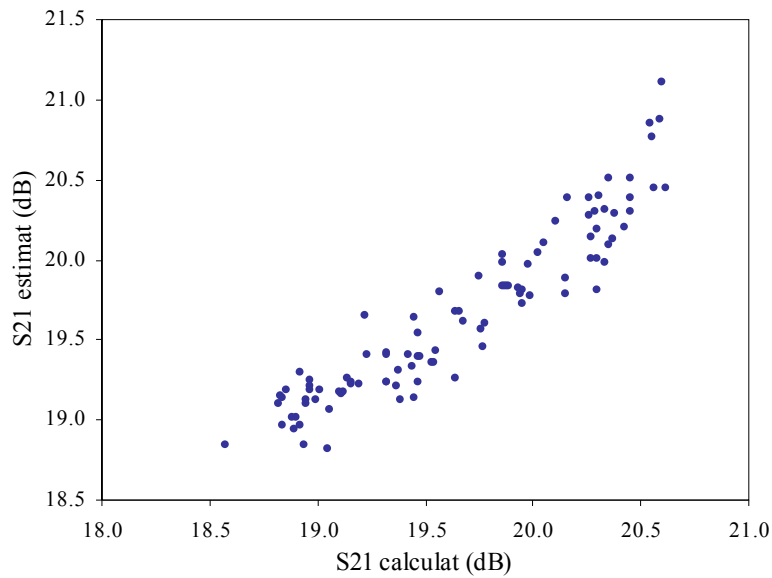


Figura 5.7: Correlació entre el G_{LNA} estimat i el calculat, utilitzant $V_{out,pp,LNA}$ i $I_{SS,DC,LNA}$ com a observables de test.

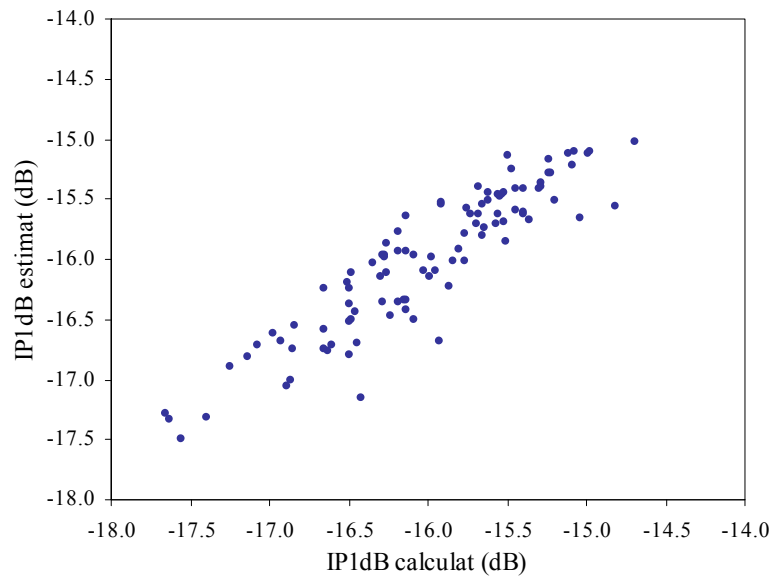


Figura 5.8: Correlació entre l'IP1dB_{LNA} estimat i el calculat, utilitzant $V_{out,pp,LNA}$ i $I_{SS,DC,LNA}$ com a observables de test.

Comparant la Taula 5.4 amb la Taula 3.20 es pot veure com, en aquest cas, les diferències són inferiors. Tot i que la predicció del guany empitjora lleugerament, la predicció de l'IP1dB es manté amb un valor similar. Les diferències són atribuïbles als mateixos motius que en les prediccions dels paràmetres de l'LNA, excepte el primer motiu (durant el procés de test del mesclador l'LNA és desactivat). En aquest cas, el senyal de test es veu influït per la desadaptació entre la sortida del mesclador auxiliar i l'entrada del balun (no de l'LNA).

Finalment, fer notar la gran semblança entre la Figura 5.9 i la Figura 5.10, amb la Figura 3.18 i la Figura 3.19. Amb aquestes figures es pot comprovar visualment, que

testar el mesclador dintre de la cadena receptora, té els mateixos resultats que testar-lo de manera aïllada (utilitzant les mateixes observables de test).

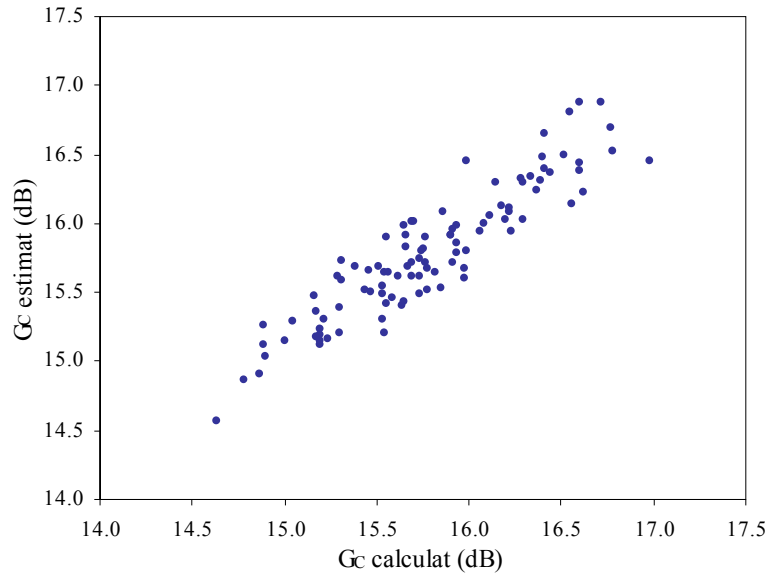


Figura 5.9: Correlació entre el $G_{C,MX}$ estimat i el calculat, utilitzant $V_{out,pp,MX}$ i $I_{SS,DC,MX}$ com a observables de test.

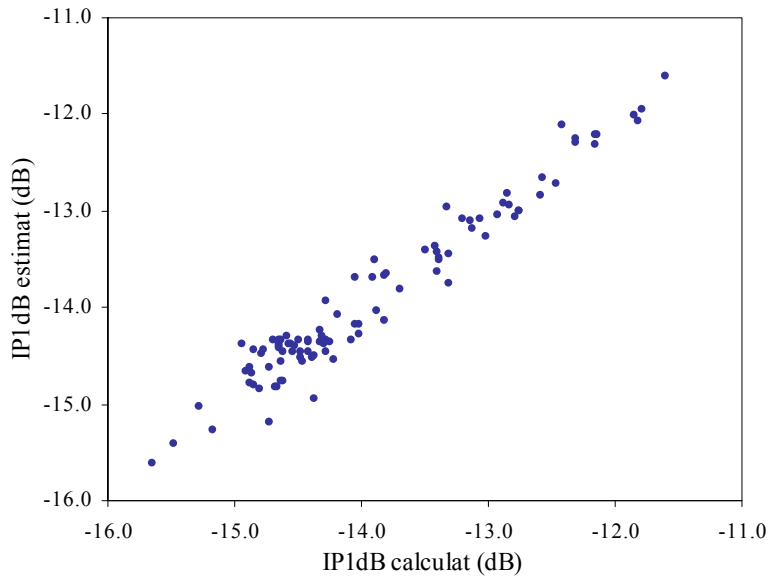


Figura 5.10: Correlació entre l' $IP1dB_{MX}$ estimat i el calculat, utilitzant $V_{out,pp,MX}$ i $I_{SS,DC,MX}$ com a observables de test.

5.4.- Conclusions

En aquest capítol s'ha aplicat la tècnica seqüencial en un capçal RF. Aquest capçal RF està format per un LNA, un balun i un mesclador. En els capítols anteriors, aquesta tècnica ha estat provada sobre un mesclador i un LNA, de manera aïllada. L'objectiu d'aquest capítol ha estat comprovar si la tècnica seqüencial és útil a l'hora de predir algunes de les característiques funcionals d'un LNA i un mesclador, comparant

els resultats aconseguits amb els resultats obtinguts de testar els circuits de manera aïllada.

El senyal RF de test utilitzat ha estat el generat per la circuiteria de test, composta per un generador IF i un mesclador auxiliar. Encara que el mesclador auxiliar es pot reconfigurar, per a que proporcioni tres nivells de senyal diferents a dues impedàncies de sortida diferents (com es mostra en el capítol anterior), en aquest capítol només s'ha emprat una de les configuracions possibles ($V_{RF} = -35$ dBV, a Z1). Això es degut a que per a predir el guany i l' $IP1dB$ no és necessari emprar cap de les altres configuracions.

Les observables de test escollides han estat triades d'acord amb els estudis realitzats en els capítols anteriors, d'acord amb la tècnica proposada: la tensió de sortida del mesclador, i el corrent de consum del LNA i del mesclador ($V_{out,pp,LNA}$, $I_{SS,DC,LNA}$, $V_{out,pp,MX}$ i $I_{SS,DC,MX}$).

En aquest cas, per a testar el mesclador, s'ha d'introduir el senyal RF de test a l'entrada del balun. Les observables de test emprades són: la tensió de sortida del mesclador ($V_{out,pp,MX}$) i el seu corrent de consum ($I_{SS,DC,MX}$).

A l'hora de testar l'LNA, el senyal RF de test s'introdueix per la connexió de l'antena. Les observables de test són: la tensió de sortida del mesclador (en aquest cas, anomenada $V_{out,pp,LNA}$) i el seu corrent de consum ($I_{SS,DC,LNA}$).

Els resultats als que s'ha arribat mostren com, tot i que pel cas del LNA són inferiors, les estimacions del guany i de l' $IP1dB$ d'ambdós circuits estudiats són semblants a les estimacions dels paràmetres dels circuits estudiats de manera aïllada.

6.- Conclusions generals i línies de futur

En aquesta tesi s'ha desenvolupat una tècnica de test que permet testar un LNA i un mesclador, situats en el capçal RF d'un receptor CMOS, en una configuració de test semblant al mode normal de funcionament del receptor.

La circuiteria necessària per a implementar aquesta tècnica consta d'un generador IF i d'un mesclador auxiliar. Els dissenys s'han realitzat per a que els dos circuits de test siguin inclosos dintre del mateix integrat, del capçal RF a testar. Aquests dos elements permeten generar tots els senyals de test amb les que es pot verificar el capçal RF.

El generador IF genera el senyal de test de freqüència IF. La freqüència del senyal de sortida que genera es pot controlar mitjançant una tensió de control (V_C).

El mesclador auxiliar genera el senyal de test de freqüència RF multiplicant el senyal de test IF amb el senyal de l'oscil·lador local. La configuració emprada evita la necessitat d'implementar un filtre. El nivell del senyal de sortida es pot regular, i la seva impedància de sortida es pot variar.

El procés de test és seqüencial, controlable mitjançant un microcontrolador, o qualsevol altre dispositiu de control programable. Els passos per a testar el capçal RF són els següents:

1. Amb el circuit configurat en mode test, per a testar l'amplificador IF, el senyal de test IF és injectat a l'entrada de l'amplificador IF.
2. La tensió de control (V_C) és variada fins que a la sortida de l'amplificador IF es detecta el màxim nivell de sortida. Aleshores, el generador IF queda ajustat a la freqüència IF.
3. Es reconfigura el circuit en mode test, per a testar el mesclador. El senyal de test RF s'injecta al node de sortida de l'LNA.
4. Un cop verificat el mesclador, cal reconfigurar un altre cop la circuiteria de test per a testar l'LNA. Ara cal introduir el senyal de test cap a l'entrada de l'LNA, i verificar l'amplificador.

El consum de corrent, de la circuiteria de test, durant aquest procés és negligible, comparat amb el consum de tot el capçal RF. Amb el capçal RF configurat en mode normal de funcionament, la circuiteria de test presenta un consum nul.

Els circuits que formen la tècnica de test han estat integrats (el generador IF i el mesclador auxiliar), i validats de manera experimental. Les mesures obtingudes han estat similars a les simulacions.

Aquesta tècnica proposada intenta aprofitar els avantatges de dues tècniques amb filosofia de test oposades, alhora que intenta minimitzar els seus inconvenients: la *loop-back test* i la *separate test*.

La *loop-back test* consisteix en testar tota la cadena receptora (en alguns casos, fins i tot, el transceptor complet) com un sol bloc. La *separate test* consisteix en testar cadascun dels elements de la cadena receptora, per separat, utilitzant un circuit de test específic.

La *loop-back test* té, com avantatge principal, una baixa circuiteria addicional de test requerida, per a implementar-la. Malauradament, aquesta tècnica no permet detectar l'element defectuós de la cadena receptora, i la cobertura de test és inferior a la *separate test*. La *separate test*, tot i tenir una cobertura de detecció superior a la *loop-back test*, té com a desavantatge la gran quantitat de circuiteria addicional necessària per a implementar el test de cadascun dels blocs a testar.

La tècnica dissenyada és un compromís entre aquestes dues tècniques: testa cadascun dels components de la cadena receptora per separat, amb una circuiteria de test reduïda.

En l'elecció les observables de test, per a emprar en aquesta tècnica, s'han buscat certes característiques: les observables han de ser fàcilment mesurables, la seva mesura ha de requerir una circuiteria de test mínima, i la circuiteria de mesura ha d'afectar el mínim possible al funcionament del circuit, en mode normal de funcionament. Naturalment, a banda dels requisits enumerats, cal que la cobertura de test, que proporcionin les observables escollides, sigui la màxima possible per a requerir el mínim d'observables de test possibles.

Tal i com s'ha pogut constatar, les observables extretes a partir de les tensions proporcionen la millor cobertura de test. Desgraciadament, la seva mesura resulta més intrusiva que mesurar altres magnituds, i la majoria dels senyals tenen una freqüència massa elevada (f_{RF}), o un nivell de tensió massa baix, per ser mesurats. Per a solucionar aquests inconvenients, s'ha escollit el node de sortida del capçal RF com a únic punt de mesura de la tensió. La tensió a la sortida del capçal RF presenta els avantatges de: tenir una freqüència relativament baixa (f_{IF}), i el seu nivell és el més elevat de tota la cadena receptora (degut a l'amplificació proporcionada per totes les etapes anteriors).

Les observables de test que es poden obtenir del corrent, tot i no ser les millors, permeten millorar considerablement la cobertura de test. Com a observables de test es poden utilitzar: el component DC, i l'amplitud de les variacions del corrent de consum (de l'LNA i del mesclador). L'observable escollida ha estat el component DC del corrent de consum. El component pic a pic del corrent de consum ha estat descartat degut al seu baix nivell i alta freqüència (característiques que imposarien una circuiteria massa complexa).

Per tant, les observables de test escollides han estat: l'amplitud de la tensió de sortida del capçal RF ($V_{out,pp}$), i el component DC del corrent de consum de l'LNA i del mesclador ($I_{SS,DC,LNA}$ i $I_{SS,DC,MX}$).

La tècnica dissenyada ha estat aplicada en les estratègies de test estructural i predictiu, per a comprovar la seva eficàcia. El test estructural és una estratègia que intenta detectar la presència de falles en un circuit, mentre que el test predictiu pretén estimar les característiques funcionals del circuit.

Per a detectar una falla en un circuit, emprant l'estratègia estructural, primer cal determinar els marges de tolerància que poden tenir les observables de test, en el cas d'un circuit sense cap tipus de falla. Una vegada aquests marges han estat definits, les observables de test mesurades, dels circuits sota prova, es comparen amb aquests marges. Es considerarà que el circuit presenta una falla si alguna de les observables de test presenta un valor fora dels marges permesos.

Com s'ha mostrat per al cas de l'LNA, el mètode matemàtic PCA és una eina útil a l'hora de determinar els marges de tolerància. El PCA és una tècnica estadística que permet mapejar un conjunt de dades en una altra base ortogonal diferent a la original. La nova base ortogonal estarà formada per combinacions lineals de la base original.

Tal com mostren els resultats, aplicant test estructural en combinació amb la tècnica de test proposada permet detectar la gran majoria de falles catastròfiques. Malauradament, una proporció considerable de falles paramètriques són indetectables, però això és un desavantatge present en totes les estratègies de test. La tècnica de test seqüencial té una cobertura similar que altres tècniques, per aquest tipus de falla.

L'estratègia predictiva utilitza les observables de test per a estimar algunes de les característiques funcionals del circuit sota prova. Això permet detectar els circuits que no compleixen les especificacions establertes pel fabricant d'una manera més clara.

Els resultats obtinguts mostren com es poden arribar a estimar paràmetres funcionals, aconseguint coeficients de correlació acceptables. Tot i que les correlacions que proporciona la tècnica proposada és lleugerament inferior a la *separate test*, la pèrdua de precisió queda sobradament compensada, per la reducció i simplicitat de la circuiteria de test.

Aquest descens en la precisió de la correlació, entre les estimacions de la *separate test* i la tècnica seqüencial és atribuïble a: les variacions que introdueixen els circuits de test, i la desadaptació d'impedàncies entre la sortida del mesclador auxiliar i l'entrada del balun i l'LNA.

També cal recalcar que les estratègies de test estructural i predictiu tenen objectius diferents, i es poden emprar de manera complementària. El test estructural pot servir per a detectar un circuit amb falles d'una manera ràpida (mesurant les observables de test i comparant-les amb els marges preestablerts), i el test predictiu per a determinar els efectes de les falles paramètriques sobre les característiques funcionals estimades (cosa que requereix un processat de les dades més exhaustiu).

Aquest treball permet obrir noves línies de recerca per a completar o millorar-lo. Les principals línies de futur que es proposen seguir són:

1. Completar el disseny del capçal RF conjuntament amb tota la circuiteria de test addicional necessària.
2. Validar la tècnica proposada de manera experimental. Tot i que la circuiteria de test ha estat comprovada (generador IF i mesclador auxiliar), no s'ha integrat tot el capçal RF i la circuiteria de test en un sol circuit integrat.
3. Modificar o redissenyar alguns dels circuits de test per a adaptar-los millor a la tècnica proposada. Una millora seria implementar la mesura de l'amplitud del senyal de sortida digitalment, i aprofitar els recursos del microprocessador (actualment, present en quasi la totalitat de dispositius receptors).
4. Modificar la circuiteria de la tècnica proposada per a que sigui compatible amb altres configuracions receptores existents.
5. Adaptar la tècnica proposada per a aconseguir predir, o millorar les estimacions, d'altres paràmetres funcionals, com el punt d'intercepció de tercer ordre (*IP3*) o l'adaptació d'entrada de l'LNA (*S11*).

Annex I: Disseny d'un Amplificador Operacional

I.1.- Introducció

L'amplificador operacional (OpAmp o AOp) és un dels circuits més emprats en els sistemes analògics i està àmpliament documentat en tot tipus de literatura [118] [119] [120] [121] [122] [123]. La versió CMOS de dues etapes de l'AOp que es dissenyarà és una de les més emprades degut a la seva simplicitat i a les seves bones característiques. Aquest annex pretén donar una guia bàsica per al dissenyar d'aquest tipus AOp emprant transistors MOS amb tecnologia de 0.35 μm .

I.2.- Definicions

I.2.1.- Amplificador Operacional

El símbol de l'AOp es mostra en la Figura A1.1. Idealment, és un dispositiu, amb guany infinit, impedància d'entrada infinita i una impedància de sortida zero, que amplifica la diferència de senyal que hi hagi entre les seves dues entrades. Idealment,

$$V_{out} = A(V^+ - V^-) \quad (\text{A1.1})$$

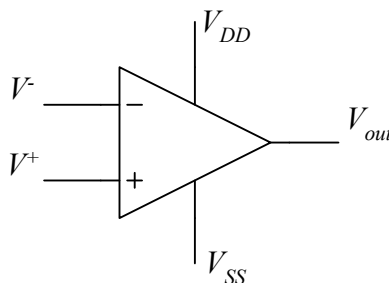


Figura A1.1: Símbol d'un amplificador operacional.

Però en realitat,

$$V_{out} = A_{diff}(V^+ - V^-) + \frac{A_{com}}{2}(V^+ + V^-) \quad (\text{A1.2})$$

A on A_{diff} i A_{com} són els guanys que de l'amplificador en mode diferencial i en mode comú, respectivament.

I.2.2.- Característiques d'un amplificador operacional

Entre totes les figures de mèrit que es poden definir en un circuit amplificador [124], les emprades en aquest exemple de disseny, i referides al mode diferencial, són:

Ampla de banda: Marge de freqüències en les quals l'amplificador presenta un guany superior al guany màxim entre $\sqrt{2}$.

Guany en laç obert: Guany que presenta l'amplificador sense realimentar per a un senyal continu.

Marge de fase: És la diferència entre la fase que presenta un circuit, quan el seu guany és unitat, i 180° . Dóna una idea de la estabilitat del sistema.

Rebuig del mode comú: Relació entre el guany en mode diferencial i el mode comú d'un amplificador. Dóna una idea del rebuig que ofereix l'amplificador a la tensió d'entrada en mode comú.

$$CMRR = 20 \log \left(\frac{A_{dif}}{A_{com}} \right) \quad (A1.3)$$

A on A_{dif} és el guany en mode diferencial i A_{com} és el guany en mode comú.

Slew-Rate: És el màxim pendent que pot tenir la tensió de sortida d'un amplificador. Representa la seva limitació per a seguir variacions ràpides del senyal d'entrada,

$$SR = \frac{dV_{out}}{dt} \quad (A1.4)$$

I.3.- Disseny de l'amplificador operacional

L'amplificador diferencial en topologia de Miller que es vol dissenyar es mostra a la Figura A1.2. Aquest amplificador consta de tres parts principals. Una font de corrent per a polaritzar el circuit ($M6, M7$). El nucli amplificador implementat amb un amplificador diferencial ($M1..M4$) i una etapa de sortida ($M8, M9$). En aquest cas, s'afegirà una capacitat i un resistència de compensació (R_C i C_C) per afavorir l'estabilitat en freqüència.

El circuit que es pretén dissenyar és un amplificador diferencial alimentat amb una font de ± 1.65 V i que pugui suportar una càrrega a la sortida de 10 pF. Es donarà prioritat al marge de fase i a l'*slew-rate* per davant d'altres paràmetres.

Les característiques finals que hauria de tenir l'amplificador són les indicades en la Taula A1.1.

I.3.1.- Resposta freqüencial

El circuit equivalent del OpAmp pel mode diferencial en baixa freqüència, és el mostrat a la Figura A1.3.

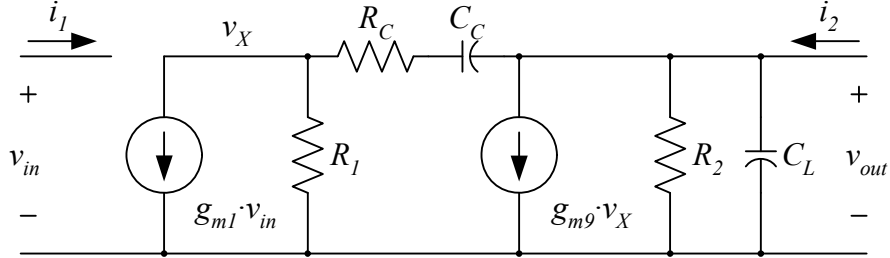


Figura A1.3: Circuit equivalent del OpAmp en mode diferencial.

S'ha obtingut emprant el model equivalent del transistor en petit senyal i baixa freqüència, i tenint en compte que $M1 = M2$ i $M3 = M4$.

g_{mi} i r_{oi} representen la transconductància i la resistència de sortida del transistor M_i , respectivament. R_1 i R_2 estan donades per,

$$R_1 = r_{o2} // r_{o4} \quad (A1.5)$$

$$R_2 = r_{o6} // r_{o7} \quad (A1.6)$$

Fent l'anàlisi del circuit de la Figura A1.3,

$$g_{m1}v_{in} + \frac{v_X}{R_1} + \frac{sC_C}{1 + sC_C R_C}(v_X - v_{out}) = 0$$

$$g_{m9}v_{in} + \frac{v_{out}}{R_2} + sC_L v_{out} + \frac{sC_C}{1 + sC_C R_C}(v_X - v_{out}) = 0$$

El guany, $A_V(s)$ en resulta,

$$A_V(s) = \frac{v_{out}}{v_{in}} = \frac{A_0(1 - s/z)}{(1 - s/p_1)(1 - s/p_2)} \quad (A1.7)$$

On,

$$A_0 = g_{m1}g_{m9}R_1R_2 \quad (A1.8)$$

$$p_1 \approx \frac{1}{g_{m9}R_1R_2C_C} \quad (A1.19)$$

$$p_2 \approx \frac{g_{m9}}{C_L} \quad (\text{A1.10})$$

$$z \approx \frac{-I}{C_C(I/g_{m9} - R_C)} \quad (\text{A1.11})$$

Es pot suposar que R_C és molt més petit que R_1 i R_2 i els pols estan molt separats entre ells.

A partir de les equacions A1.8 i A1.9 es troba el producte del guany per l'ampla de banda, que per definició és,

$$GBW = A_0 \cdot |p_1| = \frac{g_{m1}}{C_C} \quad (\text{A1.12})$$

El marge de fase es pot calcular segons,

$$\text{Arg}[A(s)]_{s=GBW} - MF = -180^\circ \quad (\text{A1.13})$$

$$MF = 180^\circ - \text{tg}^{-1}\left(\frac{\omega}{|p_1|}\right) - \text{tg}^{-1}\left(\frac{\omega}{|p_2|}\right) - \text{tg}^{-1}\left(\frac{\omega}{z}\right) \quad (\text{A1.14})$$

Si el zero és negatiu, el marge de fase és redueix. Però si es fa que el zero sigui positiu, aleshores, el marge de fase augmenta. Si $R_C = 0$, el zero és negatiu. Per assegurar que el zero no molesta, s'ha afegit una resistència de compensació, R_C , en el llaç de realimentació.

De l'equació A1.11, si es tria,

$$R_C = \frac{1}{g_{m9}} \quad (\text{A1.15})$$

El zero se'n va a l'infinit i no molesta. Però, degut a les variacions de procés, aconseguir implementar aquest valor és complicat. Per assegurar el marge de fase, es farà que R_C sigui un 50% més gran. De manera que,

$$R_C = \frac{1.5}{g_{m9}} \quad (\text{A1.16})$$

Aleshores,

$$z_1 = 2 \frac{g_{m9}}{C_C} \quad (\text{A1.17})$$

Es vol un marge de fase de, com a mínim, 60° , per tant,

$$60^\circ \leq 180^\circ - 90^\circ - \text{tg}^{-1} \left(\frac{GBW}{|p_2|} \right) - \text{tg}^{-1} \left(\frac{GBW}{z} \right) \quad (\text{A1.18})$$

$$30^\circ - \text{tg}^{-1} \left(\frac{g_{m1}}{2 \cdot g_{m9}} \right) \geq \text{tg}^{-1} \left(\frac{g_{m1} C_L}{g_{m9} C_C} \right) \quad (\text{A1.19})$$

Imposant que $C_C = 0.2 \cdot C_L$, es a dir,

$$C_C = 2 pF$$

Aleshores,

$$30^\circ - \text{tg}^{-1} \left(0.5 \frac{g_{m1}}{g_{m9}} \right) \geq \text{tg}^{-1} \left(5 \frac{g_{m1}}{g_{m9}} \right) \quad (\text{A1.20})$$

A partir de l'expressió superior, es pot trobar la relació entre g_{m1} i g_{m9} ,

$$g_{m9} \geq 11 \cdot g_{m1} \quad (\text{A1.21})$$

Per assegurar aquesta relació s'escollirà $g_{m9} = 13 \cdot g_{m1}$.

I.3.2.- Slew-Rate

Quan $V^+ \gg V^-$ el transistor $M1$ està en on i $M2$ està en off. De manera que tot el corrent que subministra el transistor $M7$ travessa $M1$ i $M3$ ($I_{D7} = I_{D1} = I_{D3}$). El mirall de corrent format per $M3$ i $M4$ fa que $I_{D3} = I_{D4}$. Per tant, $I_{D7} = -I(C_C)$. En canvi, quan $V^+ \ll V^-$ $M1$ està en off i $M2$ en on. Aleshores, $I_{D7} = I_{D2}$ i $I_{D3} = I_{D4} = 0$. Per tant, $I_{D2} = I_{D7} = I(C_C)$. En tots dos casos, el corrent que passa pel condensador és I_{D7} .

Aplicant la definició de l'slew-rate (equació A1.4),

$$SR = \frac{dV_{out}}{dt} = \frac{d\left(\frac{q}{C_C}\right)}{dt} = \frac{I_{D7}}{C_C} \quad (A1.22)$$

Aïllant el corrent,

$$I_{D7} = SR \cdot C_c \quad (A1.23)$$

Per aconseguir l'slew-rate desitjat es necessita,

$$I_{D7} = 15 \cdot 10^6 \cdot 2 \cdot 10^{-12} = 30 \mu A$$

I.3.3.- Marge d'entrada comú (CMR)

Amb el valor màxim i mínim del senyal d'entrada es poden calcular les dimensions dels transistors $M1..M4$ i $M7$.

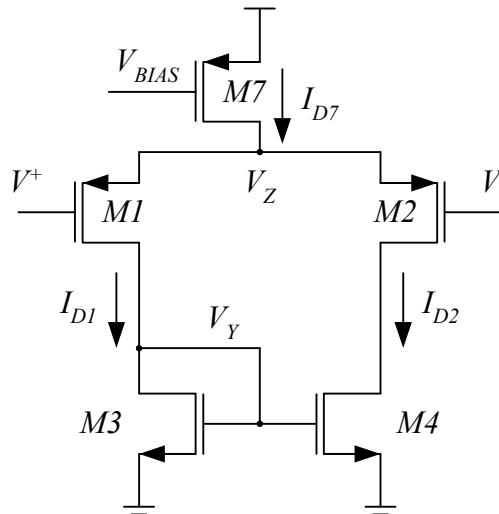


Figura A1.4: Amplificador diferencial.

Analitzant el circuit de la Figura A1.4, $M1$ es pot dimensionar de dues maneres diferents. La primera, partint de l'expressió per a calcular la transconductància,

$$g_{m1} = \sqrt{2K_p S_I I_{D1}} \quad (A1.24)$$

On S_I és la relació d'aspecte del transistor $M1$. De l'equació superior totes les dades, excepte S_I , són conegudes. Per tant, aïllant la relació d'aspecte dóna $S_I \cong 2.44$ com a primera aproximació.

La segona manera de trobar la dimensió del transistor $M1$, és partint de la condició del valor màxim d'entrada, $V_{IN,MÀX} = 0.3 \text{ V}$. Suposant que el transistor $M1$ està en saturació,

$$|V_{GS1}| = |V_{T1}| + \Delta V \quad \rightarrow \quad |V_{DS1}| \geq |V_{GS1}| - |V_{T1}| = \Delta V$$

Per tant, la tensió V_Z a la Figura A1.4 és,

$$V_Z = V_{in,màx} + |V_{GS1}| = V_{in,màx} + |V_{T1}| + |\Delta V| \quad (\text{A1.25})$$

I aplicant l'expressió del corrent en un transistor en saturació, es pot trobar ΔV ,

$$I_{D1} = \frac{\beta_1}{2} (V_{GS1} - V_{T1})^2 \quad \rightarrow \quad \Delta V = \sqrt{\frac{2I_{D1}}{\beta_1}} \quad (\text{A1.26})$$

A on $\beta_1 = K_1 \cdot S_1$. D'altra banda, es pot calcular V_Z segons,

$$V_Z + |V_{DS7}| = V_{CC}$$

Substituint les equacions A1.25 i A1.26 en l'equació superior s'arriba a,

$$V_{in,màx} + |V_{T1}| + \Delta V + |V_{DS7}| = V_{CC} \quad (\text{A1.27})$$

La condició límit per a mantenir el transistor $M7$ en saturació és,

$$V_{DS7} = V_{GS7} - V_{T7} \quad \rightarrow \quad V_{DS7} = \sqrt{\frac{2I_{D7}}{\beta_7}}$$

Aleshores, substituint aquesta equació en la equació A1.27,

$$V_{in,màx} + |V_{T1}| + \sqrt{\frac{2I_{D1}}{K_p S_1}} + \sqrt{\frac{2I_{D7}}{K_p S_7}} = V_{CC} \quad (\text{A1.28})$$

De l'equació superior, totes les dades són conegudes excepte les relacions d'aspecte dels transistors $M1$ i $M7$ (S_1 i S_7). Imposant que $S_1 = S_7$, i substituint tots els valors de l'equació A1.28, $S_1 \cong 7.4$.

De l'equació A1.24 i A1.28, s'han obtingut dos valors diferents d' S_1 . El valor més gran complirà amb la g_{m1} necessària i amb la condició de $V_{IN,MÀX}$. Aquest valor s'arrodonirà per a obtenir $S_1 = 7.5$

Per a dimensionar els transistors $M3$ i $M4$ s'utilitzarà la condició de $V_{IN,MÍN} \leq -0.3 \text{ V}$,

$$V_Y = V_{in,min} + |V_{T1}| \rightarrow V_{Y,min} = 0.4V$$

$$V_{GS3} = V_Y - (-V_{EE}) = 2.05V$$

Aleshores, la dimensió d' $M3$ es troba segons,

$$S_3 = \frac{2I_{D3}}{K_n(V_{GS3} - V_{T3})^2} \quad (\text{A1.29})$$

Tots els valors són coneguts, i per tant, $S_3 \cong 0.07$. Aquest valor fa que la W_3 doni un valor molt petit. En comptes d'aquest valors s'agafarà $S_3 = 0.5 \cdot S_l = 3.75$. Això fa que la nova $V_{IN,MÍN} \cong -1.636 \text{ V}$ ($\leq -0.3 \text{ V}$).

I.3.4.- Simetria del parell diferencial

Per assegurar la simetria del parell diferencial, es farà que,

$$V_{DS4} \approx V_{DS3} \rightarrow V_{GS9} = V_{GS4}$$

Per tant, el corrent que circula a través del transistor $M9$ es pot calcular amb,

$$\frac{I_{D9}}{I_{D4}} = \frac{g_{m9}}{g_{m4}} \quad (\text{A1.30})$$

La transconductància dels transistors $M1$ i $M4$ es calculen amb,

$$g_{m4} = \sqrt{2K_n S_4 I_{D4}} \cong 140 \mu\text{A/V}$$

$$g_{m1} = \sqrt{2K_p S_l I_{D1}} \cong 110 \mu\text{A/V}$$

I $g_{m9} = 13 \cdot g_{m1}$, tal com s'indica al final de l'apartat I.3.1, per tant,

$$g_{m9} \approx 1430 \mu\text{A/V}$$

El corrent que circula per $M9$ es pot aïllar de l'equació A1.30. Aleshores, $I_{D9} \cong 153 \mu\text{A}$. I S_9 es troba aïllant,

$$g_{m9} = \sqrt{2K_p S_9 I_{D9}} \quad (\text{A1.31})$$

Per tant, $S_9 = 38.2$. Arrodonint aquest valor, s'agafarà com a relació d'aspecte del transistor $M9$, $S_9 = 38.5$.

Ara que ja s'ha determinat g_{m9} , es pot calcular el valor de R_C amb l'equació A1.16, aleshores, $R_C \cong 1.05 \text{ k}\Omega$. I també es pot calcular el GBW que presentarà l'OTA, aplicant l'equació A1.12, substituint els valors de g_{m1} i C_C , s'obté que $GBW = 55 \cdot 10^6$ rad/seg.

I.3.5.- Simetria de sortida

Si es vol que no hi hagi offset de sortida, $I_{D8} = I_{D9}$. Aleshores, la relació d'aspecte entre els transistors és,

$$I_{D7} \frac{S_8}{S_7} = I_{D4} \frac{S_9}{S_4} \quad (\text{A1.32})$$

Com que $I_{D7} = 2 \cdot I_{D4}$ i $S_7 = 2 \cdot S_3$,

$$S_8 = S_9 \quad (\text{A1.33})$$

D'altra banda, per a aconseguir que el temps de càrrega i descàrrega de la capacitat de sortida sigui el mateix, s'ha de fer que $I_{O,m\grave{a}x}^+ = I_{O,m\grave{a}n}^-$. De manera que,

$$I_{O,m\grave{a}x}^+ = I_{D8}$$

$$I_{O,m\grave{a}n}^- = I_{D9,m\grave{a}x} - I_{D8}$$

D'aquí, que la relació entre els corrents sigui,

$$I_{D8} = \frac{I_{D9,m\grave{a}x}}{2} \quad (\text{A1.34})$$

I el corrent màxim que circula pel transistor $M9$ és,

$$I_{D9,m\grave{a}x} = \frac{\beta_9}{2} (V_{GS9,m\grave{a}x} - V_{T9})^2 \quad (\text{A1.35})$$

De l'expressió superior fa falta calcular la tensió $V_{GS9,m\grave{a}x}$,

$$V_{GS9,m\grave{a}x} = V_Z - |V_{DS2}|_{min} + V_{CC} \quad (\text{A1.36})$$

I la tensió entre drenador i font del transistor $M2$ és,

$$|V_{DS2}|_{min} = V_{GS2} - V_T = \sqrt{\frac{2 \cdot I_{D2}}{\beta_2}}$$

Tots els valors són coneguts, per tant $|V_{DS2}|_{min} = 0.385$ V. Substituint aquest valor en l'equació A1.36,

$$V_{GS9,m\grave{a}x} = 1.43 - 0.385 + 1.65 \approx 2.7V$$

Ara es pot calcular el corrent que circula pels transistors $M8$ i $M9$ amb l'equació A1.35 A1.34, respectivament,

$$I_{D9,m\grave{a}x} = \frac{175 \cdot 10^{-6} \cdot 38.5}{2} (2.7 - 0.5)^2 = 16.3mA$$

$$I_{D8} = \frac{16.3 \cdot 10^{-3}}{2} = 8.15mA$$

Finalment, la relació d'aspecte del transistor $M8$ es pot trobar segons,

$$S_8 = S_7 \frac{I_{D8}}{I_{D7}} = 2038$$

El resultat de l'expressió superior dóna una relació d'aspecte massa gran per a poder-ho integrar. S'escollirà $S_8 = 50$, un valor molt inferior al calculat però integrable.

I.3.6.- Mirall de corrent

Per acabar aquesta part, només cal dissenyar M6 (mirar la Figura A1.2). Una condició de disseny que s'imposarà per a reduir el consum del conjunt és $I_{D7} = 5 \cdot I_{D6}$. De manera que $S_7 = 5 \cdot S_6$. Això vol dir que $S_6 = 1.5$.

I.3.7.- Taula resum de l'amplificador

Finalment, es mostren els resultats obtinguts del càlcul realitzat. Les mides dels transistors i el valor de les resistències que formen part del circuit amplificador es mostren en la Taula A1.3.

TAULA A1.3
VALORS DELS COMPONENTS DE L'AMPLIFICADOR DISSENYAT
Dimensions dels transistors expressats segons W/L.

Element	Valor	Unitats
M1	30 / 4	$\mu\text{m} / \mu\text{m}$
M2	30 / 4	$\mu\text{m} / \mu\text{m}$
M3	15 / 4	$\mu\text{m} / \mu\text{m}$
M4	15 / 4	$\mu\text{m} / \mu\text{m}$
M6	6 / 4	$\mu\text{m} / \mu\text{m}$
M7	30 / 4	$\mu\text{m} / \mu\text{m}$
M8	200 / 4	$\mu\text{m} / \mu\text{m}$
M9	154 / 4	$\mu\text{m} / \mu\text{m}$
C_c	2	pF
R_c	1	k Ω

I.4.- Simulacions de l'amplificador operacional

Amb les simulacions es pretén comprovar més acuradament que l'amplificador compleixi tots els requisits exposats en la Taula A1.1. Les simulacions que es mostraran a continuació han estat realitzades amb SpectreRF de CADENCE [92].

TAULA A1.4
CARACTERÍSTIQUES DEL MESCLADOR

Paràmetre	Valor	Unitats
Alimentació	± 1.65	V
GBW	$57 \cdot 10^6$	rad/seg
A_0	97.16	dB
f_0	126	Hz
MF	83	graus
SR ⁺	14.5	V/ μseg
I_{REF}	11.04	μA
Consum	615.8	μA

El corrent de referència integrat conjuntament amb l'amplificador (I_{REF}) que no s'ha analitzat aquí, dona exactament 11.04 μA . Per tant a les simulacions s'ha respectat

aquest valor. Amb aquesta restricció, els resultats de les simulacions s'exposen a la Taula A1.4.

Com es pot veure el requeriment de $GBW = 50 \cdot 10^6$ rad/seg es compleix. El marge de fase sobrepassa els 60° que s'havien imposat en les condicions de disseny. Per a aconseguir els $15 \text{ V}/\mu\text{seg}$ que es volen per a l'SR, cal que el corrent de polarització sigui $I_{REF} = 12 \mu\text{A}$, tal i com es mostra en la Figura A1.5.

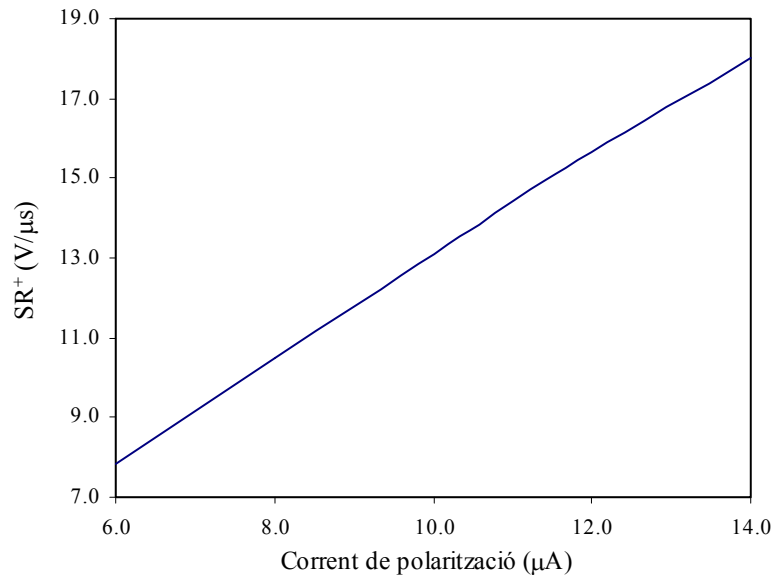


Figura A1.5: SR^+ respecte el corrent de polarització.

I.5.- *Layout* de l'amplificador operacional

Una vegada aconseguir que l'amplificador posseeixi les característiques desitjades es pot passar a implementar el disseny en *layout* [103].

La tecnologia emprada per l'implementació d'aquest disseny ha estat de $0.35 \mu\text{m}$. En aquest cas, degut a que es tracta d'una aplicació al test, no es prendrà en consideració la norma de minimitzar l'àrea del circuit ni de realitzar la millor implementació, tot i que l'implementació realitzada compleix les normatives de disseny que exigeix AMS.

En la Figura A1.6 es mostra el circuit amplificador i la font de corrent després de realitzar el *layout* corresponent, obtenint un circuit de $108.65 \mu\text{m} \times 199.45 \mu\text{m}$, utilitzant dos nivells de metall.

Les simulacions post-*layout* no es mostren degut a que, a banda d'alguns decimals de diferència, els resultats són pràcticament idèntics als indicats en la Taula A1.4.

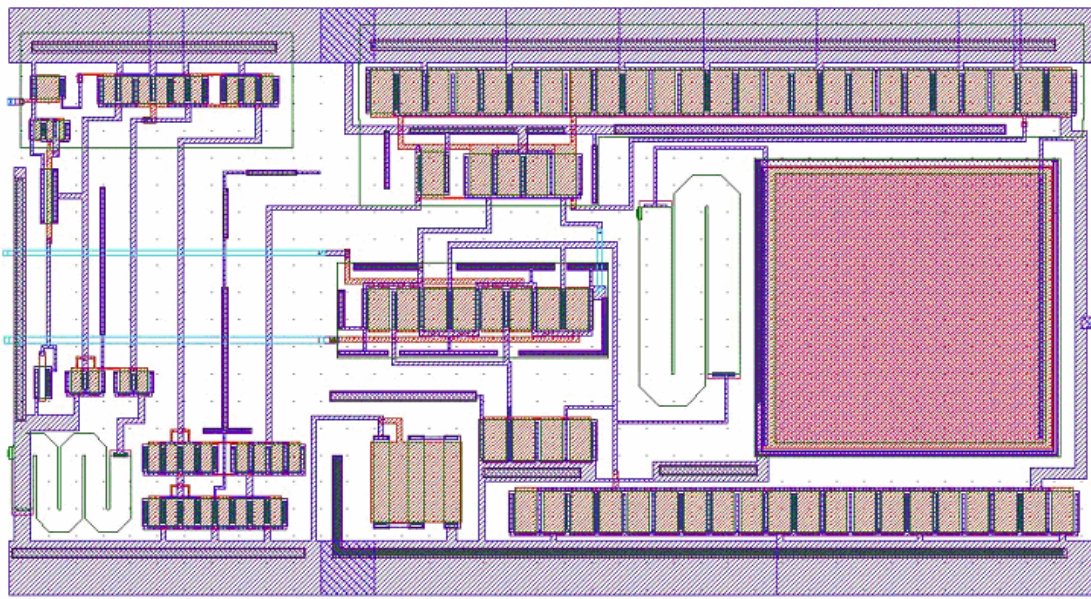


Figura A1.6: *Layout* de l'OTA.

I.6.- Conclusions

En aquest annex s'ha exposat una guia per al disseny d'amplificadors operacionals. La metodologia descrita, tot i no ser la més completa i rigorosa, és intuïtiva i fàcil de seguir per a dissenyar un amplificador amb les característiques que es desitgen, sense utilitzar processos complicats de càlcul. S'han emprat unes equacions del transistor MOS simples, i s'han realitzat simplificacions per a no augmentar de manera innecessària la complexitat del càlcul.

Per acabar el disseny s'ha emprat un simulador circuital per a comprovar que el disseny complia els requeriments especificats, i s'han fet els ajustos necessaris fins que els resultats complien les especificacions.

Annex II: Disseny d'un mesclador

II.1.- Introducció

A continuació es pretén donar una guia per a dissenyar un mesclador emprant transistors MOS amb tecnologia de 0.35 μm . L'exemple de disseny que s'exposarà és un mesclador *downconverter* per a un receptor.

El circuit mesclador és un circuit conegut i documentat [126] [127] [128] [129]. En aquest annex només es mostren els conceptes bàsics per al seu disseny.

II.2.- Definicions

II.2.1.- Mesclador

Un mesclador és un dispositiu no lineal que permet realitzar desplaçaments de freqüència. Aquesta característica fa que sigui un dispositiu emprat en blocs emissor/receptor de comunicacions superheterodins per a desplaçar el senyal de radiofreqüència (RF) rebut a l'antena cap a la banda de freqüència intermitja (IF), que es la mateixa independentment de la freqüència de RF.

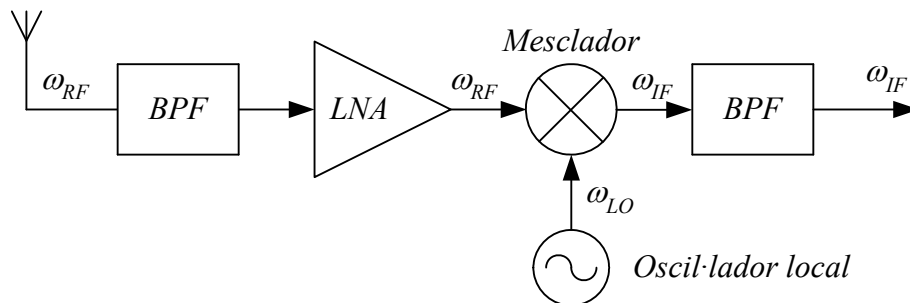


Figura A2.1: Esquema genèric d'un sistema receptor.

Un mesclador emprat en una etapa receptora trasllada un senyal de freqüència de l'espectre d'RF a l'espectre d'IF multiplicant-lo per un senyal de referència proporcionat per l'oscil·lador local, a freqüència ω_{OL}

$$V_{RF} = A \cos(\omega_{RF} t) \quad (\text{A2.1})$$

$$V_{LO} = B \cos(\omega_{LO} t) \quad (\text{A2.2})$$

$$V_{IF} = A \cos(\omega_{RF} t) \cdot B \cos(\omega_{LO} t) = \frac{AB}{2} [\cos(\omega_{LO} + \omega_{RF}) t + \cos(\omega_{LO} - \omega_{RF}) t] \quad (\text{A2.3})$$

L'equació superior mostra com el resultat de la mescla dóna dos tons. Un situat a la part alta de l'espectre ($\cos(\omega_{LO} + \omega_{RF})$) i l'altre a freqüències intermitges ($\cos(\omega_{LO} - \omega_{RF})$). El senyal situat a la part alta de l'espectre no interessa en sistemes receptors i és filtrat.

Obtenint,

$$V_{IF} = \frac{AB}{2} \cos[(\omega_{LO} - \omega_{RF})t] \quad (\text{A2.4})$$

Una forma de realitzar el producte de dos senyals és mitjançant un commutador. La Figura A2.2 mostra la idea d'aquest mesclador.

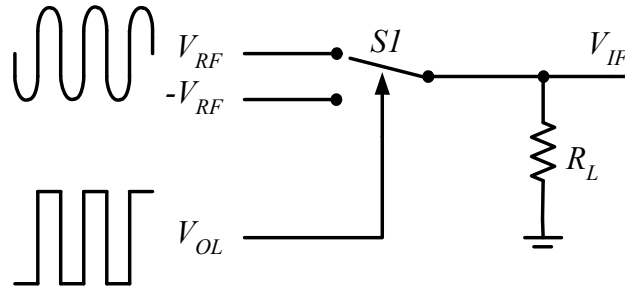


Figura A2.2: Esquema bàsic d'un mesclador.

A on l'RF es pot definir com abans,

$$V_{RF} = A_0 \cos(\omega_{RF}t) \quad (\text{A2.5})$$

El senyal de l'oscil·lador V_{OL} governa el commutador S_1 . De manera que el senyal de sortida es pot trobar com,

$$V_{IF} = V_{RF} \cdot \text{sign}(\cos(\omega_{OL}t)) \quad (\text{A2.6})$$

La funció signe es pot definir com,

$$\text{sign}(\cos(\omega_{OL}t)) = \frac{4}{\pi} \sum_{k=-\infty}^{\infty} (-1)^k \frac{\cos[(2k+1)\omega_{OL}t]}{2k+1} \quad (\text{A2.7})$$

Substituint les equacions A2.5 i A2.7 s'arriba a,

$$V_{IF} = \frac{4}{\pi} A_0 \sum_{k=-\infty}^{+\infty} (-1)^k \frac{\cos\{[(2k+1)\omega_{OL} + \omega_{RF}]t\} + \cos\{[(2k+1)\omega_{OL} - \omega_{RF}]t\}}{2k+1} \quad (\text{A2.8})$$

Els harmònics de ω_{OL} es filtren al FPB posterior i l'expressió de V_{IF} queda,

$$V_{IF} = A_0 \frac{2}{\pi} [\cos(\omega_{OL} + \omega_{RF})t + \cos(\omega_{OL} - \omega_{RF})t] \quad (\text{A2.9})$$

En l'equació superior s'observa que el guany del mesclador de la Figura A2.2 té un guany inferior a la unitat, és un mesclador passiu. Si es vol un mesclador amb guany superior a la unitat s'haurà d'utilitzar un mesclador actiu.

També es pot veure que en l'equació A2.9 no apareixen els termes $\cos(\omega_{OL})t$ o $\cos(\omega_{RF})t$. Un mesclador, com el de la Figura A2.2, en que a la seva sortida no apareix el to de l'oscil·lador local ni el senyal RF, es diu que està doblement equilibrat. En el cas que a la sortida d'un mesclador aparegui el to de l'oscil·lador o el senyal RF es diu que és d'equilibrat simple. Mentre que si apareixen els dos senyals, és un mesclador no equilibrat. El principal avantatge d'un mesclador doblement equilibrat és el seu aïllament entre ports d'entrada/sortida.

II.2.2.- Característiques d'un mesclador

Entre totes les figures de mèrit que es poden definir en un circuit mesclador, les emprades en aquest exemple de disseny són les següents.

II.2.2.1.- Guany de conversió

El guany de conversió (G_C) és la relació entre la potència d'entrada i la sortida del mesclador, expressada en dB's. La seva expressió és,

$$G_C = 10 \log \left(\frac{P_{O,dB}}{P_{i,dB}} \right) \quad (\text{A2.10})$$

En el cas en que la impedància d'entrada i sortida siguin les mateixes,

$$G_C = 20 \log \left(\frac{V_o}{V_i} \right) \quad (\text{A2.11})$$

II.2.2.2.- Figura de soroll

El factor de soroll, F , quantifica el soroll que introdueix un circuit,

$$F = \frac{\left(\frac{S}{N}\right)_0}{\left(\frac{S}{N}\right)_i} \quad (\text{A2.12})$$

S representa la potència de senyal i N la potència de soroll. Tal i com indica l'equació A2.12, es defineix com el quocient entre la relació senyal/soroll (SNR) de la sortida i l'entrada del mesclador, quan l'entrada està adaptada i es troba a la temperatura de referència de soroll, 290 K.

Sovint el factor de soroll es substitueix per la figura de soroll (NF). Es calcula segons,

$$NF = 10 \log F \quad (\text{A2.13})$$

Per un mesclador es defineixen la NF de banda lateral única, $NF(SSB)$ o la de doble banda lateral $NF(DSB)$, segons que es tingui en compte només el soroll associat a la RF o també el soroll introduït per la freqüència imatge. Aquesta freqüència imatge és un to no desitjat, a l'entrada del mesclador, que mesclada amb l'oscil·lador local genera la mateixa freqüència d'IF.

II.2.2.3.- Linealitat

En un circuit mesclador es desitja que el seu guany de conversió sigui independent del nivell l'entrada. Però això només succeeix per a petits senyals d'entrada. Per a senyals d'entrada que superin un cert nivell de potència el circuit es saturarà i apareixeran harmònics que empitjoraran la linealitat del sistema. Dos paràmetres per quantificar la pèrdua de linealitat són el punt de compressió a 1dB i el punt d'intercepció de tercer ordre.

Punt de compressió a 1 dB: Nivell de potència a l'entrada d'un circuit pel qual la potència a la seva sortida és 1 dB inferior al que hauria de tenir idealment. Aquesta característica dóna una idea de la màxima potència d'entrada per a que el circuit funcioni linealment.

Punt d'intercepció de tercer ordre: Idealment, és el punt en el qual la potència de sortida corresponent al senyal útil i al tercer harmònic s'igualen, quan a l'entrada del mesclador s'hi apliquen dos tons del mateix nivell d'amplitud i freqüències properes (Figura A2.3). La potència del senyal de entrada corresponent a aquests punt es denomina IIP3. Aquesta dada determina de forma més realista la linealitat del sistema.

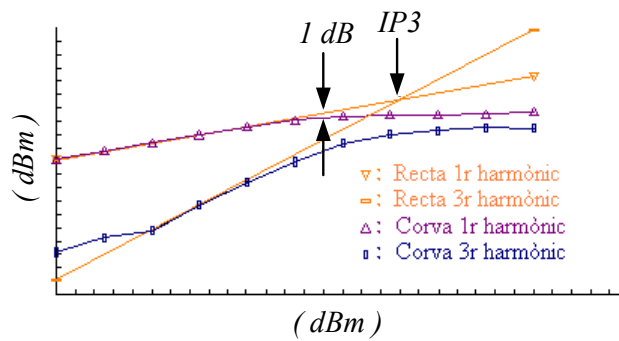


Figura A2.3: Punt de compressió d'1dB i punt de compressió de tercer ordre.

II.2.3.- La cèl·lula de Gilbert

La cèl·lula de Gilbert [130] [131] és un mesclador actiu de topologia doblement equilibrada. Al ser un mesclador actiu presenta l'avantatge de tenir un guany superior a la unitat i la seva estructura doblement equilibrada li proporciona aïllament més gran entre entrades i sortides sense haver de recórrer a un filtre de sortida molt sofisticat.

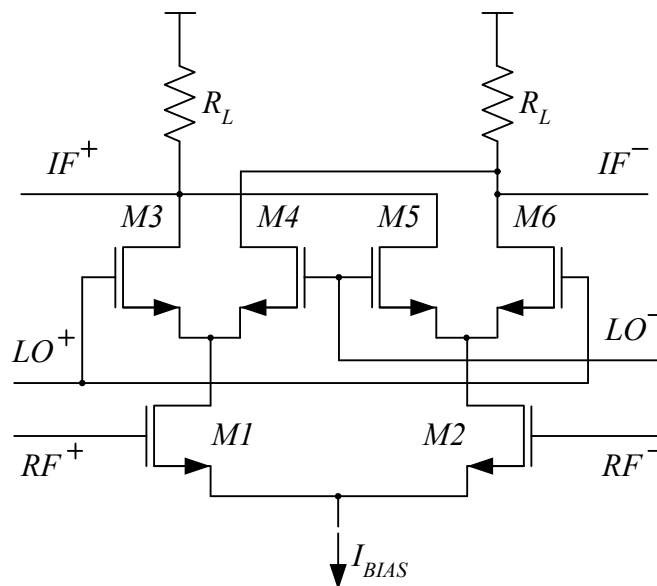


Figura A2.4: Cèl·lula de Gilbert.

El circuit que es mostra en la Figura A2.4 representa l'esquema bàsic d'una cèl·lula de Gilbert amb transistors MOS. El mode de treball és el següent: els transistors d'entrada $M1$ i $M2$ són els encarregats de transformar el senyal d'entrada RF de tensió alterna a dos corrents alternes i iguals però de polaritat contrària (I_{M1} i I_{M2}),

$$V_{RF}^+ = -V_{RF}^- = \frac{A_0}{2} \cos(\omega_{RF} t) \quad (A2.14)$$

$$I_{M1} = \frac{I_{BLAS}}{2} + g_{m1}V_{RF}^+ \quad (A2.15)$$

$$I_{M2} = \frac{I_{BLAS}}{2} + g_{m2}V_{RF}^- \quad (A2.16)$$

Els transistors $M3$ a $M6$ actuen com a interruptors, controlats pel senyal de l'oscil·lador local que commuten aquest corrents entre les dues sortides de la FI. I les resistències de càrrega permeten passar de corrent a una sortida en tensió.

La tensió de sortida V_{IF} és,

$$V_{IF} = g_m R_L V_{RF} \text{sign}(\cos(\omega_{OL} t)) \quad (A2.17)$$

$$V_{IF} = R_L g_m A_0 \cos(\omega_{RF} t) \text{sign}[\cos(\omega_{OL} t)] \quad (A2.18)$$

Substituint la funció signe (equació A2.7), i tenint en compte que només interessa el resultat per $K = 0$ i el senyal de radiofreqüència es filtra. El resultat és,

$$V_{IF} = \frac{2}{\pi} g_m R_L A_0 \cos(\omega_{OL} - \omega_{RF}) t \quad (A2.19)$$

D'aquí que el guany de conversió sigui,

$$G_C = \frac{2}{\pi} g_m R_L \quad (A2.20)$$

II.3.- Disseny del mesclador

El mesclador en topologia de Gilbert que es vol dissenyar es mostra a la Figura A2.5. Consta, de tres parts clarament diferenciades: la etapa de polarització, formada per una font de corrent; el nucli bàsic que conté l'etapa de conversió V-I; i l'etapa de commutació. En aquest cas s'afegirà un buffer a cada una de les sortides del nucli bàsic per adaptar l'impedància de sortida. A continuació es mostren els passos a seguir per a realitzar el seu disseny.

El circuit que es pretén dissenyar és un mesclador per a comunicacions GSM 900 [91], amb una freqüència RF de 900 MHz i amb una freqüència intermitja de 100 MHz. La tensió d'alimentació serà de 3 V, es vol que el consum estigui limitat als 50 mW i la impedància de sortida sigui 50 Ω . Es donarà prioritat al guany de conversió i a la relació senyal-soroll per davant del marge dinàmic de sortida. Les característiques finals que hauria de tenir el mesclador són les indicades en la Taula A2.1.

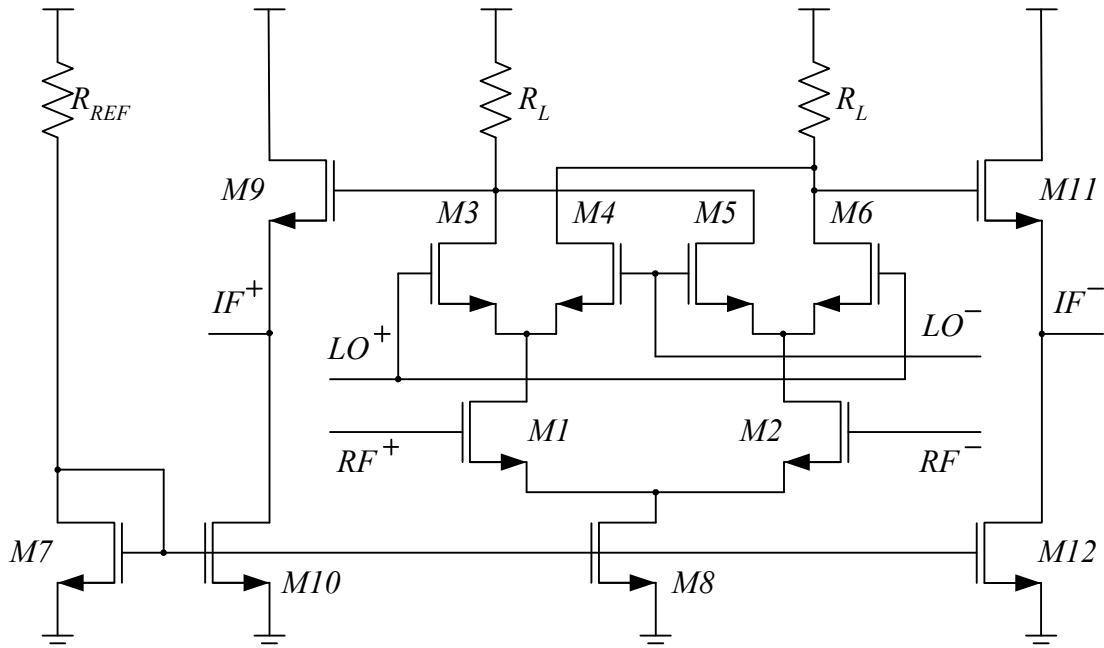


Figura A2.5: Esquema complet d'un circuit mesclador basat en la cèl·lula de Gilbert.

TAULA A2.1
CONDICIONS DE DISSENY DEL MESCLADOR

Paràmetre	Valor	Unitats
V_{DD}	3	V
f_{LO}	1	GHz
f_{RF}	900	MHz
f_{IF}	100	MHz
C_G	15	dB
Potència màx	50	mW
Z_{out}	50	Ω

La tecnologia emprada en la fabricació serà la CMOS 0.35 μm d'AMS. Per aquesta tecnologia, els paràmetres més importants dels transistors es mostren en la Taula A2.2. El valor de $K_n = \mu_n C_{ox} = 217 \mu\text{A}/\text{V}^2$ que apareix en aquesta taula no és directament utilitzable degut a que les dades corresponen al model BSIM3 i en aquest disseny s'utilitza un model molt més senzill. Cal aplicar una correcció de $0.8 \cdot K_n \approx 175\text{e-}6$ [125].

TAULA A2.2
PARÀMETRES TECNOLÒGICS DELS TRANSISTORS MOS

Paràmetre	Valor	Unitats
L_{\min}	0.35	mm
μ_n	47.58e-3	$\text{m}^2/\text{V} \cdot \text{seg}$
t_{ox}	7.58e-9	m
ϵ_{ox}	34.5e-12	F/m
V_{TN}	0.4979	V
$C_{ox} = \epsilon_{ox} / T_{ox}$	4.55e-3	F/m^2
$K_n = \mu_n \cdot C_{ox}$	217e-6	A/V^2
$\Phi = U_a / T_{ox}$	0.62	1/V

El consum de corrent de tot el circuit es pot calcular com,

$$I_{CC} = \frac{P_{\max}}{V_{CC}} = \frac{50mW}{3V} \cong 16.6mA$$

Aquest corrent es repartirà per tres branques. Pel nucli mesclador i per les dues etapes de sortida encarregades de l'adaptació impedàncies. Per tant, per cada branca hi circularan 5.5 mA

II.3.1.- Etapa de polarització

Aquest bloc proporciona el corrent de polarització de tot el circuit (I_{BLAS}) i s'implementa amb una font de corrent més o menys sofisticada segons la necessitat. En aquest cas s'ha optat per un mirall de corrent. El seu esquema és mostra en la Figura A2.6.

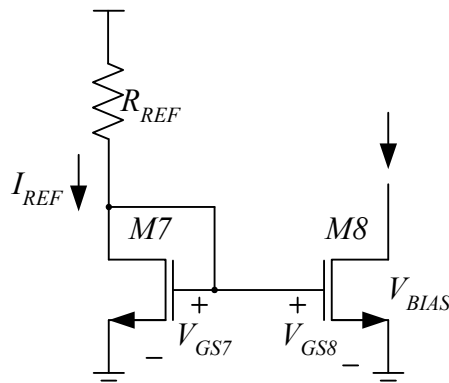


Figura A2.6: Font mirall de corrent.

Observant la Figura A2.6 es pot veure que el transistor $M7$ està saturat i per que funcioni correctament $M8$ també ha de treballar en la zona de saturació. Les equacions que s'empraran són,

$$R_{REF} = \frac{V_{R_{REF}}}{I_{REF}} = \frac{V_{DD} - V_{DS7}}{I_{REF}} \quad (A2.21)$$

$$I_{REF} = I_{D7} = \frac{1}{2} \mu_n C_{ox} \frac{W_7}{L_7} (V_{GS7} - V_{T7})^2 \quad (A2.22)$$

$$\frac{I_{BLAS}}{I_{REF}} = \frac{S_8}{S_7} \quad (A2.23)$$

On S és la relació d'aspecte del transistor, i es calcula com: $S = \frac{W}{L}$.

Per començar el càlcul de les mides dels transistors es pot partir sabent el valor del corrent I_{BIAS} . En aquest cas, el corrent assignat al nucli mesclador és de 5.5 mA. Per a realitzar els càlculs teòrics inicials s'agafarà $I_{BIAS} = 4$ mA. El corrent I_{REF} ha de ser molt més petit que I_{BIAS} per a minimitzar el consum. En aquest cas s'ha escollit $I_{BIAS} = 5 \cdot I_{REF}$. De manera que $I_{REF} = 0.8$ mA.

Per a dimensionar els transistors $M7$ i $M8$, primer cal escollir la longitud del canal. Una regla de disseny per a simplificar el *layout* és fer la longitud del canal igual en tots els dispositius. Ha de ser gran per que les variacions del procés de fabricació no l'afectin. Un criteri de compromís a seguir és escollir una longitud de canal entre dues i cinc vegades la longitud mínima que permet la tecnologia. En aquest cas, $L_7 = L_8 = 1$ μm .

Per a calcular les amplades, primer cal fixar la tensió V_{GS7} . En l'equació A2.22 es veu clarament el compromís en l'elecció de la V_{DS7} . Escollir un valor massa petit implicarà que el terme $(V_{GS7} - V_{T7})$ serà molt petit i, aleshores, l'amplada del transistor haurà de ser molt gran per a obtenir el corrent desitjat. Escollir un valor alt implica que el valor mínim de la tensió de sortida, $V_{DS8,sat} = V_{GS7} - V_{T7}$, també serà alt.

Un criteri per a escollir la V_{GS7} és fer que aquesta sigui un parell de centenars de mV més gran que V_{T7} . El valor escollit és $V_{GS7} = 0.8$ V.

Per tant, de la Figura A2.6 es troba que $V_{GS8} = 0.8$ V, que dona un tensió mínima de sortida (V_{BIAS} , a la Figura A2.6) de 0.3 V. Les amplades dels transistors es poden calcular a partir de les equacions A2.22 i A2.23,

$$W_7 = \frac{2L_7 I_{REF}}{\mu_n C_{ox} (V_{GS7} - V_{T7})^2} = \frac{2 \cdot 1 \cdot 10^{-6} \cdot 0.8 \cdot 10^{-3}}{175 \cdot 10^{-6} \cdot (0.8 - 0.5)^2} = 101.5 \cdot 10^{-6} \approx 100 \mu\text{m}$$

$$W_8 = \frac{2L_8 I_{BIAS}}{\mu_n C_{ox} (V_{GS8} - V_{T8})^2} = \frac{2 \cdot 1 \cdot 10^{-6} \cdot 4 \cdot 10^{-3}}{175 \cdot 10^{-6} \cdot (0.8 - 0.5)^2} = 507.9 \cdot 10^{-6} \approx 500 \mu\text{m}$$

Ara es pot calcular R_{REF} utilitzant l'equació A2.21,

$$R_{REF} = \frac{3 - 0.8}{800 \mu\text{A}} = 2.75 \text{ k}\Omega$$

II.3.2.- Etapa de guany

L'esquema de la etapa de guany és mostra a la Figura A2.7. En aquesta figura es mostra una branca de la cèl·lula de Gilbert. No es mostren tots els components per a indicar els corrents i les tensions de polarització de manera clara.

Com a condició de disseny inicial, es farà que la tensió en continua de sortida sigui $V_{IF,dc} = V_{DD}/2$. Per tant,

$$R_L = \frac{V_{DD} - V_{DD}/2}{I_{BIAS}/2} = \frac{V_{DD}}{I_{BIAS}} = \frac{3}{4 \cdot 10^{-3}} = 750 \Omega$$

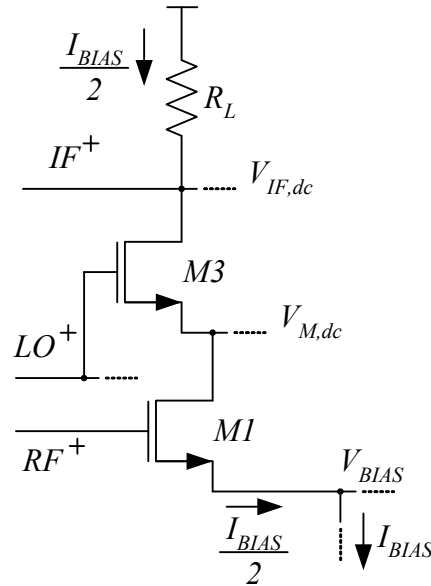


Figura A2.7: Esquema de la cèl·lula de Gilbert simplificada.

Segons l'equació A2.19 el guany de conversió és,

$$G_C = \frac{2}{\pi} R_L g_m \quad (A2.24)$$

De les condicions de disseny es coneix el guany que ha de tenir el mesclador. Com que està expressat en dB's cal passar-lo a lineal i emprar l'equació A2.20 per a trobar la transconductància (g_m) dels transistors de l'etapa diferencial M1 i M2,

$$G_C = 17dB \rightarrow 7.079$$

$$g_m = G_C \frac{\pi}{2 \cdot 500} = \frac{7.079\pi}{2 \cdot 750} = 0.0148 \cong 15 \text{ mA/V}$$

Un cop es té la transconductància es troba la relació d'aspecte dels transistors, aplicant,

$$\left(\frac{W_{1,2}}{L_{1,2}} \right) = \frac{(g_{m1,2})^2}{2\mu_n C_{ox} I_{D1,2}} = 312.914$$

L'equació superior dóna una aproximació que no s'ajusta a la realitat. Les equacions emprades en aquest disseny manual són senzilles i no tenen en compte els efectes de canal curt ni les capacitats paràsites del transistor que l'afecten en RF. Per aquest motiu, la relació d'aspecte que s'escollirà pels transistors d'aquesta etapa serà d'unes quatre vegades més que el valor calculat. S'escollirà la mínima longitud del canal pels transistors $M1$ i $M2$ per a obtenir la millor resposta freqüencial, $L_{1,2} = 0.35 \mu\text{m}$, $W_{1,2} = 400 \mu\text{m}$.

El nivell de continua que s'haurà d'aplicar en la porta dels transistors d'RF ha de ser aquella que els mantingui en saturació per a tota l'excursió de la tensió d'entrada que hauran de suportar,

$$V_{RF,bias} = V_{GS1,2} + V_{S1,2} = V_{GS1,2} + V_{BIAS} \quad (\text{A2.25})$$

$$V_{RF,bias} = 0.992V \cong 1V$$

II.3.3.- Etapa de commutació

Per a dimensionar aquests transistors s'escollirà com a longitud del canal la longitud mínima disponible $L = 0.35 \mu\text{m}$ per a aconseguir la millor resposta freqüencial.

A l'hora de determinar l'amplada del canal s'ha de tenir en compte que una amplada gran disminuirà el soroll, i una amplada petita fa augmentar la linealitat. Una norma de disseny empírica [125] és fer aquests transistors de les mateixes dimensions que els transistors de l'etapa de guany. En aquest cas, per a aconseguir un disseny més compacte, els transistors de commutació es dissenyaran amb la meitat de l'amplada que els transistors de guany, $W_{3..6} = 200 \mu\text{m}$.

El nivell tensió continua que s'haurà d'aplicar en les portes d'aquest transistors per assegurar que treballen en la zona correcta serà,

$$V_{LO,bias} = V_{GS3..6} + V_{S3..6} = V_{GS3..6} + V_{M,dc} \quad (\text{A2.26})$$

$$V_{M,dc} = V_{DS1,2,sat} + V_{BIAS} = 0.141 + 0.302 = 0.443V$$

$$V_{LO,bias} \cong 1.2V$$

L'amplitud de la tensió que proporcioni l'oscil·lador local influirà en el rendiment del circuit mesclador. Un nivell massa baix no proporcionarà gaire guany i serà un sistema sorollós mentre que un nivell excessivament alt produirà pics i distorsió en el senyal cosa que reduiran la velocitat de commutació, disminuiran l'aïllament de l'oscil·lador local i poden fer que els transistors d'aquesta etapa deixin de treballar en

saturació o tall. El valor exacte de l'amplitud del oscil·lador i de la tensió de polarització es trobaran en el procés d'optimització.

II.3.4.- Etapa de sortida

Es vol que la impedància de sortida diferència del mesclador sigui de 50Ω . Cosa que implica que el buffer de cada branca diferencial tingui una impedància de sortida 25Ω .

La transconductància es pot calcular segons,

$$Z_o = 1/g_m \quad (\text{A2.27})$$

$$g_{m9,11} = 1/Z_{O9,11} = 40 \text{mA/V}$$

Fent que per cadascuna de les branques de sortida hi circuli un corrent de 4mA , la relació d'aspecte dels transistors ve donada segons l'expressió,

$$\left(\frac{W_{9,11}}{L_{9,11}} \right) = \frac{(g_{m9,11})^2}{2\mu_n C_{ox} I_{D9,11}} = 1142.857$$

Escollint la longitud mínima, $L_{9,11} = 0.35 \mu\text{m}$ per optimitzar la resposta freqüencial, aleshores, $W_{9,11} = 400 \mu\text{m}$.

Per aconseguir que per les dues branques de sortida hi circulin 4mA , les dimensions dels transistors M10 i M12 seran les mateixes que per el transistor de la font de corrent M8. $W_{10,12} = 500 \mu\text{m}$, $L_{10,12} = 1 \mu\text{m}$.

II.3.5.- Taula resum del circuit mesclador

Els resultats dels càlculs realitzats en els apartats anteriors s'han resumit en la Taula A2.3. En aquesta taula hi ha les mides dels transistors i el valor de les resistències que formen part del circuit.

TAULA A2.3
VALORS DELS COMPONENTS DEL MESCLADOR DISSENYAT
Dimensions dels transistors expressats segons W/L.

Element	Valor	Unitats
M1	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M2	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M3	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M4	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M5	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M6	200 / 0.35	$\mu\text{m} / \mu\text{m}$
M7	100 / 1	$\mu\text{m} / \mu\text{m}$
M8	500 / 1	$\mu\text{m} / \mu\text{m}$
M9	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M10	500 / 1	$\mu\text{m} / \mu\text{m}$
M11	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M12	500 / 1	$\mu\text{m} / \mu\text{m}$
R _L	750	Ω
R _{REF}	2.75	k Ω

II.4.- Simulacions del mesclador

Les simulacions següents han estat realitzades amb SpectreRF de CADENCE. Amb les simulacions es pretén aconseguir la polarització de les portes dels transistors i l'amplitud de l'oscil·lador local òptims. Cal seguir els passos següents:

1. Variar la tensió de porta dels transistors *M3* a *M6* per a obtenir la òptima polarització de porta. D'aquí es troba el valor de polarització que maximitza el guany.
2. Fer el mateix amb la tensió de porta dels transistors *M1* i *M2*.
3. Buscar l'amplitud de l'oscil·lador local que també maximitzi el guany de conversió (Figura A2.8).

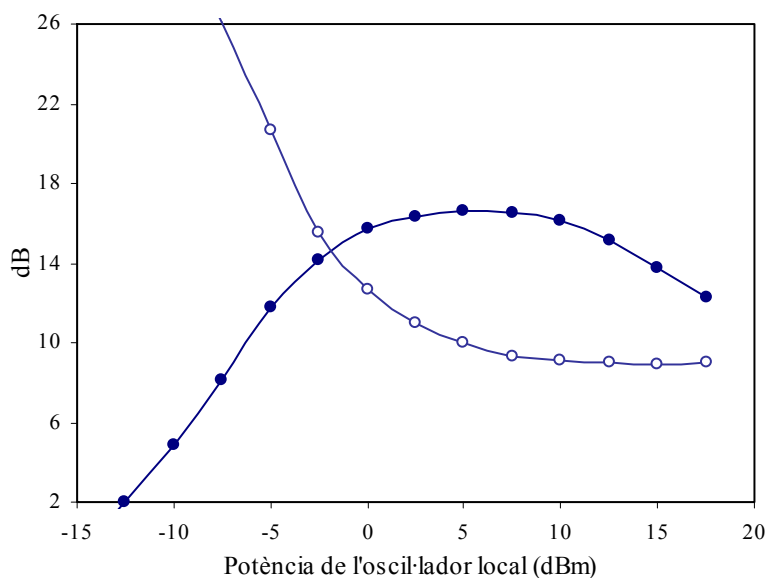


Figura A2.8: Optimització de la potència de l'oscil·lador. CG (●), NF (○).

4. Variar el corrent de polarització I_{BIAS} per maximitzar el guany de conversió (Figura A2.9). La opció més senzilla és variar la resistència R_{REF} , que regula la I_{REF} .

Els quatre passos anteriors s'han de repetir fins que es trobi el punt de treball òptim. El valor de R_{REF} que optimitza el guany és $R_{REF} = 2.1 \text{ k}\Omega$, i les tensions de polarització de les entrades en aquest cas són $V_{RF, bias} = 1 \text{ V}$, $V_{LO, bias} = 1.5 \text{ V}$. Una vegada s'ha aconseguit el millor punt de treball es pot buscar el punt de compressió a 1dB i l' $IIP3$.

En el primer cas es posa el senyal del OL a l'amplitud òptima i l'amplada del senyal de RF s'augmenta progressivament fins que la sortida cau 1dB sota el ideal.

En el segons cas, l'amplada del OL es la mateixa, però a l'entrada de RF es posa la suma de dues senyals de 900 i 910 MHz, respectivament, i de la mateixa amplada. S'augmenta progressivament l'amplitud de la RF fins que la sortida a 900 MHz cau 1 dB per sota del ideal. Aleshores projectant els nivells de senyals corresponents a la sortida de 900 MHz i al tercer harmònic de 920 MHz, es troba el punt d'intersecció.

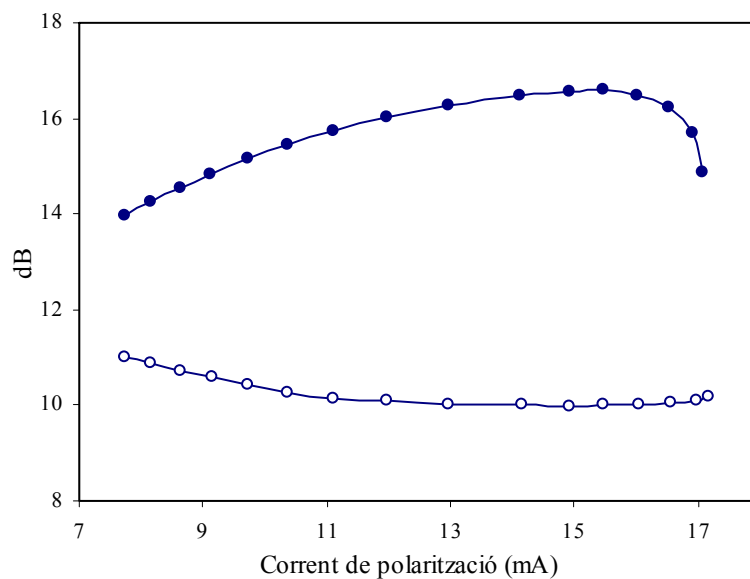


Figura A2.9: Optimització del corrent de polarització. CG (●), NF (○)

Les característiques que posseeix aquest disseny, un mesclador optimitzat en guany de conversió i figura de soroll, es mostren en la Taula A2.4.

TAULA A2.4
CARACTERÍSTIQUES DEL MESCLADOR

Paràmetre	Valor	Unitats
f_{RF}	900	MHz
f_{IF}	100	MHz
Alimentació	3.00	V
P_{OL} (1 GHz)	5.00	dBm
SSB NF (500Ω)	9.96	dB
CG (100 MHz)	16.57	dB
IP1 d'entrada	-14.19	dBm
IP3 d'entrada	-5.02	dBm
Consum mesclador	4.23	mA
Consum buffers	9.70	mA
Consum total	14.93	mA

II.5.- *Layout* del mesclador

Una vegada aconseguir que el mesclador posseeixi les característiques desitjades es pot passar a implementar el disseny en *layout* (veure la Figura A2.10) [103] [132]. Igual que en el cas anterior, aquest procediment s'ha realitzat amb CADENCE. La tecnologia emprada per l'implementació d'aquest disseny ha estat de 0.35 μm .

Realitzar el *layout* d'un circuit és una part fonamental del disseny, sobre tot en circuits que treballen en alta freqüència, com en aquest cas. En aquest exemple, degut a que es tracta d'una aplicació al test, no es prendrà en consideració la norma de minimitzar l'àrea del circuit ni de realitzar la millor implementació, tot i que l'implementació realitzada compleix les normatives de disseny que exigeix la *foundry* del fabricant.

En la Figura A2.10 es mostra el circuit mesclador i la font de corrent després de realitzar el *layout* corresponent, obtenint un circuit de 170 μm \times 370 μm , utilitzant dos nivells de metall.

Les simulacions *post-layout* no es mostren degut a que, a banda d'alguns decimals de diferència, els resultats són pràcticament idèntics als indicats en la Taula A2.4.

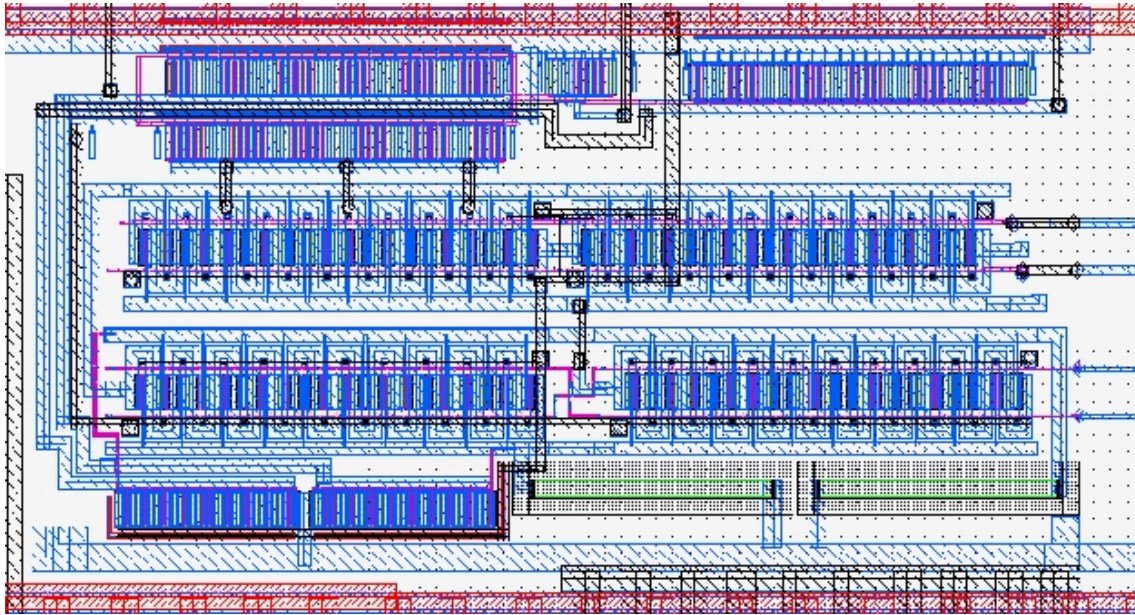


Figura A2.10: *Layout* del circuit mesclador.

II.6.- Conclusions

En aquest annex s'ha exposat una guia per al disseny de mescladors. Tot i no ser la metodologia més completa i rigorosa, presenta el gran avantatge que és fàcil i intuïtiva de seguir per a obtenir un mesclador de característiques aproximades a les que es desitgen.

En la metodologia presentada s'han utilitzat simplificacions i aproximacions en les equacions del transistor MOS, es pot obtenir un disseny més acurat emprant equacions més completes. Però pot augmentar de manera innecessària la complexitat del càlcul.

També es pot obtenir una font de corrent més estable i precisa si es substitueix el mirall de corrent per una configuració més sofisticada, pagant el preu de consumir més àrea.

Annex III: Disseny d'un LNA

III.1.- Introducció

La importància de l'amplificador de baix soroll (LNA) es pot veure en les nombroses publicacions existents [99] [100] [108] [109] [110] [111] [132]. Amb la irrupció de les comunicacions mòbils, l'interès per aquest circuit ha experimentat un nou impuls.

En aquest annex es vol donar una guia per a dissenyar un amplificador de baix soroll (LNA) senzill, emprant transistors MOS amb tecnologia de 0.35 μm .

L'exemple escollit ha estat un LNA amb la freqüència de treball centrada en els 940 MHz. No es pretén realitzar un disseny exhaustiu, només donar els conceptes bàsics per seu disseny.

III.2.- Paràmetres S

Els paràmetres de dispersió, o paràmetres S, permeten caracteritzar una xarxa o dispositiu amb ' n ' ports. Aquests paràmetres estan relacionats amb els coeficients de transmissió i reflexió que té el dispositiu caracteritzat.

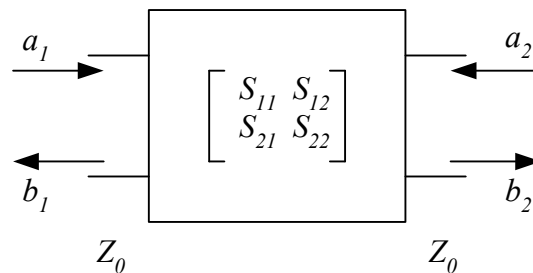


Figura A3.1: Paràmetres S d'una etapa de 2 ports.

La Figura A3.1 mostra un dispositiu de 2 ports. a_1 i a_2 representen l'ona de potència incident sobre els ports, mentre que b_1 i b_2 són l'ona de potència reflectida pels ports, i Z_0 és la impedància característica en cadascun dels ports.

L'esquema de la Figura A3.1 es pot representar de manera matricial,

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{A3.4})$$

D'aquest sistema d'equacions es poden trobar els paràmetres S segons,

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (\text{A3.5})$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (\text{A3.6})$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (\text{A3.7})$$

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (\text{A3.8})$$

S_{11} representa el coeficient de reflexió de l'entrada del dispositiu (adaptació d'entrada). S_{12} és l'amplificació inversa, mentre que S_{21} és el guany. Finalment, S_{22} indica el coeficient de reflexió de la sortida (adaptació de sortida).

III.3.- Disseny de l'LNA

L'amplificador de baix soroll o LNA ("Low Noise Amplifier") és la primera etapa que s'implementa en un receptor, després de l'antena. El seu objectiu és amplificar el senyal que prové de l'antena (d'un nivell de l'ordre de μV), tot definint la figura de soroll del conjunt del sistema receptor.

L'amplificador de baix soroll utilitzat ha estat un LNA CMOS cascode amb degeneració inductiva de Surtidor [89] [99] [100] [133] [134] [135]. El circuit emprat es mostra en la Figura A3.2.

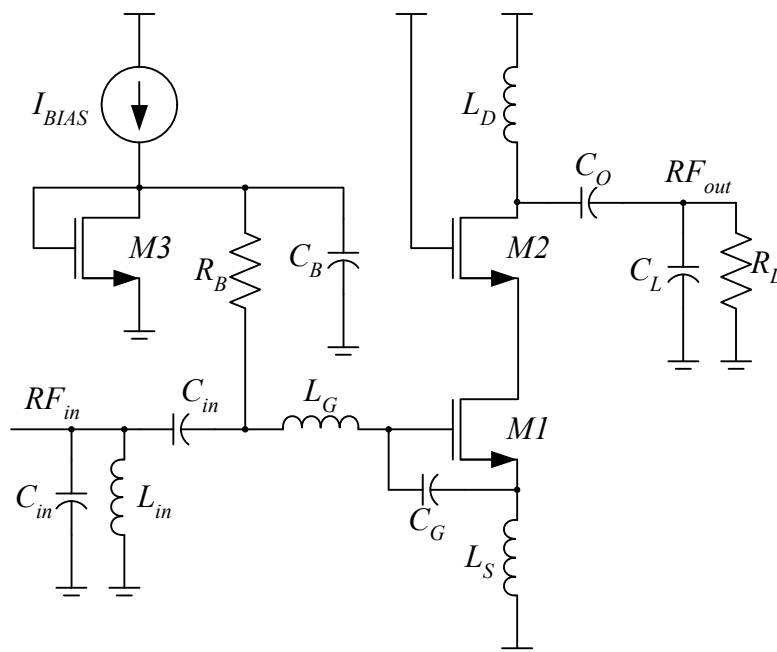


Figura A3.2: Esquema d'un LNA CMOS cascode.

L'esquema amplificador de l'LNA de la Figura A3.2 consta de dues parts fonamentals: el circuit de polarització, format pel transistor $M3$; i l'etapa amplificadora, composta pels transistors $M1$ i $M2$. El transistor $M1$ proporciona el guany, mentre que el

transistor $M2$ millora l'aïllament entre l'entrada i la sortida del circuit. C_G redueix la dependència de la impedància d'entrada amb les dimensions del transistor $M1$.

Les característiques que es desitja que tingui l'LNA dissenyat es mostren en la Taula A3.1.

TAULA A3.2
CONDICIONS DE DISSENY DEL LNA

Paràmetre	Valor	Unitats
Alimentació	3.0	V
Consum	5.0	mA
f_{RF}	940	MHz
Càrrega	0.5	pF
NF	2.0	dB
S11	-20	dB
S21	20	dB
S22	-20	dB

Tal i com s'ha comentat, la tecnologia de fabricació emprada ha estat CMOS 0.35 μm . Els seus paràmetres més importants, que afecten als transistors es mostren en la Taula A3.3.

TAULA A3.3
PARÀMETRES TECNOLÒGICS

Paràmetre	Valor	Unitats
L_{\min}	0.35	μm
μ_n	47.58e-3	$\text{m}^2/\text{V}\cdot\text{seg}$
t_{ox}	7.58e-9	m
ϵ_{ox}	34.5e-12	F/m
V_{TN}	0.4979	V
$C_{\text{ox}} = \epsilon_{\text{ox}} / T_{\text{ox}}$	4.55e-3	F/m^2
$K_n = \mu_n * C_{\text{ox}}$	217e-6	A/V^2
$\Phi = U_a / T_{\text{ox}}$	0.62	1/V

El valor de $K_n = \mu_n C_{\text{ox}} = 217 \mu\text{A}/\text{V}^2$ que apareix en aquesta taula no és directament utilitzable degut a que les dades corresponen al model BSIM3 i en aquest disseny s'utilitza un model molt més senzill. Cal aplicar una correcció de $0.8 \cdot \beta_n \approx 175\text{e-}6$ [125].

III.3.1.- Impedància d'entrada

El circuit equivalent de petit senyal simplificat del LNA es mostra en la Figura A3.3. Si es considera que la capacitat C_{gd} és menyspreable, i que $C = C_G + C_{gs}$, la impedància d'entrada del circuit es calcula segons,

$$Z_{in} = j\omega L_G + 1/j\omega C + j\omega L_S \left(1 + \frac{g_{m1}}{j\omega C} \right) \quad (\text{A3.9})$$

$$\Re(Z_{in}) = g_{m1} \frac{L_S}{\omega C} \quad (\text{A3.10})$$

$$\Im(Z_{in}) = \omega(L_G + L_S) + 1/\omega C \quad (\text{A3.11})$$

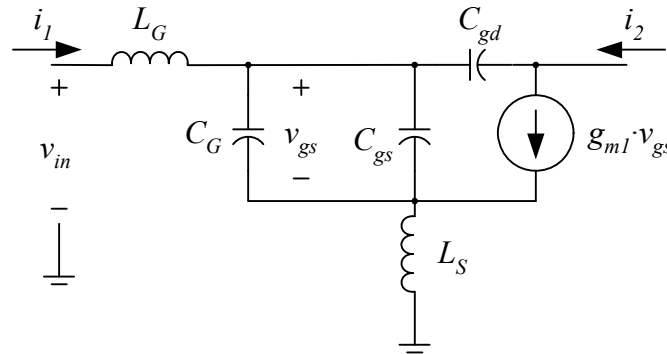


Figura A3.3: Model equivalent en petit senyal de l'LNA.

Es vol que l'impedància d'entrada siguin 50Ω de part real, mentre que no tingui part imaginària. Per tant, de les Equacions A3.9 i A3.10 es poden trobar les següents expressions,

$$g_{m1} = Z_{in} \frac{C}{L_S} = 50 \frac{C}{L_S} \quad (\text{A3.12})$$

$$C = 1/\omega^2(L_G + L_S) \quad (\text{A3.13})$$

III.3.2.- L'etapa cascode

L'etapa cascode està formada per dos transistors: $M1$ i $M2$. Com a condició de disseny, s'ha imposat que $(W/L)_1 = (W/L)_2$.

Determinar l'amplada del transistor $M1$ s'ha de realitzar amb cura, ja que aquesta amplada afectarà al soroll de l'amplificador. Entre totes les opcions possibles, s'ha utilitzat l'aproximació [132],

$$W_{opt} \approx \frac{1}{3\omega L C_{OX} Z_{in}} \quad (\text{A3.14})$$

Substituint a l'Equació A3.14 els valors corresponents de la Taula A3.3, s'arriba a que l'amplada del transistor $M1$ òptima és $W_{opt} \approx 700 \mu\text{m}$. Aquest resultat és un valor massa gran, sobre tot si es té en compte que n'hi han d'haver dos ($M1$ i $M2$) de les mateixes dimensions. Finalment, s'ha escollit $W_1 = W_2 = 400 \mu\text{m}$, un compromís entre una amplada i una figura de soroll acceptables.

Coneixent $(W/L)_1$ es pot calcular g_{m1} i C_{gs} ,

$$g_{m1} = \sqrt{2\beta S_1 I_{D1}} \approx 0.045 \quad (\text{A3.15})$$

$$C_{gs} \approx \frac{2}{3} C_{ox} W_1 L \approx 0.4 \text{ fF} \quad (\text{A3.16})$$

Aleshores, agafant un valor de $C_G = 350 \text{ fF}$, comparable a C_{gs} , i utilitzant les Equacions A3.12, A3.13, es poden calcular el valor de les bobines (L_G i L_S . $L_S \approx 0.8 \text{ nH}$ i $L_G \approx 37 \text{ nH}$).

Finalment, L_D es pot calcular tenint en compte que aquesta bobina està en paral·lel amb el condensador de càrrega. Aplicant l'equació de ressonància d'un circuit LC, i aïllant la L_D s'arriba a,

$$L_D = \frac{1}{\omega^2 C_L} \quad (\text{A3.17})$$

Substituint els valors corresponents de la freqüència de treball i de la capacitat de càrrega, s'arriba a que $L_D \approx 57.3 \text{ nH}$.

III.3.3.- Etapa de polarització

El transistor $M3$ (mirar la Figura A3.2) s'ha dissenyat per a que hi circuli un corrent 20 vegades inferior a $M1$. Per tant, això significa que $\left(\frac{W}{L}\right)_1 = 20 \left(\frac{W}{L}\right)_3$. Això significa que $\left(\frac{W}{L}\right)_3 = 20 \mu\text{m}$.

La resistència R_B ha de ser un valor gran però suficientment petit com per a que el seu soroll no afecti al funcionament de l'LNA. En aquest cas, s'ha escollit el valor de $5 \text{ k}\Omega$. Finalment, per al condensador C_B s'ha escollit el valor de 8 pF .

III.3.4.- Taula resum de l'LNA

Un cop finalitzat el disseny, la Taula A3.4 mostra les dimensions i els valors dels elements que formen part del circuit amplificador.

TAULA A3.4
VALORS DELS ELEMENTS DEL LNA DISSENYAT

Paràmetre	Valor	Unitats
M1	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M2	400 / 0.35	$\mu\text{m} / \mu\text{m}$
M3	20 / 0.35	$\mu\text{m} / \mu\text{m}$
I_{BIAS}	250	μA
R_B	5	$\text{k}\Omega$
C_B	8.0	pF
C_G	350	fF
L_D	57.3	nH
L_S	0.8	nH
L_G	37	nH

III.4.- Simulacions del LNA

Amb les simulacions es pretén aconseguir ajustar les bobines als seus valors òptims, per a obtenir els millors paràmetres S. El programa utilitzat ha estat SpectreRF de CADENCE [92]. Per a adaptar les bobines cal seguir els passos següents:

1. Ajustar la bobina L_S per a obtenir el menor S_{11} .
2. Ajustar la bobina L_G per a obtenir el menor S_{11} (Figura A3.4). La bobina L_S permet ajustar la part real de l'impedància d'entrada, mentre que la bobina L_G ajusta la part imaginària (Equacions A3.10 i A3.11).
3. Ajustar la bobina L_D per a obtenir el menor S_{22} (Figura A3.5).
4. Repetir els punts 2 i 3 fins a obtenir els millors valors de S_{11} i S_{22} .

Els valors que optimitzen els paràmetres de reflexió S_{11} i S_{22} són: $L_S = 0.9$ nH, $L_G = 26.2$ nH i $L_D = 10.5$ nH. Com es pot veure, en el cas de les bobines L_S i L_D , els valors calculats i simulats són bastant diferents. Això és degut a que en els càlculs s'han considerat les bobines ideals, i sense elements paràsits.

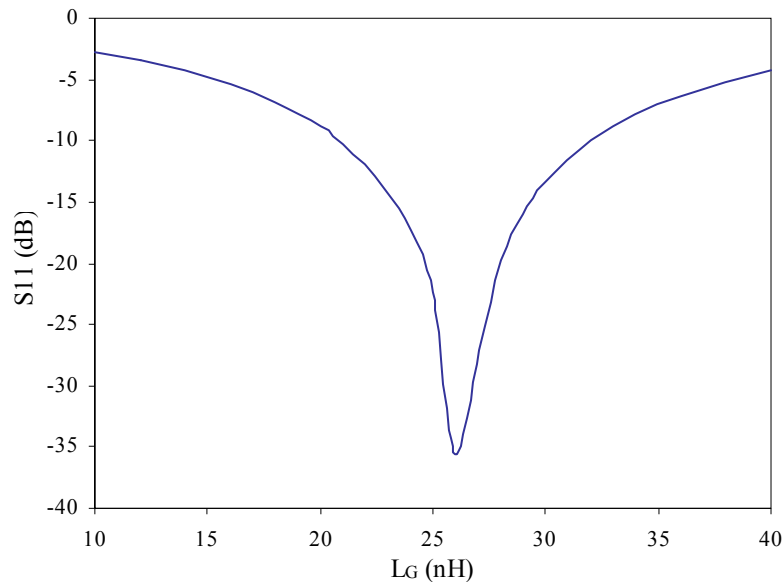


Figura A3.4: S₁₁ respecte de L_G.

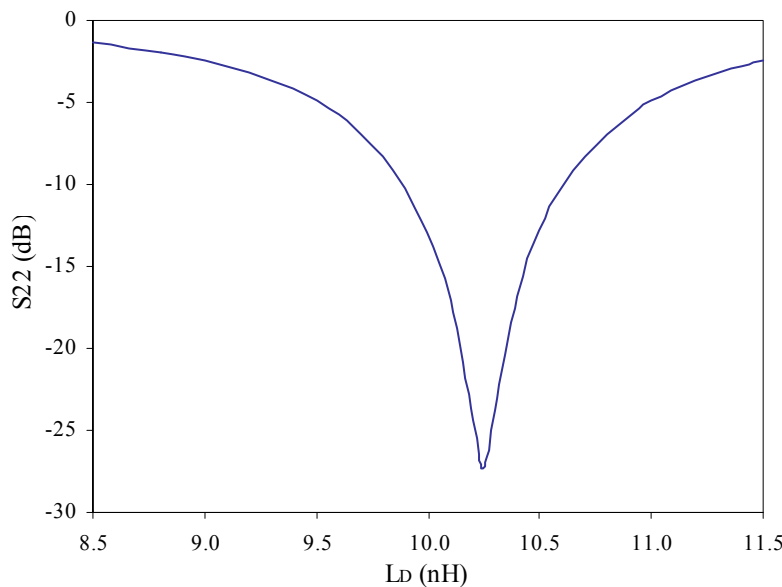


Figura A3.5: S₂₂ respecte de L_D.

Les característiques finals de l'amplificador són,

TAULA A3.5
CARACTERÍSTIQUES DE L'LNA

Paràmetre	Valor	Unitats
Alimentació	3.0	V
f_{RF}	940	MHz
Consum	5.65	mA
SSB NF (600 Ω)	1.97	dB
S11	-43.92	dB
S12	-50.89	dB
S21	20.90	dB
S22	-23.97	dB
IP1dB	-17.50	dBm
IP3	-11.32	dBm

De la Taula A3.5 es pot veure com el corrent de consum és superior al desitjat. Però llevat d'aquesta condició, en tots els altres casos, es compleixen les condicions de disseny indicades en la Taula A3.2.

III.5.- Conclusions

En aquest annex s'ha exposat una guia per al disseny d'amplificadors de baix soroll. Tot i no ser la metodologia més completa i rigorosa, presenta l'avantatge de ser fàcil i intuïtiva de seguir per a obtenir un LNA, amb unes característiques aproximades a les que es desitgen.

En la metodologia emprada s'han utilitzat simplificacions i aproximacions per a obtenir un primer disseny. Aquest disseny s'ha optimitzat mitjançant simulacions numèriques fins ajustar les especificacions desitjades.

Com s'ha vist en l'apartat anterior, les bobines s'han hagut d'ajustar per a obtenir els millors valors dels paràmetres S. Per contra, les dimensions dels transistors no s'han hagut de modificar.

Annex IV: Circuits de mesura

Per a realitzar les mesures experimentals, i per a verificar els circuits dissenyats i fabricats, s'han realitzat algunes plaques de prova. En els següents apartats es mostren aquestes plaques a nivell de *layout*.

IV.1.- Placa per a l'amplificador operacional

Aquesta placa de proves (Figura A4.1) ha servit per a mesurar les característiques funcionals, i mesurar les observables de test, de l'amplificador operacional dissenyat. En el disseny d'aquesta placa de proves s'ha hagut de tenir en compte que dintre del xip s'hi van integrar altres elements a part de l'AOp i l'AOp amb falles programables.

En la placa hi ha tota la circuiteria necessària per a: deshabilitar els circuits no estudiats, mesurar les característiques funcionals de l'AOp, configurar l'AOp com a oscil·lador, i mesurar el corrent.

La selecció i control de totes aquestes parts es configura mitjançant jumpers, micro-*switches* i un multiplexor. Aquesta circuiteria està majoritàriament situada al voltant, i a la part inferior, del sòcal de 68 pins de la Figura A4.1.

La circuiteria de control permet connectar un conjunt d'elements discrets que configuren l'AOp dissenyat com: un seguidor de tensió (per a mesurar l'*SR*), un circuit per a mesurar el guany [136], un oscil·lador per a posar l'AOp en mode test. També permet activar els circuits de mesura dels corrents d'alimentació i terra. Aquests circuits mesuren la diferència de potencial de dues resistències, situades entre el terminal d'alimentació i l'entrada d'alimentació de l'AOp, i entre el pin de terra de l'AOp i el terminal de terra, respectivament. Els valors obtinguts són dividits entre el valors de les resistències per a trobar el corrent que hi circula per cadascuna d'elles.

Tots els circuits de mesura anteriors estan situats en la part superior de la placa (Figura A4.1).

Els punts d'entrada a la placa i les alimentacions es realitzen mitjançant terminals banana. En la banda esquerra de la Figura A4.1 hi ha els terminals de les alimentacions del circuit. En la part inferior, els senyals de control de les falles programables de l'AOp. Els dos terminals de la part superior permeten introduir els senyals necessaris per a mesurar el guany i l'*SR* de l'AOp.

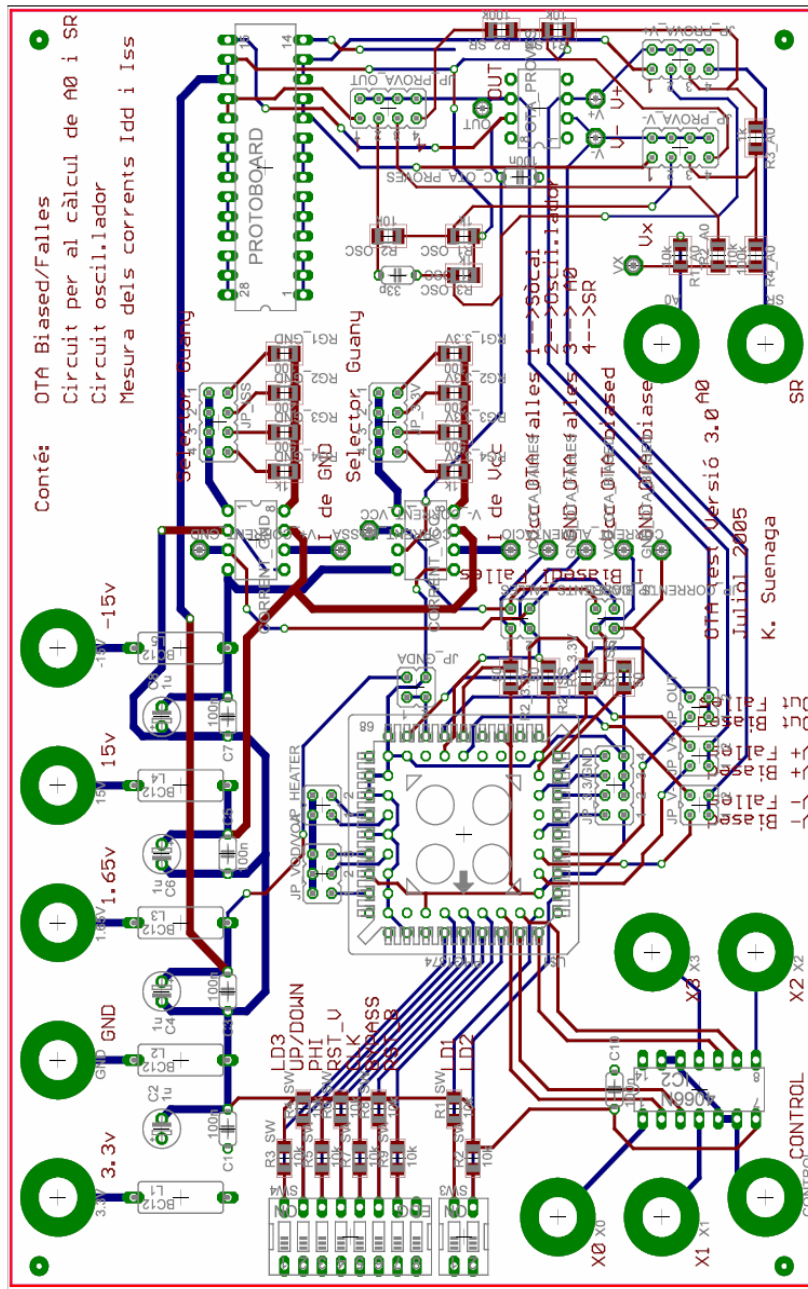


Figura A4.1: Placa de circuit imprès per a testar l'AOp.

IV.2.- Placa per al mesclador

Per a mesurar les característiques funcionals del mesclador dissenyat s'ha implementat una placa de circuit imprès per a aquest propòsit (Figura A4.2).

En aquest cas, el circuit integrat conté 3 mescladors, a banda d'altres circuits que s'han integrat conjuntament.

Un dels mescladors és accessible només mitjançant puntes. Els altres dos són accessibles des dels pins del xip, aquests dos es poden configurar en mode test. La tècnica de test implementada és la tècnica directa amb l'oscil·lador local.

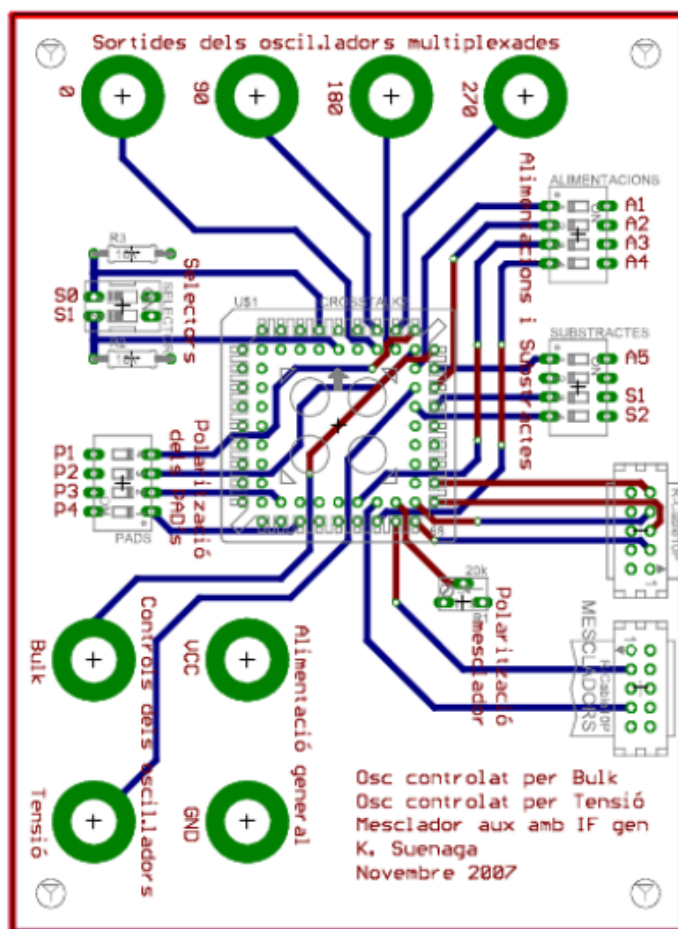


Figura A4.3: Placa de circuit imprès per a comprovar els generadors IF.

IV.4.- Placa per a la tècnica de test seqüencial

La darrera placa que s'ha implementat ha estat per a comprovar el funcionament del mesclador auxiliar i el generador IF, conjuntament. El xip utilitzat és el mateix que en el cas de l'apartat anterior. Això ha permès aprofitar el disseny anterior adaptant-lo als nous requeriments (Figura A4.4).

La circuiteria de control, implementada per *micro-switches*, permet seleccionar els circuits que es volen utilitzar. Aquests interruptors estan situats a la banda dreta i esquerra del sòcol de 68 pins.

Els senyals de sortida multiplexats de l'oscil·lador controlat per *bulk* i un dels controlats per tensió són accessibles per mitjà dels connectors banana, situats en la part superior esquerra. En la part superior dreta hi ha els connectors dels senyals d'alimentació i control. Els tres connectors banana de la part inferior corresponen a l'entrada del mesclador auxiliar i les seves sortides diferencials.

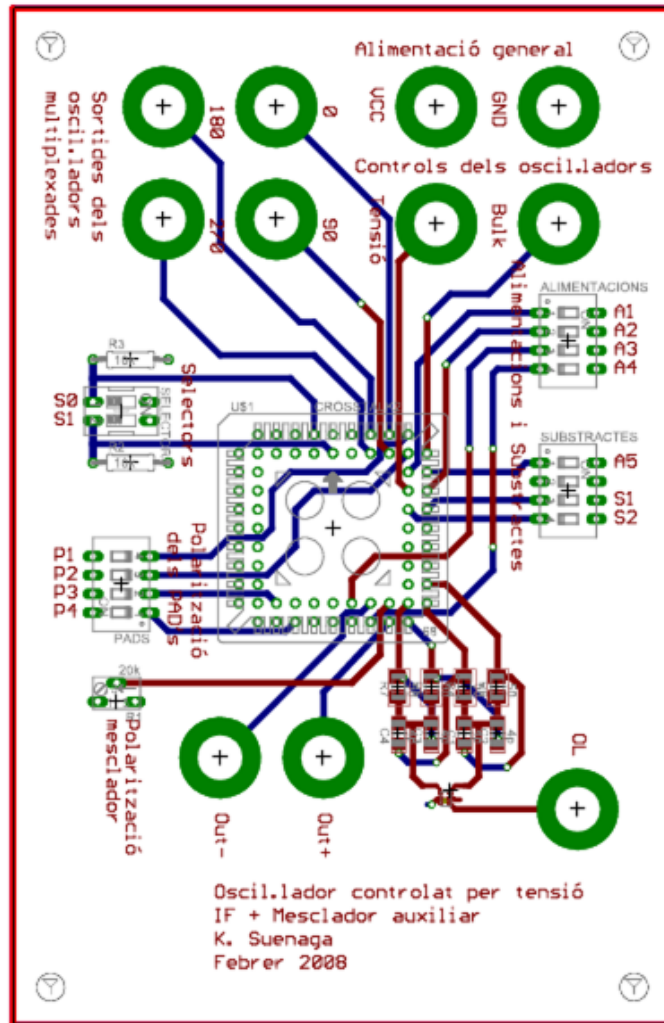


Figura A4.4: Placa de circuit imprès per a comprovar el mesclador auxiliar.

Annex V: Anàlisi estadístic

V.1.- Anàlisi de Monte Carlo

L'anàlisi de Monte Carlo [137] rep el seu nom del barri monegasc de Monte Carlo. En aquest barri d'aquest petit principat és on hi ha el famós casino i els principals locals de jocs d'atzar. L'anàlisi de Monte Carlo intenta reproduir el comportament aleatori d'aquests jocs, i forma part d'un conjunt de tècniques que permeten realitzar simulacions estadístiques de processos aleatoris.

L'anàlisi de Monte Carlo varia de manera aleatòria les variables escollides d'un sistema o conjunt d'equacions. Els marges de les variables es defineixen mitjançant les funcions de distribució de probabilitat que els hi correspongui (uniforme, normal, ...).

Els seus principals desavantatges són: la necessitat de realitzar un llarg nombre de d'iteracions per a obtenir uns resultats que s'ajustin a la realitat; i la identificació de les variables de les funcions que hauran de modificar el seu valor durant l'anàlisi. Per al cas concret d'un circuit integrat, aquests dos desavantatges provoquen que la simulació de Monte Carlo sigui un procés costós en temps (tot i que depèn de la complexitat del circuit analitzat); i que les variables dels elements (paràmetres dels transistors, dimensions de components diversos, ...) poden ser tant nombroses com complex el model utilitzat (per a simular el comportament dels elements que representen).

Per aquest treball, els models, les variables i les distribucions de probabilitat (que varien el valor de cadascuna de les variables dels elements del circuit) emprats són els que defineix Austriamicrosystems (AMS), en el seu programa CADENCE [92].

El programa CADENCE, en la seva opció d'anàlisi de Monte Carlo, ofereix la possibilitat d'analitzar un circuit integrat de tres tipus de variacions: "*process*", "*mismatch*", i "*process and mismatch*". L'anàlisi "*process*" simula les variacions dels paràmetres que el procés de fabricació provoquen en cadascun dels elements. L'anàlisi "*mismatch*" simula les variacions dels paràmetres entre els elements d'una oblea, que el procés de fabricació introdueix (Figura A5.1). Finalment, "*process and mismatch*" simula la combinació d'aquests dos efectes de la fabricació. L'anàlisi emprat en aquest treball ha estat "*process*".

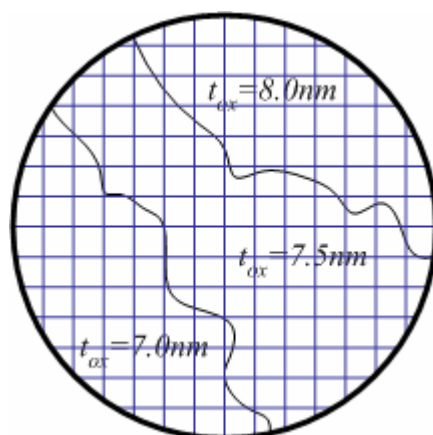


Figura A5.1: Variació dels paràmetres en una oblea (ex: t_{ox}).

Els efectes que tenen les variacions “*process*” i “*mismatch*” sobre els paràmetres dels elements varien en funció de cadascun d’aquests paràmetres. Com a exemple, a continuació, es mostra com afecten les variacions a la tensió llindar i a la mobilitat d’un transistor MOS,

$$V_{th} = V_{th}^{no\ min\ al} + \Delta V_{th}^{process} + \Delta V_{th}^{mismatch} \quad (A5.1)$$

$$\mu_0 = (\mu_0^{no\ min\ al} \Delta \mu_0^{process}) (1 + \mu_0^{mismatch}) \quad (A5.2)$$

V.2.- Cobertura i rendiment del test

L’objectiu de realitzar l’anàlisi de Monte Carlo és estimar la influència de les variacions de procés sobre els circuits estudiats, i sobre les observables de test escollides.

Malauradament, diferenciar entre els circuits bons i els que presenten algun tipus de defecte no resulta senzill. Degut al procés de fabricació els paràmetres varien segons una certa funció de probabilitat. Aquestes funcions de probabilitat afecten als components del circuit, i fa que el valor de les observables de test també tinguin una certa funció de probabilitat (Figura A5.2). Això fa que hi puguin haver dificultats alhora de classificar els circuits.

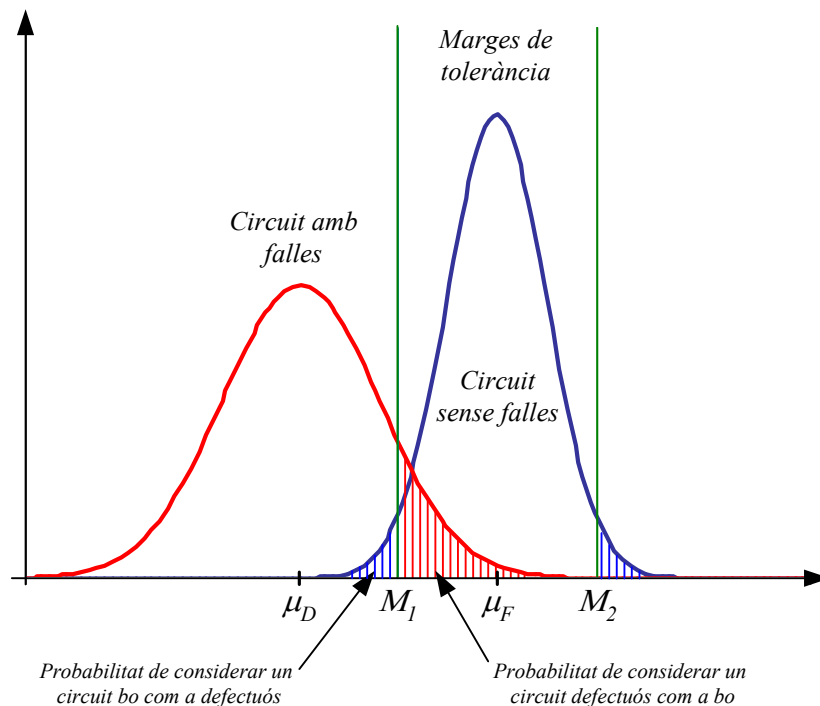


Figura A5.2: Distribució de probabilitat d’una observable de test qualsevol per a un circuit sense falles i un circuit amb falles.

De la Figura A5.2 es poden distingir 4 àrees, delimitades per la intersecció entre les funcions de distribució i els marges de tolerància.

Si es defineix $f(x|0)$ com la funció de probabilitat d’un circuit sense falles, i $p(x|F)$ com la funció de probabilitat d’un circuit amb una falla ‘F’. Les 4 possibles

classificacions es poden definir segons si: un circuit sense falles és considerat lliure de falles, $P(0|0)$; un circuit amb una falla 'F' es considerat lliure de falles, $P(0|F)$; un circuit amb una falla 'F' es considera defectuós, $P(F|F)$; i un circuit sense falles és considerat defectuós, $P(F|0)$.

Les Equacions A5.3, A5.4, A5.5 i A5.6 mostren com es calcula cadascuna d'aquestes probabilitats,

$$P(0|0) = 1 - P(F|0) = \int_{M_1}^{M_2} f(x|0)dx \quad (A5.3)$$

$$P(0|F) = \int_{M_1}^{M_2} f(x|F)dx \quad (A5.4)$$

$$P(F|F) = 1 - P(0|F) = 1 - \int_{M_1}^{M_2} f(x|F)dx \quad (A5.5)$$

$$P(F|0) = 1 - P(0|0) = \int_{-\infty}^{M_1} f(x|0)dx + \int_{M_2}^{+\infty} f(x|0)dx \quad (A5.6)$$

La possibilitat de classificar erròniament els circuits fa que sigui necessari definir uns criteris per a avaluar l'efectivitat del mètode de test emprat:

- Cobertura de test ("fault coverage"): Quantitat de circuits amb falles que són detectats com a defectuosos, respecte el total de circuits defectuosos.

$$FC = \frac{\sum_{i=1}^N \varphi(F_i)P(F|F_i)}{\sum_{i=1}^N \varphi(F_i)} \quad (A5.7)$$

On $\varphi(F_i)$ és la probabilitat d'aparició de la falla 'F_i'.

- Pèrdua de rendiment ("yield loss"): Quantitat de circuits sense cap falla que són classificats com a circuits dolents en el procés de test.

$$YL = \int_{M_1}^{M_2} f(x|0)dx \quad (A5.8)$$

Annex VI: Acrònims i símbols

<i>AA</i>	Àrea d'acceptació
A_i	Guany "i"
<i>AC</i>	Corrent Altern
<i>ADC</i>	Conversor d'analògic a digital
<i>AOp</i>	Amplificador operacional
<i>ATE</i>	Equip automàtic de test
<i>BiST</i>	Built in Self Test
<i>BJT</i>	Transistor bipolar
<i>BPF</i>	Filtre passa-banda
<i>BW</i>	Ampla de Banda
C_i	Condensador "i"
<i>CMOS</i>	Semiconductor complementari d'òxid metàl·lic
C_{OX}	Capacitat de l'òxid d'un transistor MOS
<i>CUT</i>	Circuit sota prova
<i>DAC</i>	Conversor de digital a analògic
<i>DC</i>	Corrent Continu
<i>DfT</i>	Disseny encarat al test
<i>DL</i>	Límit de detecció
<i>DP</i>	Percentatge de detecció
<i>DSP</i>	Processador de senyal digital
<i>DUT</i>	Dispositiu sota prova, equivalent a CUT
f_i	Freqüència "i"
<i>F</i>	Factor de soroll
F_i	Falla "i"
<i>FC</i>	Cobertura de test
<i>FFT</i>	Transformada ràpida de Fourier
<i>FM</i>	Marge de fase
<i>GBW</i>	Producte del guany per l'ampla de banda
G_C	Guany de conversió
g_m	Transconductància d'un transistors MOS
<i>GOS</i>	Curt circuit entre l'òxid i la porta d'un transistor MOS
<i>GSM</i>	Estandard de telefonia mòbil de segona generació
I_i	Corrent "i"
<i>IC</i>	Circuit Integrat
I_{DC}	Corrent continua
<i>IF</i>	Freqüència intermitja
<i>IIP1dB</i>	Punt de compressió d'1dB d'entrada
<i>IIP3</i>	Punt d'intercepció de tercer ordre d'entrada
<i>IP1</i>	Punt de compressió d'1dB
<i>IP3</i>	Punt d'intercepció de tercer ordre

K	Constant de Boltzman = $1.38 \cdot 10^{-23}$ [J/°K]
L_i	Llargada d'un transistor MOS "i"
L_i	Bobina "i"
LNA	Amplificador de baix soroll
LO	Oscil·lador Local
M_i	Transistor MOS "i"
MOS	Semiconductor d'òxid metàl·lic
NF	Figura de soroll
$OFDM$	Modulació per divisió de freqüència ortogonal
OBT	Test basat en oscil·lació
PCA	Anàlisi de components principals
PLL	Phase Locked Loop
$POBT$	Test predictiu basat en oscil·lació
q	Càrrega d'un electró = $1.6 \cdot 10^{-19}$ [C]
r	Coefficient de correlació
R_i	Resistència "i"
RAM	Memòria d'accés aleatori
RF	Radiofreqüència
Rx	Receptor
S_i	Relació d'aspecte d'un transistor MOS "i". $S_i = W_i/L_i$
S_{ij}	Paràmetre "S _{ij} "
SNR	Relació Senyal-Soroll
SR	Slew-Rate
Tx	Transmissor / Emissor
VCO	Oscil·lador controlat per tensió
V_{eff}	Tensió eficaç
V_i	Tensió "i"
$v(f_i)$	Tensió a la freqüència "f _i "
W_i	Amplada d'un transistor MOS "i"
YL	Pèrdues de rendiment del test
Z_i	Impedància "i"
β	Transconductància del transistor MOS
ε	Error de predicció
λ	Modulació de canal d'un transistor MOS
μ_x	Promig de la variable "x"
μ	Mobilitat dels portadors majoritaris d'un transistor MOS Promig (en general)
σ	Desviació típica
σ^2	Variança
Ω	Ohms
ω	Freqüència angular / Pulsació angular

ω_i	Freqüència angular "i". $\omega = 2\pi f$
ω_{IF}	Freqüència angular del senyal de freqüències intermitges
ω_{OL}	Freqüència angular de l'oscil·lador local
ω_{RF}	Freqüència angular del senyal d'RF

Bibliografia

- [1] Nobel Foundation. Nobel Price in Physics: “*The transistor*”.
<http://nobelprize.org/physics/educational/transistor/>
- [2] G. E. Moore, “*Cramming More Components onto Integrated Circuits*”, Proceedings of the IEEE, Vol. 86, Issue 1, Page(s): 82-85, January 1998.
- [3] J. Ferrario, R. Wolf, S. Moss, M. Slamani, “*A Low-Cost Test Solution for Wireless Phone FICs*”, IEEE Communications Magazine, Vol. 41, Issue 9, Page(s): 82-88, September 2003.
- [4] Semiconductor Industry Association.
<http://www.sia-online.org/>
- [5] International Technology Roadmap for Semiconductors.
<http://public.itrs.net/>
- [6] P. Nigh, “*SIA Roadmap: Test Must Not Limit Future Technologies*”, Proceedings of the International Test Conference, Page(s): 1152, October 1998.
- [7] W. Maly, “*Future of Testing: Reintegration of Design, Testing and Manufacturing*”, Proceedings of European Design and Test Conference, Page(s): xix-xxii, March 1996.
- [8] W. Maly, “*A Point of View on the Future of IC Design, Testing and Manufacturing*”, This paper is a summary of: European Design and Test Conference (March 1996), and International Test Conference (October 1996).
- [9] David Landis, “*Test technology overview, module 43 (08/30/98)*”, Pennsylvania State University.
http://www.cedcc.psu.edu/ee497f/rassp_43/index.htm
- [10] C.F. Hawkins, J.M. Soden, A.W. Righter, F.J. Ferguson, “*Defect Classes – An Overdue Paradigm for CMOS IC Testing*”, Proceedings of International Test Conference, Page(s): 413-425, October 1994.

- [11] F. Azais, S. Bernard, Y. Bertrand, M. Renovell, “*Implementation of a Linear Histogram BiST for ADCs*”, Proceedings of Conference and Exhibition on Design, Automation and Test in Europe, Page(s): 590-595, March 2001.
- [12] E. Teraoka, T. Kengaku, I. Yasui, K. Ishikawa, T. Matsuo, H. Wakada, N. Sakashita, Y. Shimazu and T. Tokuda, “*A built-in self-test for ADC and DAC in a single-chip speech CODEC*”, Proceedings of the International Test Conference, Page(s): 791-796, October 1993.
- [13] K. Kim, Y. J. Kim, Y. S. Shin, D. Song, S. Kang, “*Efficient BiST scheme for A/D converters*”, IEE Proceedings of Circuits, Devices and Systems, Vol. 152, Issue 6, Page(s): 597-604, December 2005.
- [14] K. Arabi, B. Kaminska, “*Oscillation Built-In Self Test (OBIST) Scheme for Functional and Structural Testing of Analog and Mixed-Signal Integrated Circuits*”, Proceedings of International Test Conference, Page(s): 786-795, November 1997.
- [15] M. Slamani, B. Kaminska, “*Analog Circuit Fault Diagnosis Based on Sensitivity Computation and Functional Testing*”, IEEE Design and Test of Computers, Page(s): 30-39, March 1992.
- [16] A.K. Majhi, V.D. Agrawal, “*Mixed-Signal Test*”, Proceedings of International Conference on VLSI Design, Page(s): 285-288, January 1998.
- [17] J. Qin, C.E. Stroud, F.F. Dai, “*FPGA-Based Analog Functional Measurements for adaptive control in mixed-signal systems*”, IEEE Transactions on Industrial Electronics, Vol. 54, Issue 4, Page(s): 1885-1897, August 2007.
- [18] D. Yang, F. Dai, C. Stroud, “*Built-In Self-Test for Automatic Analog Frequency Response Measurement*”, IEEE International Symposium on Circuits and Systems, Vol. 3, Page(s): 2208-2211, May 2005.
- [19] M. Soma, “*Challenges in Analog and Mixed-Signal Fault Models*” IEEE Circuits and Devices Magazine, Page(s): 16-19, January 1996.
- [20] A. Zjajo, J.P. de Gyvez, “*Evaluation of Signature-Based Testing of RF/Analog Circuits*”, European Test Symposium, Page(s): 62-67, May 2005.

- [21] E. Acar, S. Ozev, “*Defect-Oriented Testing of RF Circuits*”, IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems, Vol. 27, Issue 5, Page(s): 920-931, May 2008.
- [22] M. Soma, “*An Experimental Approach to Analog Fault Models*”, Proceedings of the IEEE Custom Integrated Circuits Conference, Page(s): 13.6/1-13.6/4, May 1991.
- [23] F.C.M. Kuijstermans, M. Sachdev, “*Defect-Oriented Test Methodology for Complex Mixed-Signal Circuits*”, Proceedings of the European Design and Test Conference, Page(s): 18-23, March 1995.
- [24] J. Brockman, S. Director, “*Predictive Subset Testing for IC Performance*”, IEEE International Conference on Computer-Aided Design, Digest of Technical Papers, Page(s): 336-339, November 1988.
- [25] J. Brockman, S. Director, “*Predictive Subset Testing: Optimizing IC Parametric Performance Testing for Quality, Cost, and Yield*”, IEEE Transactions on Semiconductor Manufacturing, Vol. 2, Issue 3, Page(s): 104-113, August 1989.
- [26] R. Voorakaranam, S. Cherubal, A. Chatterjee, “*A Signature Test Framework for Rapid Production Testing of RF Circuits*”, Proceedings of Design, Automation and Test in Europe Conference and Exhibition, Page(s):186-191, March 2002.
- [27] P. Variyam, A. Chatterjee, “*Enhancing Test Effectiveness for Analog Circuits Using Synthesized Measurements*”, Proceedings of 16th VLSI Test Symposium, Page(s): 132-137, April 1998.
- [28] C.-Y. Pan, K.-T. Cheng, “*Implicit Functional Testing for Analog Circuits*”, Proceedings of 14th VLSI Test Symposium, page(s): 489-494, May 1996.
- [29] J. H. Friedman, “*Multivariable Adaptive Regression Splines*”, The Annals of Statistics, Vol 19, Number 1, Page(s): 1-141, 1991.
- [30] A. Osseiran, “*Test Standards (With Focus on IEEE1149.1)*”, Proceedings of the Midwest Symposium on Circuits and Systems, Vol. 2, Page(s): 708-711, August 1995.

- [31] A. Osseiran, “*Getting to a Test Standard for Mixed-Signal Boards*”, Proceedings of the Midwest Symposium on Circuits and Systems, Vol 2, Page(s): 1157-1161, August 1995.
- [32] A. Osseiran, “*Analog and Mixed-Signal Boundary Scan – A Guide to the IEEE 1149.4 Test Standard*”, Kluwer Academic Publishers, 1999
- [33] B. Bennetts, “*Status of IEEE testability standards 1149.4, 1532 and 1149.6*”, Proceedings of Design, Automation and Test in Europe Conference and Exhibition, Vol. 2, Page(s): 1184-1189, February 2004.
- [34] IEEE1149.4 Mixed-Signal Test Bus Working Group,
<http://grouper.ieee.org/groups/1149/4/index.html>
- [35] P. Collins, “*Extensions to the IEEE1149.1 Boundary-Scan Standard*”, September 2005.
http://www.tmssales.com/Application_Notes/Boundary_Scan/Extensions%20to%201149.1,%20EDN%209-15-05.pdf
- [36] K. Wagner, T. Williams, “*Design for Testability of Mixed Signal Integrated Circuits*”, Proceedings of International Test Conference, Page(s): 823-828, September 1988.
- [37] A. Richardson, T. Olbrich, V. Liberali, F. Maloberti, “*Design-for-Test Strategies for Analogue and Mixed-Signal Integrated Circuits*”, Proceedings of Midwest Symposium on Circuits and Systems, Vol. 2, Page(s): 1139-1144, August 1995 .
- [38] A. Richardson, A. Lechner, T. Olbrich, “*Design for Testability Strategies for Mixed Signal & Analogue Designs – from Layout to System*”, Proceedings of IEEE International Conference on Electronics, Circuits and Systems, Page(s): 242-250, September 1998.
- [39] K. Arabi, “*Mixed-Signal BIST: Fact or Fiction*”, Proceedings of International Test Conference, Page(s):1200, October 2002.
- [40] S.S. Akbay, A. Chaterjee, “*Feature extraction based built-in alternate test of RF components using a noise reference*”, Proceedings of IEEE VLSI Test Symposium, Page(s): 273-278, April 2004.

- [41] D. Lupea, U. Pursche, H. Jentschel. “*RF-BIST: Loopback Spectral Signature Analysis*”, Proceedings of Design, Automation and Test in Europe Conference and Exhibition, Page(s): 478-483, March 2003.
- [42] A. Halder, S. Bhattacharya, G. Srinivasan, A. Chatterjee, “*A System-level alternate test approach for Specification test of RF transceivers in loopback mode*”, Proceedings of International Conference on VLSI Design, Page(s): 289-294, January.
- [43] J. Dabrowski, J.G. Bayon, “*Mixed Loopback BiST for RF Digital Transceivers*”, Proceedings of IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems, Page(s): 220-228, October 2004.
- [44] A. Valdes-Garcia, J. Silva-Martinez, E. Sanchez-Sinencio, “*On-Chip Testing Techniques for RF Wireless Transceivers*”, IEEE Design and Test of Computers, Vol. 23, Issue 4, Page(s): 268-277, April 2006.
- [45] J.Y. Ryu, B.C. Kim, I. Sylla, “*A New Low-Cost RF Built-in Self-Test Measurement for System-on-Chip Transceivers*”, IEEE Transactions on Instrumentation and Measurement, Vol. 55, Issue 2, Page(s): 381-388, April 2006.
- [46] J.M. da Silva, G. Pinho, J.S. Matos, “*Design for Embedded Testing of a LNA*”, Proceedings of Conference on Design of Circuits and Integrated Systems, Page(s): 209, November 2005.
- [47] D. Lupea, U. Purche, H.J. Jentschel, “*Spectral Signature Analysis -BIST for RF Front-Ends*”, Advances in Radio Science, Vol. 1, Page(s): 155-160, 2003.
- [48] J. Dabrowski, “*BiST Model for IC RF-Transceiver Front-End*”, Proceedings of the IEEE international Symposium on Defect and Fault Tolerance in VLSI Systems, Page(s): 295-302, November 2003.
- [49] B.R. Veillette, G.W. Roberts, “*A Built-In Self-Test Strategy for Wireless Communication Systems*”, Proceedings of the International Test Conference, Page(s): 930-939, October 1995.
- [50] K. Arabi, B. Kaminska, “*Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits*”, Proceedings of 14th VLSI Test Symposium, Page(s): 476-482, May 1996.

- [51] G. Huertas, D. Vazquez, E.J. Peralias, A. Rueda, J.L. Huertas, “*Practical Oscillation-Based Test of Integrated Filters*”, IEEE Design and Test of Computers, Vol. 19, Issue6, page(s): 64-72, 2002.
- [52] K. Arabi, B. Kaminska. “*Testing Analog and Mixed-Signal Integrated Circuits Using Oscillation-Test Method*”, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 16, Issue 7, Page(s): 745-753, July 1997.
- [53] K. Arabi, B. Kaminska, “*Design for Testability of Embedded Integrated Operational Amplifiers*”, IEEE Journal of Solid-State Circuits, Vol. 33, Issue 4, Page(s): 573-581, April 1998.
- [54] K. Arabi, B. Kaminska, “*Oscillation-Test Methodology for Low-Cost Testing of Active Analog Filters*”, IEEE transactions on Instrumentation and Measurement, Vol. 48, Issue 4, Page(s): 798-806, August 1999.
- [55] A. Raghunathan, H. Shin, J. Abraham, A. Chatterjee, “*Prediction of Analog Performance Parameters Using Oscillation Based Test*”, Proceedings of IEEE VLSI Test Symposium, Page(s): 377-382, April 2004.
- [56] M.L. Bushnell, V.D. Agrawal, “*VLSI Testing Course*”, Auburn University, Spring 2005.
<http://www.eng.auburn.edu/~vagrawal/COURSE/lectures.html>
- [57] S. McEuen, “*I_{DDQ} Benefits*”. Proceedings of VLSI Test Symposium, Page(s): 285-290, October 1991.
- [58] C. Hawkins, J. Soden, R. Fritzemeier, L. Horning, “*Quiescent Power Supply Current Measurement for CMOS IC Defect Detection*”, Proceedings of IEEE transactions on industrial electronics, Vol. 36, Issue 2, Page(s): 211-218, May 1989.
- [59] W. Maly, P. Nigh, “*Built-in Current Testing - Feasibility Study*”, IEEE International Conference Computer-Aided Design. Digest of Technical Papers, Page(s): 340-343, November 1988.
- [60] W. Maly, M. Patyra, “*Built-in Current Testing*”, IEEE Journal of Solid-State Circuits, Vol. 27, Issue 3, Page(s): 425-428, March 1992.

- [61] S. Yellampalli, N.S. Korivi, J. Marulanda, “*Built-in Current Sensor for Quiescent Current Testing in Analog CMOS Circuits*”, Southeastern Symposium on System Theory, Page(s): 329-333, March 2008.
- [62] R. Picos, “*Advanced test of analog and digital MOSFET circuits*”, Tesis doctoral, Universitat de les Illes Balears, Novembre de 2006.
- [63] D. K. Papakostas, A. A. Hatzopoulos, “*A Unified Procedure for Fault Detection of Analog and Mixed-Mode Circuits Using Magnitude and Phase Components of the Power Supply Current Spectrum*”, IEEE Transactions on Instrumentation and Measurement, Vol. 57, Issue 11, Page(s): 2589-2595, November 2008.
- [64] E. Isern, J. Figueras, “*I_{DDQ} Test and Diagnosis of CMOS Circuits*”, IEEE Design and Test of Computers, Vol. 12, Issue 4, page(s): 60-67, 1995
- [65] D. A. Camplin, I. M. Bell, G. E. Taylor, B. R. Bannister, “*Investigations into Current Sensing Test Strategies*”, IEE Colloquium on Testing Mixed Signal Circuits, Page(s): 3/1-3/5, May 1992.
- [66] I. Bell, S. Spinks, J. Machado da Silva, “*Supply Current Test of Analogue and Mixed Signal Circuits*”, IEE Proceedings of Circuits, Devices and Systems, Vol. 143, Issue 6, Page(s):399-407, December 1996.
- [67] B. S. Suparjo, B. R. Wilkins, “*Testing Analogue and Mixed-Signal Modules by Steady-State Response Monitoring*”, IEE Colloquium on Testing-the Gordian Knot of VLSI Design, Page(s): 8/1-8/7, May 1993.
- [68] D. K. Papakostas, A. A. Hatzopoulos, “*Supply Current Testing in Linear Bipolar ICs*”, Electronics Letters, Vol. 30, Issue 2, Page(s): 128- 130, January 1994
- [69] D. K. Papakostas, A. A. Hatzopoulos, “*Fault Detection in Linear Bipolar ICs: Comparative Results between Power Supply Current and Output Voltage Measurements*”, IEEE International Symposium on Circuits and Systems, Vol. 5, Page(s): 61-64, June 1994.
- [70] J. van Lammeren, “*I_{CCQ}: a Test Method for Analogue VLSI Based on Current Monitoring*”, IEEE International Workshop of I_{DDQ} Testing. Digest of Technical Papers, Page(s): 24-28, November 1997.

- [71] A. Dorey, J. Hibbert, “*Can Digital Tests Be Used on Analogue Integrated Circuits?*”, IEE Colloquium on Analogue IC Design: Obstacles and Opportunities, Page(s): 5/1-5/4, June 1990.
- [72] A. Raghunathan, J.H. Chun, J.A. Abraham, A. Chatterjee. “*Quasi-Oscillation Based Test for Improved Prediction of Analog Performance Parameters*”, Proceedings of the IEEE International Test Conference Page(s): 252-261, October 2004.
- [73] M. Mahoney, “*New Techniques for High Speed Analog Testing*”, Proceedings of International Test Conference, Page(s): 589-597, October 1983.
- [74] J.M. Emmert, J.A. Cheatham, J. Badhri, U. Sandeep, “*A Monolithic Spectral BiST Technique for Control or Test of Analog or Mixed-Signal Circuits*”, Proceedings of IEEE international Symposium on Defect and Fault Tolerance in VLSI Systems, Page(s): 303-310, November 2003.
- [75] M. Hafed, N. Abaskharoun, G.W. Roberts, “*A Stand-Alone Integrated Test Core for Time and Frequency Domain Measurements*”, Proceedings of International Test Conference, Page(s): 1031-1040, October 2000.
- [76] M. Hafed, G.W. Roberts, “*A Stand-Alone Integrated Excitation/Extraction System for Analog BIST Applications*”, Proceedings of IEEE Custom Integrated Circuits Conference, Page(s): 83-86, May 2000.
- [77] D. Learmonth, G. Russell, “*BiST Schemes for Testing Analogue Circuits*”, IEE Colloquium on Testing-the Gordian Knot of VLSI Design, Page(s): 7/1 - 7/4, May 1993.
- [78] G. Roberts, B. Dufort, “*Making Complex Mixed-Signal Telecommunication Integrated Circuits Testable*”, IEEE Communications Magazine, Vol. 37, Issue 6, Page(s): 90-96, June 1999.
- [79] D. Mateo, J. Altet, E. Aldrete-Vidrio, “*Electrical Characterization of Analogue and RF Integrated Circuits by Thermal Measurements*”, Microelectronics Journal, Vol. 38, Issue 2, Page(s): 151-156, February 2007.
- [80] E. Aldrete-Vidrio, M.A. Salhi, J. Altet, S. Grauby, D. Mateo, H. Michel, L. Clerjaud, J.M. Rampnoux, A. Rubio, W. Claeys, S. Dilhaire, “*Using*

Temperature as Observable of the Frequency response of RF CMOS amplifiers", European Test Symposium, Page(s): 47- 52, May 2008.

- [81] B. Kaminska, K. Arabi, I. Bell, P. Goteti, J.L. Huertas, B. Kim, A. Rueda, M. Soma, "*Analog and Mixed-Signal Benchmark Circuits - First Release*", Proceedings of International Test Conference, Page(s): 183-190, November 1997.
- [82] J. Segura, C. De Benito, A. Rubio, C.F. Hawkins, "*A Detailed Analysis of GOS Defects in MOS Transistors: Testing Implications at Circuit Level*", Proceedings of International Test Conference, Page(s): 544-551, October 1995.
- [83] A.A. Abidi, "*RF CMOS Comes of Age*", IEEE Journal of Solid-State Circuits, Vol. 39, Issue 4, Page(s): 549-561, April 2004.
- [84] D. Brown, J. Ferrario, R. Wolf, J. Li, J. Bhagat, "*RF Testing on a Mixed Signal Tester*", Proceedings of International Test Conference, Page(s): 793-800, October 2004.
- [85] F. Demmerle, "*Integrated RF-CMOS Transceivers Challenge RF Test*", IEEE International Test Conference, Page(s): 1- 8, October 2006.
- [86] H. Donghoon, S.S. Akbay, S. Bhattacharya, A. Chatterjee, W.R. Eisenstadt, "*On-Chip Self-Calibration of RF Circuits Using Specification-Driven Built-in Self Test (S-BIST)*", Proceedings of IEEE International On-Line Testing Symposium, Page(s): 106-111, July 2005.
- [87] G. Srinivasan, A. Chatterjee, F. Taenzler, "*Alternate Loop-Back Diagnostic Tests for Wafer-Level Diagnosis of Modern Wireless Transceivers Using Spectral Signatures*", Proceedings of 24th IEEE VLSI Test Symposium, Page(s): 222-226, April 2006.
- [88] V.D. Agrawal, "*Design of Mixed-Signal System for Testability*", The VLSI Journal Integration, Vol. 26, Issue(s) 1-2, Page(s): 141-150, December 1998.
- [89] R. Voorakaranam, S.S. Akbay, S. Bhattacharya, S. Cherubal, A. Chatterjee, "*Signature Testing of Analog and RF Circuits: Algorithms and Methodology*", IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 54, Issue 5, Page(s): 1018-1031, May 2007.

- [90] M. Soma, “*Challenges and Approaches in Mixed Signal RF Testing*”, Proceedings of Annual IEEE International ASIC Conference and Exhibit, Page(s): 33-37, September 1997.
- [91] GSM Association.
<http://www.gsmworld.com/index.shtml>
- [92] Affirma RF Simulator User Guide. Cadence Design Systems Inc., Product Version 4.4.6, April 2001.
<http://www.egr.msu.edu/classes/ece410/mason/manual/anasmhelp.pdf>
- [93] K. Suenaga, R. Picos, S. Bota, M. Roca, E. Isern, E. Garcia, “*A Module for BiST of CMOS RF Receivers*”, Journal of Electronic Testing-Theory and Applications, 2007.
- [94] L. Sun, T.A. Kwasniewski, “*A 1.25-GHz 0.35- μ m Monolithic CMOS PLL Based on a Multiphase Ring Oscillator*”, Journal of Solid-State Circuits, Vol. 36, Num. 6, Page(s): 910-916, June 2001.
- [95] R. Picos, M.A Calafat, K. Suenaga, S. Bota, M. Roca, E. Isern, E. García-Moreno, “*A Bulk-Controlled Low-Voltage CMOS Quadrature Oscillator*”, Proceedings of Conference on Design of Circuits and Integrated Systems, November 2007.
- [96] M. Grözing, B. Phillip, M. Berroth, “*CMOS Ring Oscillator with Quadrature Outputs and 100 MHz to 3.5 GHz Tuning Range*”, Proceedings of European Solid-State Circuits Conference, Page(s): 679 – 682, September 2003.
- [97] M.S. Steyaert, B. De Muer, P. Leroux, M. Borremans, K. Mertens, “*Low-Voltage Low-Power CMOS-RF Transceiver Design*”, IEEE Transactions on Microwave Theory and Techniques, Vol. 50, Num. 1, Page(s): 281-287, 2002.
- [98] G.O. Ducoudray, R. Gonzalez-Carvajal, J. Ramirez-Angulo, “*A High-Speed Dynamic Current Sensor for iDD Test Based on the Flipped Voltage Follower*”, Southwest Symposium on Mixed-Signal Design, Page(s): 208-211, February 2003.
- [99] R. Ramzan, L. Zou, J. Dabrowski, “*LNA Design for on-Chip RF Test*”, Proceedings of IEEE International Symposium on Circuits and Systems, Page(s): 4236-4240, May 2006.

- [100] L. Belostotski, J. W. Haslett, “*Noise Figure Optimization of Inductively Degenerated CMOS LNAs with Integrated Gate Inductors*”, IEEE transactions on Circuits and Systems I: Regular Papers, Vol. 53, Issue 7, Page(s) 1409-1422, July 2006.
- [101] A. Gopalan, T. Das, C. Washburn, P.R. Mukund, “*Use of Source Degeneration for Non-Intrusive BIST of RF Front-end Circuits*”, Proceedings of IEEE International Symposium on Circuits and Systems, Vol.5, Page(s): 4385–4388, May 2005.
- [102] T. Das, A. Gopalan, C. Washburn, P.R. Mukund, “*Self-Calibration of Input-Match in RF Front-end Circuitry*”, IEEE Transactions on Circuits and Systems, Vol. 52, Issue 12, Page(s):821 – 825, December 2005.
- [103] A. Hastings, “*The Art of Analog Layout*”, Prentice Hall, July 2005.
- [104] I.T. Jolliffe, “*Principal components analysis*”, Springer 2002.
- [105] J. Shlens, “*A Tutorial on Principal Component Analysis*”, December 2005.
<http://www.sn1.salk.edu/~shlens/pub/notes/pca.pdf>
- [106] “*Matlab Mathematics*”, Math Works Inc., September 2007.
- [107] S. Wang, R. Sheen, O.T.C. Oskal, K.C. Tao, “*A 1.8 V 900 MHz CMOS RF Receiver*”, IEEE Asia-Pacific Conference on Circuits and Systems, Page(s): 29-32, November 1998.
- [108] J. Long, R.J. Weber, “*A Low Voltage, Low Noise CMOS RF Receiver Front-End*”, Proceedings of International Conference on VLSI Design, Page(s): 393-397, January 2004.
- [109] P. Zhang, “*CMOS RF Receiver: From System Architecture to Circuit Implementation*”, Proceedings of International Conference on ASIC, Page(s): 1157-1162, October 2005.
- [110] T.K. Nguyen, S.G. Lee, D.K. Kang, “*A 900 MHz CMOS RF Direct Conversion Receiver Front-end with 3-dB NF and 30-KHz 1/f Noise Corner*”, Asian Solid-State Circuits Conference, Page(s): 349-352, November 2005.

- [111] W. Sheng, A. Emira, E. Sánchez-Sinecio, “*CMOS RF Receiver System Design: A Systematic Approach*”, IEEE Transactions on Circuits and Systems, Vol. 53, Issue 5, Page(s): 1023-1034, May 2006.
- [112] J. Xiao, G. Zhang, T. Li, J. Silva-Martinez, “*Low-Power Fully Integrated CMOS DTV Tuner Front-End for ATSC Terrestrial Broadcasting*”, VLSI Design, Vol. 2007, Article ID 71974, 13 pages.
- [113] H. Ma, S.J. Fang, F. Lin, H. Nakamura, “*Novel Active Differential Phase Splitters in RFIC for Wireless Applications*”, IEEE Transaction on Microwave Theory and Techniques, Vol. 46, Issue 12, Page(s): 2597-2603, December 1998.
- [114] F. Azevedo, F. Fortes, M.J. Rosario, “*Monolithic Active Balun Integrated with a 2.4 GHz Low-Noise Amplifier*”, SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference, Page(s): 621-624, October 2007.
- [115] T.T. Hsu, C.N. Kuo, “*Low Voltage 2-mW 6~10.6-GHz Ultra-Wideband CMOS Mixer With Active Balun*”, Proceedings of IEEE International Symposium on Circuits and Systems, May 2006.
- [116] R. Ramzan, J. Dabrowski, “*CMOS RF/DC Voltage Detector for on-Chip Test*”, IEEE Multitopic Conference, Page(s): 472-476, December 2006.
- [117] “*OCEAN Reference*”, Cadence Design Systems, Inc., Product Version 5.1.41, June 2004.
http://www.d.umn.edu/~htang/Cadence_doc/oceanref.pdf
- [118] K. Laker, W. Sansen, “*Design of analog integrated circuits and systems*”, McGraw-Hill, 1994.
- [119] P.E. Allen, D.R. Holberg, “*CMOS Analog Circuit Design*”, Oxford University Press, January 2002.
- [120] G. A. Ruiz, “*Electrónica básica para ingenieros*”, ISBN:84-607-1933-2, Depósito legal: SA-138-2001.
<http://grupos.unican.es/dyvci/ruizrg/html.files/LibroWeb.html>
- [121] “*Microelectronics Devices and Circuits*”, Lecture 25 – Differential Amplifiers (I), May 2003.

<http://ocw.mit.edu/NR/rdonlyres/Electrical-Engineering-and-Computer-Science/6-012Microelectronic-Devices-and-CircuitsSpring2003/A38745B0-8F24-424F-889D-CE7B2546053C/0/>

- [122] P. Gray, R. Meyer, “*MOS Operational Amplifier Design – A Tutorial Overview*”, IEEE Journal Solid-State Circuits, Vol. 17, Issue 6, Page(s): 969-982, December 1982.

- [123] J. Mahattanakul, J. Chutichatuporn, “*Design Procedure for Two-Stage CMOS Opamp with Flexible Noise-Power Balancing Scheme*”, IEEE Transactions on Circuits and Systems I: Regular Papers, Vol. 52, Issue 8, Page(s): 1508-1514, August 2005.

- [124] Intersil, “*Recommended Test Procedures for Operational Amplifiers*”, Application Note. November 1996.
<http://www.intersil.com/data/an/an551.pdf>

- [125] Y. Cheng, C. Hu, “*MOSFET modelling & BSIM3 User’s Guide*”, Kluwer Academic Publishers, ISBN 0-7923-8575-6, 1999.

- [126] J. P. Silver, “*Gilbert Cell Mixer Design Tutorial*”, RF, RFIC & Microwave theory, design, February 2003.
<http://www.rfic.co.uk>

- [127] B. Pham, “*A 1.9GHz Gilbert Mixer in 0.18 μ m CMOS For a Cable Tuner*”, Department of Electronics, Carleton University, 2002-2003 School year.
<http://web.doe.carleton.ca/~jrogers/Bi.pdf>

- [128] B. Razavi, “*RF Microelectronics*”, Prentice Hall, NJ, 1998.

- [129] B. Razavi, “*Design of Analog CMOS Integrated Circuits*”, McGraw-Hill, 2001.

- [130] B. Gilbert, “*A Precise Four-Quadrant Multiplier with Subnanosecond Response*”, IEEE Journal of Solid-State Circuits, Vol. 3, Issue 4, Page(s): 365-373, December 1968.

- [131] R. Baker, “*CMOS, Circuit Design, Layout and Simulation*”, IEEE press, 2005.

- [132] T.H. Lee, *“The Design of CMOS Radio-Frequency Integrated Circuits”*, Cambridge University Press, 2004.
- [133] T.K. Nguyen, C.H. Kim, G.J. Ihm, M.S. Yang, S.G. Lee, *“CMOS Low-Noise Amplifier Design Optimization Techniques”*, IEEE Transactions on Microwave Theory and Techniques, Vol. 52, Issue 5, May 2004.
- [134] D.K. Shaeffer, T.H. Lee, *“A 1.5V, 1.5GHz CMOS Low Noise Amplifier”*, IEEE Journal of Solid-State Circuits, Vol. 32, Issue 5, Page(s): 745-759, May 1997.
- [135] A.N. Karanicolas, *“A 2.7-V 900-MHz CMOS LNA and Mixer”*, IEEE Journal of Solid-State Circuits, Vol. 31, Issue 12, Page(s): 1939-1944, December 1996.
- [136] Y.J. Wong, W.E. Ott, *“Function Circuits. Design and Applications”*, McGraw-Hill, 1976.
- [137] N. Metropolis, S. Ulam, *“The Monte Carlo Method”*, Journal of the American Statistical Association, Vol. 44, Issue 247, Page(s): 335-341, September 1949.